

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5892116号
(P5892116)

(45) 発行日 平成28年3月23日(2016.3.23)

(24) 登録日 平成28年3月4日(2016.3.4)

(51) Int. Cl.	F I
GO 1 C 19/5726 (2012.01)	GO 1 C 19/56 2 2 6
GO 1 C 19/5747 (2012.01)	GO 1 C 19/56 2 4 7
HO 1 L 29/84 (2006.01)	HO 1 L 29/84 Z
HO 3 K 7/08 (2006.01)	HO 3 K 7/08 Z

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2013-148538 (P2013-148538)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成25年7月17日(2013.7.17)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2015-21781 (P2015-21781A)	(74) 代理人	110000578 名古屋国際特許業務法人
(43) 公開日	平成27年2月2日(2015.2.2)	(72) 発明者	山内 重徳 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審査請求日	平成26年12月8日(2014.12.8)	(72) 発明者	渡辺 高元 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	田口 信幸 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 加振装置

(57) 【特許請求の範囲】

【請求項1】

PWM駆動信号によって試験体(11)を振動させる加振装置(1)であって、
前記試験体の振幅を検出する振幅検出手段(51、60)と、
前記振幅に応じて前記振幅が予め設定された大きさとなるよう前記PWM駆動信号のデューティ比を決定し、該デューティ比のPWM駆動信号を出力する駆動手段(50)と、
前記PWM駆動信号の波形位相と前記試験体の振動位相との位相差を検出する位相差検出手段(51、60)、と、

を備え、

前記駆動手段は、前記位相差が予め設定された位相差になるように位相を調整したPWM駆動信号を出力し、

前記駆動手段は、

目標とするPWM駆動信号のデューティ比に応じた制御値を出力する制御回路(52)と、

前記制御値に応じてゲート遅延時間に基づく計時を行うことによって、入力された制御値に対応するパルス幅を有するPWM駆動信号を生成し、該PWM駆動信号を出力する駆動信号生成回路(53)と、

を備え、

前記駆動信号生成回路は、前記PWM駆動信号として、前記波形位相に対応するパルスと、前記デューティ比に対応するパルスとを出力すること

を特徴とする加振装置。

【請求項 2】

請求項 1 に記載の加振装置において、

前記駆動信号生成回路は、複数のゲート (62) を直列かつリング状に配置したリングオシレータ (60) から得られる、各ゲートによる遅延時間を表すゲート遅延時間に応じて生成されるパルスを用いて前記 PWM 駆動信号 を生成すること

を特徴とする加振装置。

【請求項 3】

請求項 1 または請求項 2 に記載の加振装置において、

前記位相差検出手段は、複数のゲート (62) を直列かつリング状に配置したリングオシレータ (60) から得られる、各ゲートによる遅延時間を表すゲート遅延時間に応じて出力される値を用いて前記位相差を検出すること

を特徴とする加振装置。

【請求項 4】

請求項 2 を引用する請求項 3 に記載の加振装置において、

前記駆動信号生成回路は、前記位相差検出手段が用いる同一のリングオシレータを利用し、該リングオシレータから得られるゲート遅延時間に応じて生成されるパルスを用いて前記 PWM 駆動信号 を生成すること

を特徴とする加振装置。

【請求項 5】

請求項 1 ~ 請求項 4 の何れか 1 項に記載の加振装置において、

前記駆動信号生成回路は、前記波形位相が 1 周期分遷移する間に少なくとも 8 回のパルスを出力すること

を特徴とする加振装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PWM 駆動信号によって試験体を振動させる加振装置に関する。

【背景技術】

【0002】

PWM (パルス幅変調) 駆動信号によって試験体を振動させる加振装置を備えた構成が広く知られている。このような加振装置には、入力信号と閾値とを比較することによって PWM 駆動信号を生成するものがある (例えば、特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特表 2005 - 524077 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記加振装置では、入力信号と閾値とを比較する構成においてアナログ波形を利用しており、ノイズ等の影響を受けやすく、またノイズの影響を軽減する回路等を配置すると装置が大型化するという問題点があった。

【0005】

そこでこのような問題点を鑑み、PWM 駆動信号によって試験体を振動させる加振装置において、ノイズによる影響を軽減できるようにすることを本発明の目的とする。

【課題を解決するための手段】

【0006】

かかる目的を達成するために成された本発明の加振装置においては、試験体の振幅を検出する振幅検出手段と、振幅に応じて振幅が予め設定された大きさとなるよう PWM 駆動

10

20

30

40

50

信号のデューティ比を決定し、該デューティ比のPWM駆動信号を出力する駆動手段と、を備えている。そして、駆動手段は、目標とするPWM駆動信号のデューティ比に応じた制御値を出力する制御回路と、制御値に応じてゲート遅延時間に基づく計時を行うことによって、入力された制御値に対応するパルス幅を有するPWM駆動信号を生成し、PWM駆動信号を出力する駆動信号生成回路と、を備えている。

【0007】

このような加振装置によれば、ゲート遅延時間に基づく計時を行うことによって、入力された制御値に対応するパルス幅を有するPWM駆動信号を生成するので、PWM駆動信号を生成する処理をデジタル処理で行うことができる。よって、アナログ処理によってPWM駆動信号を生成する構成と比較してノイズによる影響を軽減することができる。

10

【0008】

なお、上記目的を達成するためには、加振装置の構成を回路として実現する加振回路としてもよい。また、各請求項の記載は、可能な限りにおいて任意に組み合わせることができる。この際、発明の目的を達成できる範囲内において一部構成を除外してもよい。

【図面の簡単な説明】

【0009】

【図1】ジャイロセンサ1の概略構成を示すブロック図である。

【図2】エレメント10の一例を示す平面図である。

【図3】エレメント10が共振している状態における変位検出信号の信号成分を説明する波形図である。

20

【図4】同期検波部31を具体的に示す説明図である。

【図5】駆動回路50の詳細構成図である。

【図6】制御回路52が行なう初期処理を示すフローチャートである。

【図7】制御回路52が行うAGC処理を示すフローチャートである。

【図8】AGC処理の際の具体的な駆動検出信号を示す波形図である。

【図9】DCO53によるPWM駆動信号の生成手法を示す説明図である。

【図10】振動体11および電極13, 14の模式図(a)、PWM駆動信号の一例を示す波形図(b)、およびカップリングノイズを示す波形図(c)である。

【図11】AGC処理の実施による効果を示すグラフである。

【発明を実施するための形態】

30

【0010】

以下に本発明にかかる実施の形態を図面と共に説明する。

[本実施形態の構成および処理]

本発明が適用されたジャイロセンサ1は、PWM(パルス幅変調)駆動信号によって試験体(振動子11)を振動させる加振装置としての構成を備えている。

【0011】

ジャイロセンサ1は、図1に示すように、エレメント10、2つの初段回路20、信号検出回路30、EPROM40、駆動回路50を備えている。これらの構成のうち、エレメント10、初段回路20、信号検出回路30、EPROM40は、一般的なジャイロセンサに用いられるものと同様の構成である。また、駆動回路50およびこれに接続されている初段回路20により自励共振回路が構成される。

40

【0012】

エレメント10は、振動子11(図2参照)が振動しつつ、その振動子11が外力により振動する方向から逸れて変位することで静電容量が変化する。図2に一例を示すエレメント10はMEMSジャイロに用いられる周知の構成である。

【0013】

すなわち、このエレメント10は、振動子11と、電極12, 13, 14と、フレーム15とを備えている。振動子11は、フレーム15に保持されており、電極13, 14に後述するPWM駆動信号が入力されることで容量部13a, 14a間に静電容量が発生し、この静電容量によってフレーム15が図2の上下方向に振動させられる。

50

【 0 0 1 4 】

振動子 1 1 はフレーム 1 5 とともに振動し、外力が加えられると、振動子 1 1 が図 2 の左右方向に変位し、振動子 1 1 と電極 1 2 との間の静電容量が変化する。このエレメント 1 0 は、容量部 1 3 a , 1 4 a 間の静電容量および振動子 1 1 と電極 1 2 との間の静電容量を初段回路 2 0 に出力する。

【 0 0 1 5 】

説明を図 1 に戻す。初段回路 2 0 は C V 変換回路 (図示省略) を備えている。この C V 変換回路は、エレメント 1 0 が発生する静電容量を電圧信号に変換する。信号検出側の初段回路 2 0 は、振動子 1 1 と電極 1 2 との間で発生した静電容量を電圧信号に変換し、この電圧信号は、エレメント 1 0 の振動子 1 1 の角速度を示す角速度信号に、エレメント 1 0 の共振により生じる電圧変化の信号が重畳した信号となる。また、駆動側の初段回路 2 0 は、容量部 1 3 a , 1 4 a 間に発生した静電容量を電圧信号に変換する。以下、駆動側の初段回路 2 0 が出力する電圧信号を駆動検出信号とし、信号検出側の初段回路 2 0 が出力する電圧信号を変位検出信号とする。

10

【 0 0 1 6 】

信号検出回路 3 0 は、初段回路 2 0 から入力される変位検出信号から角速度信号を取り出し、振動子 1 1 の挙動に基づく出力を行う回路である。この信号検出回路 3 0 は、同期検波部 3 1、ローパスフィルタ 3 2、増幅調整部 3 3 を備えている。同期検波部 3 1 には、駆動回路 5 0 が発生する駆動信号が基準信号として入力される。同期検波部 3 1 は、この基準信号を用いて同期検波を行なうことで、変位検出信号から駆動信号周期の成分を除去する。

20

【 0 0 1 7 】

図 3 に示すように、変位検出信号は、角速度信号と駆動信号成分と直流成分 (D C 成分) とに分けられる。共振状態においてエレメントに入力される外力に対して、エレメントの出力信号の位相が略 9 0 度ずれることは一般的に知られている。この図 3 においても、駆動信号成分、すなわち、駆動信号により振動子 1 1 が共振していることにより生じる出力信号成分は、基準信号として入力される駆動信号に対して位相が 9 0 度ずれている。

【 0 0 1 8 】

そこで、図 4 に示すように、同期検波部 3 1 は、変位検出信号と基準信号を乗算処理する。これにより、基準信号に対して略 9 0 度の位相ずれがある駆動信号成分が変位検出信号から除去されることになる。

30

【 0 0 1 9 】

図 3 に説明を戻す。同期検波部 3 1 で検波された信号は、さらにローパスフィルタ 3 2 で高周波成分が除去され、増幅調整部 3 3 で感度補正および信号増幅が行われて出力される。なお、感度補正係数は E P R O M 4 0 に記憶されている。

【 0 0 2 0 】

次に、駆動回路 5 0 の構成を説明する。図 5 に示すように、駆動回路 5 0 は、時間デジタル値変換回路 (time to digital converter、以下、T D C という) 5 1 と、デジタル制御発振回路 (digitally controlled oscillator、以下、D C O という) 5 3 と、制御回路 5 2 と、スイッチ 5 6 と、時間 A / D 変換器 (A D C (T A D)) 5 7 と、リングオシレータ 6 0 と、を備えている。

40

【 0 0 2 1 】

リングオシレータ 6 0 はデジタル発振回路である。このリングオシレータ 6 0 は、たとえば特開平 7 - 1 8 3 8 0 0 号公報に開示の構成を用いることができる。すなわち、リング状に連結されたインバータ等の複数のゲート回路 6 2 を有しており、各ゲート回路 6 2 により、パルス信号として入力された入力信号 (P i n) を順次反転して周回させる。

【 0 0 2 2 】

また、各ゲート回路 6 2 に対応した複数の出力端子 $Q_1 \sim Q_N$ からは、各ゲート回路 6 2 での反転動作時間 (ゲート遅延時間) に応じた信号がそれぞれ出力される。そして、複数の出力端子 $Q_1 \sim Q_N$ から出力される信号は、T D C 5 1 および D C O 5 3 に入力され

50

る。

【 0 0 2 3 】

T D C 5 1 には、初段回路 2 0 から駆動検出信号が入力されるとともに、D C O 5 3 から駆動信号がフィードバックされて入力される。T D C 5 1 は、駆動信号に対する駆動検出信号の位相差（つまり、駆動信号に対する駆動検出信号の位相遅れ）をデジタル時間情報として検出する。

【 0 0 2 4 】

この位相差は、具体的には、駆動信号のパルス立ち上がり時刻から駆動検出信号のパルス立ち上がり時刻（駆動検出信号をコンパレータ等で 2 値化したものにおける立ち上がり時刻）までの時間差を計測することになる。この時間差の計測において、T D C 5 1 は、リングオシレータ 6 0 が発生するパルス信号をクロックパルスとして用いる。すなわち、駆動信号のパルス立ち上がり時刻から駆動検出信号のパルス立ち上がり時刻まで、リングオシレータ 6 0 が発生するパルス信号をカウントし、このカウント値に応じて位相差を算出する。

【 0 0 2 5 】

D C O 5 3 は、制御回路 5 2 から入力される制御信号に基づく周期の駆動信号を出力する。この周期の決定において、D C O 5 3 は、リングオシレータ 6 0 からのパルス信号をクロックパルスとして用いる。D C O 5 3 が出力する駆動信号は、エレメント 1 0 に入力されるとともに、T D C 5 1 へも入力される。なお、D C O 5 3 については、特開平 7 - 1 0 6 9 2 3 号公報等に掲載されており、D C O 5 3 と T D C 5 1 とが、同一のリングオシレータ 6 0 のクロックパルスを用いる点は、前記した特開平 7 - 1 8 3 8 0 0 号公報等に掲載がある公知の技術であるので、詳細な説明は省略する。

【 0 0 2 6 】

制御回路 5 2 は、T D C 5 1 が検出した位相差が、予め設定された共振位相差となるように、駆動信号の周期（換言すれば駆動信号の周波数）を制御する。この制御は、D C O 5 3 にデジタル信号である制御信号を出力することで行なう。なお、共振位相差とは、ある物体が共振状態となっているときの、外力の位相と物体の振動の位相との位相差である。この共振位相差は略 9 0 度であることが知られている。ただし、種々の条件により、9 0 度からややずれることもあり、共振位相差の具体的な数値としては、例えば 8 7 度とされることもある。

【 0 0 2 7 】

制御回路 5 2 が駆動信号の周波数を制御するのは、振動子 1 1 に入力される外力の位相（本実施形態では駆動信号の位相）に対する振動子 1 1 の振動位相（本実施形態では駆動検出信号の位相）のずれが周波数に依存することが知られているからである。具体的には、共振周波数よりも低い周波数では、外力の位相に対する振動子の振動位相の位相遅れは、略 9 0 度である共振位相差よりも小さい位相遅れとなる。一方、共振周波数よりも高い周波数では、外力の位相に対する振動子の振動位相の位相遅れは、共振位相差よりも大きい位相遅れとなる。よって、駆動信号の周波数を高くしたり低くしたりすることで、検出される位相差を調整できるのである。なお、共振位相差よりも小さい位相遅れの場合、両位相は同相であり、共振位相差よりも大きい位相遅れの場合、両位相は逆相であることになる。

【 0 0 2 8 】

このように駆動信号の周波数を高くしたり低くしたりすることで、検出される位相差を調整できることから、制御回路 5 2 は、後述する周波数調整処理を行なう。すなわち、検出される位相差が共振位相差よりも小さい場合には周波数を高くする。これにより、検出される位相差が大きくなり、検出される位相差が共振位相差に近づくことになる。一方、検出される位相差が共振位相差よりも大きい場合には周波数を低くする。これにより、検出される位相差が小さくなり、やはり、検出される位相差が共振位相差に近づくことになる。

【 0 0 2 9 】

次に、スイッチ56は、制御回路52によって出力されるセレクト信号に従って、駆動検出信号または2種類の基準電圧のうちの何れかを選択してADC57に出力する。ADC57は、入力電源電圧変動型のADCとして構成されており、前述のリングオシレータ60と同様の複数のゲート回路62を備えている。ADC57は、制御回路52から出力されるサンプリング信号に従って駆動検出信号の電圧(入力電圧)に応じたカウント値をデジタル値で出力することで時間A/D変換器(TAD)として機能する。

【0030】

なお、TADについては、特開2003-065768号公報等に開示されているため、詳細な説明は省略するが、ADC57においては、駆動検出信号(Sin)が、バッファ61を介して各ゲート回路62の電源電圧として入力される。各ゲート回路62での反転動作時間は駆動検出信号の電圧レベルに応じて変化する。また、複数の出力端子 $Q_1 \sim Q_N$ から出力される信号は、制御回路52に入力される。

10

【0031】

ここで、制御回路52は、前述の周波数調整処理の前に、エレメント10の振動子11を概略共振状態とするための概略共振制御処理である初期処理を行なう。

図6に示す制御回路52の初期処理は、計測開始時など初期動作において実行される。なお、駆動検出信号には、角速度信号成分は含まれず、駆動検出信号の位相を駆動信号成分由来の信号とみなすことができる。

【0032】

初期処理では、まず、前述の概略共振制御処理を行なう(S1, S2)。すなわち、DCO53が出力する駆動信号をスイープさせる(S1)。スイープの範囲は、エレメント10の共振周波数よりも十分低い周波数から、その共振周波数よりも十分に高い範囲までとする。ただし、概略共振状態であると判断したら、その時点で周波数のスイープは終了する。なお、リングオシレータ60がゲート遅延回路を備えた構成の場合、リングオシレータ60は温度特性を有する。そこで、S1の処理では、温度補正を行なって、駆動信号の周波数を、雰囲気温度によらず、スイープ範囲の下限から上限まで掃引できるようにする。

20

【0033】

続いて、エレメント10の振動子11を概略共振状態とする(S2)。具体的には、TDC51により検出した位相差が、概略共振状態であるとみなせる予め設定された概略共振範囲内である場合に、概略共振状態であるとする。概略共振範囲は、一例としては、共振位相差の90%~110%とする。なお、駆動信号の周波数をスイープしていき、概略共振状態となる場合、駆動検出信号の波形は振幅が急に大きくなる。そこで、別途、駆動検出信号をデジタル信号とするA/D変換器(ADC57等)を備えている場合には、そのA/D変換器が出力する信号の振幅から概略共振状態を判断してもよい。概略共振状態と判断したらS3の処理に移行する。

30

【0034】

続いて、前述した周波数調整処理を実施する(S3, S4)。すなわち、駆動信号と駆動検出信号の位相差を検出する(S3)。具体的には、TDC51から位相差を示す信号を取得する。

40

【0035】

そして、検出した位相差が共振位相差となるように、駆動信号の周波数を変更する(S4)。具体的には、検出した位相差が共振位相差よりも小さい場合、所定値だけ駆動信号の周波数を高くし、検出した位相差が共振位相差よりも大きい場合、所定値だけ駆動信号の周波数を低くする。駆動信号の周波数を変更した後は、S3の処理へ戻り、再度、位相差を検出する。

【0036】

なお、検出した位相差が共振位相差と同じになったと判断できた場合には、周波数は変更しない。周波数を変更しない場合、S3の処理へ戻って位相差の監視を継続してもよいし、あるいは、図6の初期処理を終了してもよい。初期処理を終了する場合、角速度信号

50

成分の検出を行いつつ、S 3 , S 4 に相当する処理を継続して、振動子 1 1 の自励共振状態を維持する。

【 0 0 3 7 】

ここで、制御回路 5 2 は、図 7 に示す A G C (オートゲインコントロール) 処理を、初期処理とは別に実行する。A G C 処理は、一定時間毎、或いは、雰囲気温度がある基準値以上変化する毎に起動される処理であって、振動子 1 1 (フレーム 1 5) の振幅が一定になるよう P W M 駆動信号のデューティ比を制御する処理である。なお、S 1 1 ~ S 1 3 の処理では、処理毎に設定された時間だけ A / D 変換を行う処理を継続する。

【 0 0 3 8 】

A G C 処理では、図 7 に示すように、まず、1 . 6 V の基準電圧の A / D 変換を行う (S 1 1) 。この処理では、スイッチ 5 6 に対して第 1 の基準電圧 (ここでは 1 . 6 V) の入力を行う旨のセレクト信号を出力し、スイッチ 5 6 を介して A D C 5 7 に第 1 の基準電圧を入力させる。

【 0 0 3 9 】

ここで、制御回路 5 2 は、同期検波部 3 1 と同様に同期検波を行う構成も備えており、駆動信号と駆動検出信号とを同期検波することで振動子 1 1 の振動位相が分かるように構成されている。制御回路 5 2 はこの振動位相に応じた信号に基づいて、この振動位相が 0 ° および 1 8 0 ° になるタイミングで A D C 5 7 に対してサンプリング信号を出力する。A D C 5 7 では、サンプリング信号間でのリングオシレータによるカウント値に基づくデジタル値を出力する。

【 0 0 4 0 】

このとき、このデジタル値は、サンプリング信号間の電圧値の変化 (分解能はゲート遅延時間) を積分したものとなる。このときのデジタル値は、図 8 に示す A 点に対応するものとなる。

【 0 0 4 1 】

続いて、駆動検出信号の A / D 変換を実施する (S 1 2) 。この処理では、スイッチ 5 6 に対して駆動検出信号の入力を行う旨のセレクト信号を出力し、スイッチ 5 6 を介して A D C 5 7 に駆動検出信号を入力させる。A D C 5 7 は、駆動検出信号の 1 / 2 周期分毎に、その平均電圧に対応するデジタル値を出力することになる。つまり、このときのデジタル値は、駆動検出信号の 1 / 2 周期分毎に平均化された値 (図 8 に示す B 点および C 点に対応するもの) となる。

【 0 0 4 2 】

続いて、1 . 2 V の基準電圧の A / D 変換を行う (S 1 3) 。この処理では、スイッチ 5 6 に対して第 2 の基準電圧 (ここでは 1 . 2 V) の入力を行う旨のセレクト信号を出力し、スイッチ 5 6 を介して A D C 5 7 に第 2 の基準電圧を入力させる。A D C 5 7 は、図 8 に示す D 点に対応するデジタル値を出力することになる。

【 0 0 4 3 】

なお、図 7 に示すフローチャートでは、第 1 の基準電圧 (1 . 6 V) 、駆動検出信号、第 2 の基準電圧 (1 . 2 V) の順でサンプリングを行っているが、図 8 に示す例では、第 1 の基準電圧 (1 . 6 V) 、第 2 の基準電圧 (1 . 2 V) 、駆動検出信号の順でサンプリングを行っている。これらの順序については任意に選択することができる。

【 0 0 4 4 】

続いて、駆動検出信号の電位差 (図 8 の B 点と C 点との電位差) と基準電圧の電位差 (図 8 の A 点と D 点との電位差) との比を演算し、この比が一定になるよう P W M 駆動信号のデューティ比を設定する (S 1 4) 。すなわち、目標とする比の値に対して、駆動検出信号の電位差が小さければ、振動子 1 1 の振幅が目標よりも小さいことを意味するため、フレーム 1 5 の振幅が大きくなるような出力を行う。また反対に、目標とする比の値に対して、駆動検出信号の電位差が大きければ、振動子 1 1 の振幅が目標よりも大きいことを意味するため、フレーム 1 5 の振幅が小さくなるような出力を行う。

【 0 0 4 5 】

10

20

30

40

50

ここで、制御回路52は、S14の処理において、駆動信号と駆動検出信号との位相差が共振位相差になるように振動子11の振動周期の1/8の時間となるリングオシレータ60によるカウント値DTを演算する。そして、制御回路52は、駆動検出信号の電位差と基準電圧の電位差との比を一定とするためのデューティ比が、 $(DT -) / DT$ となるためのの値を求め、DCO53に対して、 $(DT -)$ 、 $(DT -)$ 、 $(DT +)$ 、 $(DT +)$ 、 $(DT -)$ 、 $(DT -)$ 、 $(DT +)$ 、 $(DT +)$...の順で1周期に8回の値を出力する。

【0046】

ここで、DCO53では、例えば電極13に対して、図9に示すように、最初の2回の出力(パルス)は基準信号の電位に対して低い電位であるローレベル信号で出力し、次に2回の出力は基準となる電位である基準信号で出力し、次の2回の出力は基準信号の電位に対して高い電位であるハイレベル信号で出力し、最後の2回の出力は基準信号で出力するよう設定されている。

10

【0047】

そして、上記のような制御回路52からの出力に対してDCO53は、各レベルの信号を制御回路52にて指定されたリングオシレータ60のカウント値($(DT -)$)または($(DT +)$)分だけ継続して出力することでPWM駆動信号を生成する。この構成では、振動位相に対応するパルス(偶数回目のパルス)と、デューティ比(パルス幅)に対応するパルス(奇数回目のパルス)とを出力することになる。また、DCO53は、波形位相(振動位相)が1周期分遷移する間に少なくとも8回のパルスを出力することになる。

20

【0048】

なお、駆動回路50(DCO53)は、振動子11を振動させる際にPWM駆動信号を与える一対の電極13, 14(図10(a)参照)の一方の電極13に対しては、図9に示すようなPWM駆動信号を与えたが、他方の電極14に対しては、反対の極性を持たせる信号を出力する。すなわち、図10(b)に示すように、一方の電極13, 14に、ハイレベル信号を出力する際に、他方の電極13, 14にはローレベル信号を出力する。このようにすることで、図10(c)に示すように、カップリングノイズを低減できるようにしている。

【0049】

このような処理が終了すると、AGC処理を終了する。

30

[本実施形態による効果]

以上のように詳述したジャイロセンサ1は、振動子11においてPWM駆動信号が入力される一対の電極13, 14と、PWM駆動信号として、基準信号の電位に対して高い電位であるハイレベル信号、および基準信号の電位に対して低い電位であるローレベル信号を一対の電極13, 14に対して出力可能な駆動回路50(TDC51除く)と、を備えている。そして、駆動回路50は、一対の電極13, 14のうち一方の電極13, 14にハイレベル信号を出力する際に、他方の電極13, 14にローレベル信号を出力する。

【0050】

このようなジャイロセンサ1によれば、一対の電極13, 14に対してハイレベル信号とローレベル信号とを出力するので、これらの信号によって発生するノイズを打ち消すことができる。よって、ノイズによる影響を軽減することができる。

40

【0051】

また、上記ジャイロセンサ1においては、PWM駆動信号の波形位相と振動子11の振動位相との位相差を検出するTDC51(リングオシレータ60を含む)を備え、駆動回路50(TDC51除く)は、位相差が予め設定された位相差になるように位相を調整した駆動信号を出力する。

【0052】

このようなジャイロセンサ1によれば、PWM駆動信号の波形位相と振動子11の振動位相との位相差が予め設定された位相差となるよう制御することができる。

また、TDC51は位相差に応じたデジタル値を出力するので、アナログ値を出力する

50

構成に対して、より耐ノイズ性能を向上させることができる。

【0053】

さらに、上記ジャイロセンサ1において駆動回路50(TDC51除く)は、PWM駆動信号の波形位相と振動子11の振動位相との位相差が、振動子11が自励共振状態となる位相差となるように位相を調整した駆動信号を出力する。

【0054】

このようなジャイロセンサ1によれば、振動子11を自励共振させることで、振動子11に供給すべきエネルギーを最小化することができるので、振動子11を効率的に振動させることができる。

【0055】

また、上記ジャイロセンサ1において駆動回路50(TDC51除く)は、振動位相が波形位相に対して90度または略90度の遅れとなるよう位相を調整した駆動信号を出力する。

【0056】

このようなジャイロセンサ1によれば、より具体的な構成で振動子11を自励共振させることができる。

さらに、上記ジャイロセンサ1においてTDC51は、複数のゲート回路62を直列かつリング状に配置したリングオシレータ60から得られる、各ゲート回路62による遅延時間を表すゲート遅延時間に従って位相差を検出する。

【0057】

このようなジャイロセンサ1によれば、ゲート遅延時間を分解能として位相差を検出することができるので、位相差を検出する際の精度を向上させることができる。

また、上記ジャイロセンサ1において振動子11の挙動に基づく出力を行う信号検出回路30を備えている。

【0058】

このようなジャイロセンサ1によれば、振動子11の挙動(例えば振動子11に加わるコリオリ力)に応じた値を出力できるのでジャイロセンサ1をセンサとして機能させることができる。

【0059】

また、ジャイロセンサ1においてTDC51は、振動子11の振幅を検出し、駆動回路50(TDC51除く)は、この振幅に応じて振幅が予め設定された大きさとなるようPWM駆動信号のデューティ比を決定し、該デューティ比のPWM駆動信号を出力する。ここで、駆動回路50(TDC51除く)は、目標とするPWM駆動信号のデューティ比に応じた制御値を出力する制御回路52と、制御値に応じてゲート遅延時間に基づく計時を行うことによって、入力された制御値に対応するパルス幅を有するPWM駆動信号を生成し、PWM駆動信号を出力するDCO53と、を備えている。

【0060】

このようなジャイロセンサ1によれば、ゲート遅延時間に基づく計時を行うことによって、入力された制御値に対応するパルス幅を有するPWM駆動信号を生成するので、PWM駆動信号を生成する処理をデジタル処理で行うことができる。よって、アナログ処理によってPWM駆動信号を生成する構成と比較してノイズによる影響を軽減することができる。

【0061】

また、上記ジャイロセンサ1においてDCO53は、複数のゲート回路62を直列かつリング状に配置したリングオシレータ60から得られる、各ゲート回路62による遅延時間を表すゲート遅延時間に応じて生成されるパルスを用いてPWM駆動信号を生成する。

【0062】

このようなジャイロセンサ1によれば、ゲート遅延時間を分解能としたパルス幅を有するPWM駆動信号を生成することができるので、PWM駆動信号を出力する際の精度を向上させることができる。

10

20

30

40

50

【 0 0 6 3 】

さらに、上記ジャイロセンサ 1 において D C O 5 3 は、T D C 5 1 (リングオシレータ 6 0) が用いる同一のリングオシレータ 6 0 を利用し、該リングオシレータ 6 0 から得られるゲート遅延時間に応じて生成されるパルスを用いて P W M 駆動信号を生成する。

【 0 0 6 4 】

このようなジャイロセンサ 1 によれば、D C O 5 3 の分解能と T D C 5 1 (リングオシレータ 6 0) の分解能を共通化することができる。そして、信号処理を簡素化することができる。

【 0 0 6 5 】

また、上記ジャイロセンサ 1 において D C O 5 3 は、P W M 駆動信号として、波形位相

10

に対応するパルスと、デューティ比に対応するパルスとを出力する。
このようなジャイロセンサ 1 によれば、波形位相に対応するパルスを出力することで駆動信号の位相を出力するとともに、P W M 駆動信号を生成することができる。

【 0 0 6 6 】

さらに、上記ジャイロセンサ 1 において D C O 5 3 は、波形位相が 1 周期分遷移する間に少なくとも 8 回のパルスを出力する。

このようなジャイロセンサ 1 によれば、適切に駆動信号の位相を示す信号を出力しつつ P W M 駆動信号を生成することができる。

【 0 0 6 7 】

また、上記のジャイロセンサ 1 において A D C 5 7 は、振動子 1 1 の振動波形の振幅に応じた振幅デジタル値を生成するとともに、2 つの異なる基準電圧の差に応じた電圧デジタル値を生成する。そして、駆動回路 5 0 (T D C 5 1 除く) は、電圧デジタル値と振幅デジタル値との比が一定になるよう駆動信号を生成する。

20

【 0 0 6 8 】

このようなジャイロセンサ 1 によれば、振動波形の振幅をデジタル値で処理することができるので、アナログで処理を行う構成と比較してノイズによる影響を軽減することができる。また、基準電圧の差 (電圧デジタル値) と振動波形の振幅に応じた振幅デジタル値との比が一定になるよう駆動信号を生成するので、A / D 変換を行う構成が温度等の環境の影響を受ける場合であっても、適切な駆動信号を生成することができる。

【 0 0 6 9 】

30

ここで、図 1 1 は、本実施形態における A G C 処理を実施した場合と実施しない場合との比較結果を示している。A G C 処理を実施しない場合、P W M 駆動信号のデューティ比は一定となるが (図 1 1 (a) 参照)、駆動検出信号の振幅は温度によって変化することが分かる (図 1 1 (b) 参照)。一方で、本実施形態のように A G C 処理を実施した場合には、P W M 駆動信号のデューティ比を駆動検出信号の振幅に基づきフィードバック制御するため、P W M 駆動信号のデューティ比は温度に応じて変化し (図 1 1 (a) 参照)、駆動検出信号の振幅は一定となることが分かる。

【 0 0 7 0 】

また、上記ジャイロセンサ 1 において A D C 5 7 は、振動波形を該波形の周期の前半分の平均値と後半分の平均値とを検出し、これらの平均値の差を振幅デジタル値とする。

40

このようなジャイロセンサ 1 によれば、振幅を精度よく検出することができる。

【 0 0 7 1 】

さらに、上記ジャイロセンサ 1 において A D C 5 7 および A D C 5 7 は、時間 A / D 変換器 (入力電圧をゲート遅延時間に対応したデジタル値で出力する) として構成されている。

【 0 0 7 2 】

このようなジャイロセンサ 1 によれば、簡素な構成で A / D 変換を行うことができる。

また、上記ジャイロセンサ 1 において A D C 5 7 は、同期検波を利用してサンプリングタイミングを設定する。

【 0 0 7 3 】

50

このようなジャイロセンサ 1 によれば、より正確にサンプリングタイミングを設定することができる。

さらに、上記ジャイロセンサ 1 において A D C 5 7 は、定期的、或いは不定期的に 2 つの異なる基準電圧の差に応じた電圧デジタル値を生成する処理を行う。

【 0 0 7 4 】

このようなジャイロセンサ 1 によれば、必要に応じて繰り返し電圧デジタル値を生成できるので、温度等の環境の変化に柔軟に対応することができる。

また、上記ジャイロセンサ 1 においては、振動子 1 1 の振動波形または基準電圧のうちの何れかを選択して出力するスイッチ 5 6 を備え、A D C 5 7 が入力された信号に基づく積分を行う。制御回路 5 2 (駆動回路 5 0) は、スイッチ 5 6 を所定のタイミング毎に切り替え、A D C 5 7 は、スイッチ 5 6 によって振動子 1 1 の振動波形が選択されているときに振動波形のサンプリングを行い、スイッチ 5 6 によって基準電圧のうちの何れかが選択されているときに基準電圧のサンプリングを行う。

10

【 0 0 7 5 】

このようなジャイロセンサ 1 によれば、A D C 5 7 が A / D 変換する信号を基準電圧または振動波形に切り替えるので、温度等の環境によって A D C 5 7 の特性が変化する場合であっても、この特性を適宜補正しつつ振動波形の検出を行うことができる。

【 0 0 7 6 】

また、上記ジャイロセンサ 1 においては、A D C 5 7 によるサンプリングを行う際の順序を、一方 (ハイレベル) の基準電圧、振動波形、他方 (ローレベル) の基準電圧としている。

20

【 0 0 7 7 】

このようなジャイロセンサ 1 によれば、基準電圧にゆらぎがある場合であっても正確に振動波形を検出できる。

[その他の実施形態]

本発明は、上記の実施形態によって何ら限定して解釈されない。また、上記の実施形態の構成の一部を、課題を解決できる限りにおいて省略した態様も本発明の実施形態である。また、上記の複数の実施形態を適宜組み合わせる構成される態様も本発明の実施形態である。また、特許請求の範囲に記載した文言のみによって特定される発明の本質を逸脱しない限度において考え得るあらゆる態様も本発明の実施形態である。また、上記の実施形態の説明で用いる符号を特許請求の範囲にも適宜使用しているが、各請求項に係る発明の理解を容易にする目的で使用しており、各請求項に係る発明の技術的範囲を限定する意図ではない。

30

【 0 0 7 8 】

例えば、上記実施形態の A G C 処理においては、2 つの基準電圧 (1 . 6 V および 1 . 2 V) を準備し、これらの差を演算したが、1 つの基準電圧だけを準備し、駆動検出信号の平均電圧 (振幅の中心電圧) 等をもう 1 つの基準電圧として利用してもよい。

【 0 0 7 9 】

[実施形態の構成と本発明の手段との対応関係]

上記実施形態におけるジャイロセンサ 1 は本発明でいう加振装置に相当し、上記実施形態における振動子 1 1 は本発明でいう試験体に相当する。

40

【 0 0 8 0 】

また、上記実施形態における駆動回路 5 0 (T D C 5 1 除く) は本発明でいう駆動手段に相当し、上記実施形態における T D C 5 1、リングオシレータ 6 0 は本発明でいう振幅検出手段に相当する。

【 0 0 8 1 】

さらに、上記実施形態における T D C 5 1 およびリングオシレータ 6 0 は本発明でいう位相差検出手段相当し、上記実施形態における D C O 5 3 は本発明でいう駆動信号生成回路に相当する。

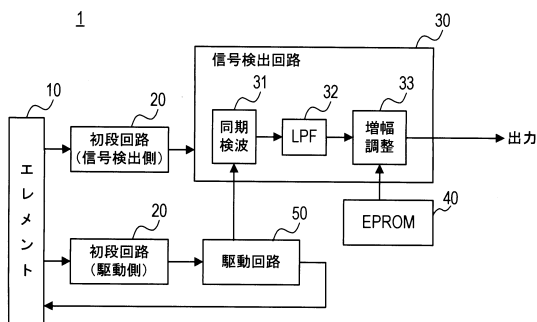
【 符号の説明 】

50

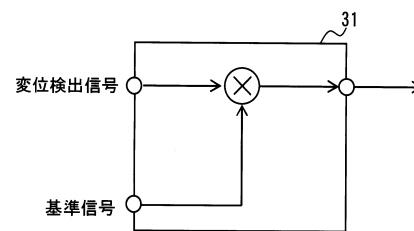
【 0 0 8 2 】

1 ... ジャイロセンサ、10 ... エレメント、11 ... 振動子、12 ~ 14 ... 電極、13 a ,
14 a ... 容量部、15 ... フレーム、20 ... 初段回路、30 ... 信号検出回路、31 ... 同期検
波部、32 ... ローパスフィルタ、33 ... 増幅調整部、40 ... EPROM、50 ... 駆動回路
、51 ... TDC、52 ... 制御回路、53 ... DCO、56 ... スイッチ、57 ... ADC、60
... リングオシレータ、61 ... バッファ、62 ... ゲート回路。

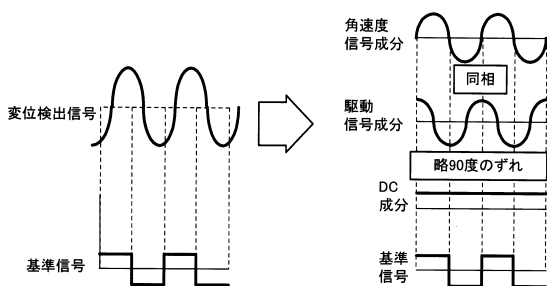
【 図 1 】



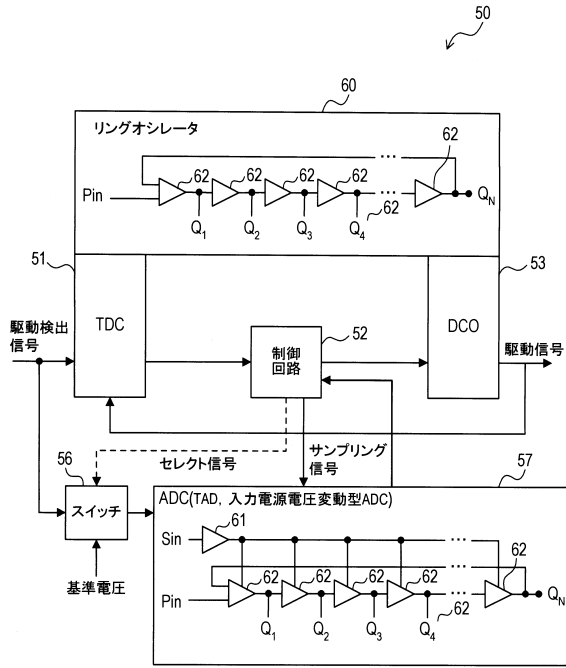
【 図 4 】



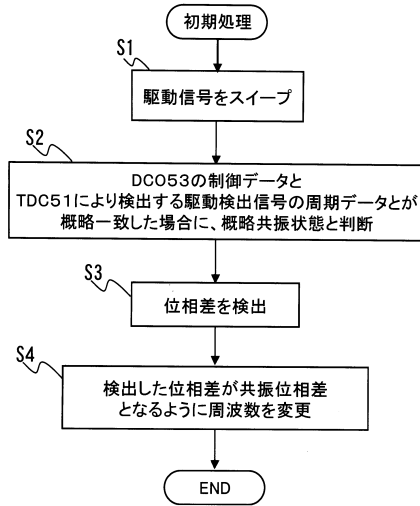
【 図 3 】



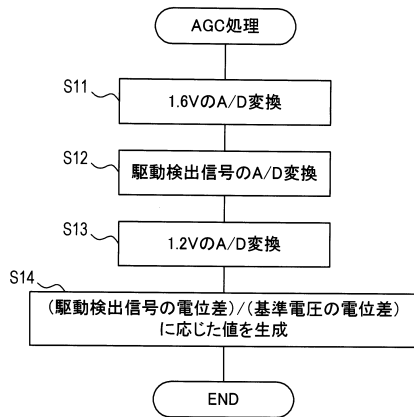
【図5】



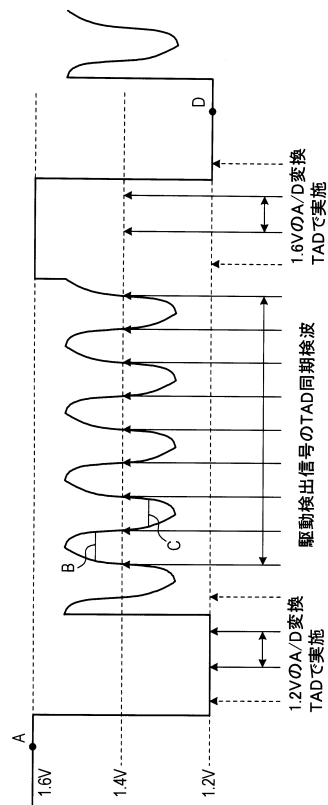
【図6】



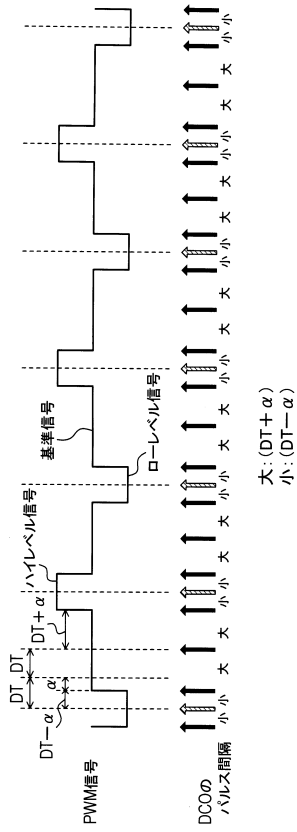
【図7】



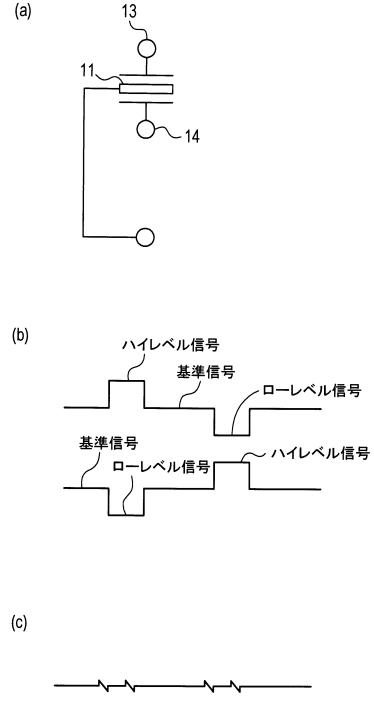
【図8】



【図9】

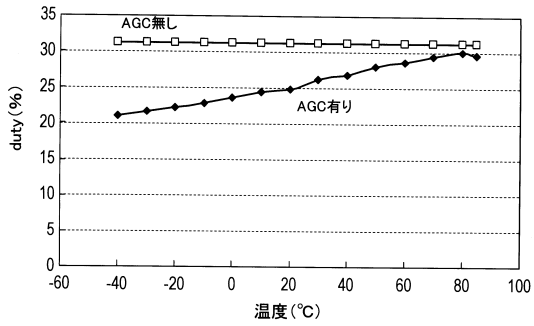


【図10】

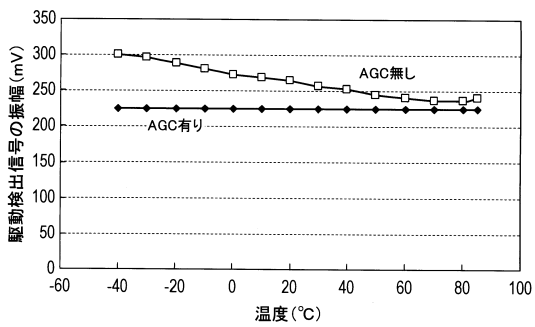


【図11】

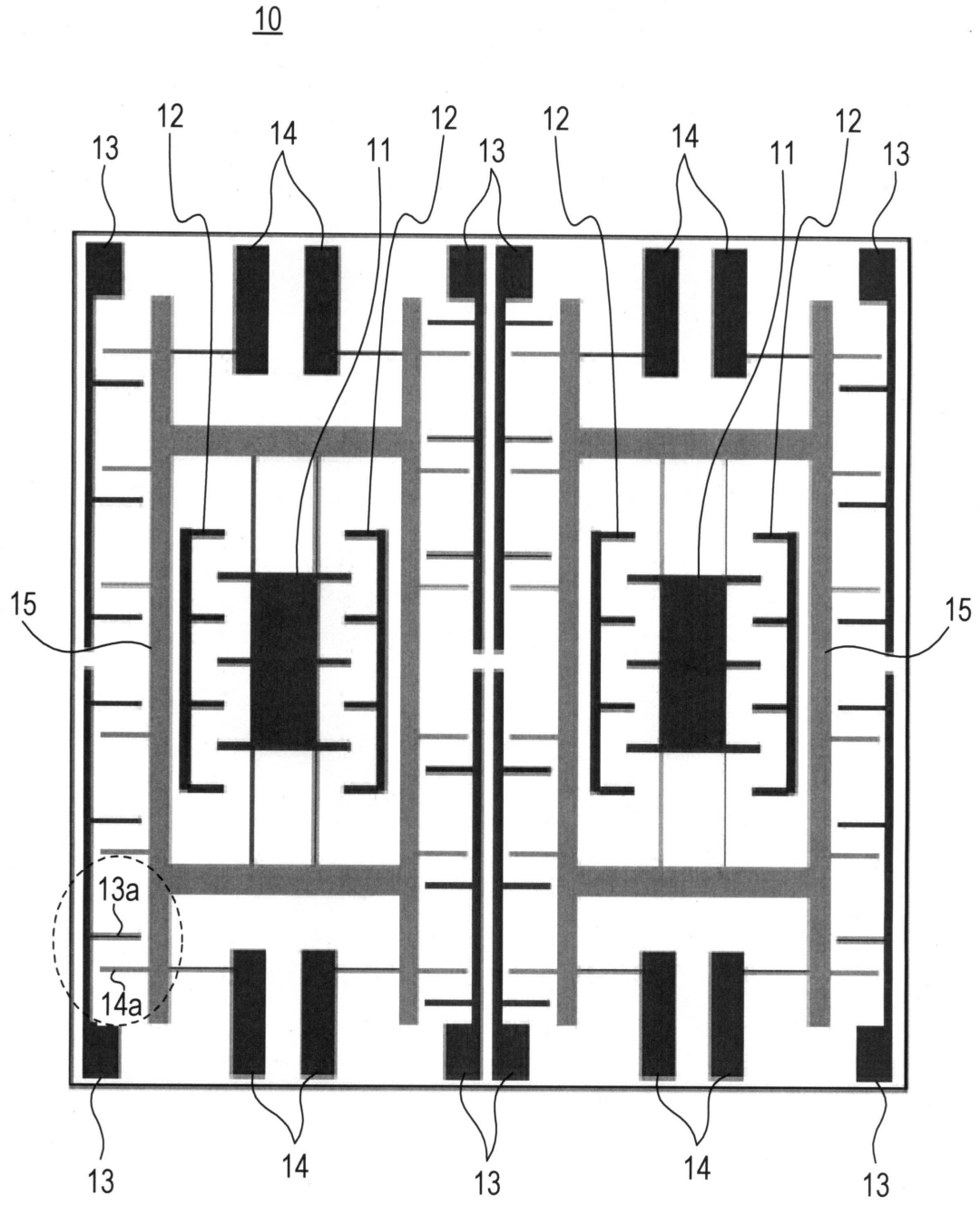
(a) PWMのデューティ



(b) 駆動検出信号の振幅



【 図 2 】



フロントページの続き

審査官 梶田 真也

- (56)参考文献 特開2010-185714(JP,A)
特開平07-046094(JP,A)
特開2010-091415(JP,A)
特開平11-177427(JP,A)
特開平07-183800(JP,A)
特開2010-169532(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01C	19/00	-	19/72
G01P	15/00	-	15/18
H01L	27/20		
H01L	29/84		
H03B	5/30	-	5/42
H03K	7/00	-	11/00