

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/28	(11) 공개번호 특 1998-0005536	(43) 공개일자 1998년03월30일
(21) 출원번호 특 1996-0024495		
(22) 출원일자 1996년06월27일		
(71) 출원인 현대전자산업 주식회사 김주용		
(72) 발명자 고창진	경기도 이천시 부발읍 아미리 산 136-1	
(74) 대리인 최홍순	서울특별시 종로구 계동 2-102호	

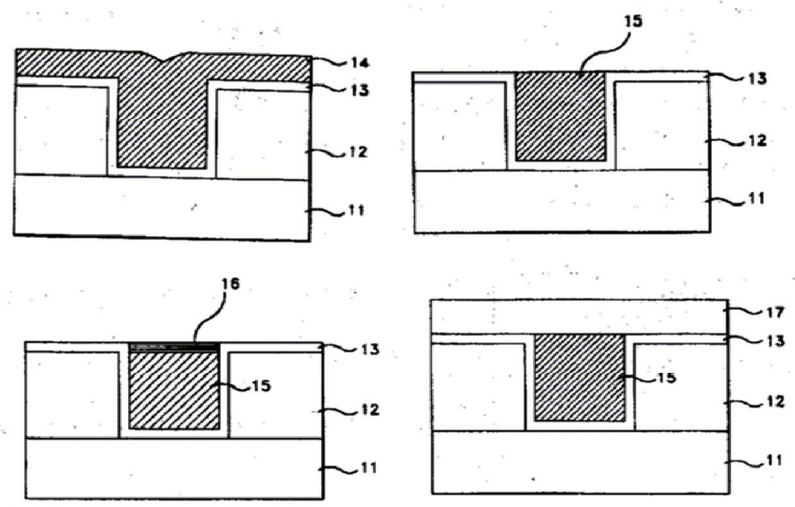
심사청구 : 있음

(54) 반도체 소자의 금속 배선 형성방법

요약

본 발명은 반도체 소자의 제조 방법에 있어서, CMP공정을 이용한 폴리싱 시 텅스텐 플러그 상부에 형성되는 텅스텐 산화막을 제거함으로써 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 금속 배선 형성방법에 관한 것으로, 기본적인 회로를 구비한 반도체 기판 상부에 절연막을 형성하는 단계; 반도체 기판 표면이 일부분이 노출되도록 절연막의 예정된 영역에 콘택홀을 형성하는 단계; 결과물 상부에 보호 금속막을 형성하는 단계; 보호 금속막이 형성된 콘택홀에 매립하도록 콘택홀의 하부 및 측부와 절연막 상부에 텅스텐을 증착하는 단계; 텅스텐을 슬러리를 이용하여 폴리싱(polishing) 공정을 진행함으로써, 텅스텐 플러그를 형성하는 단계; 폴리싱 공정 후 텅스텐 플러그 상부에 형성되는 소정의 산화물을 제거하는 단계; 및, 결과물 상부에 전도막을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체 소자의 금속 배선 형성방법

[도면의 간단한 설명]

제2a도 내지 제2d도는 본 발명의 일 실시예에 따른 반도체 소자의 금속 배선 형성방법을 나타낸 공정 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기본적인 회로를 구비한 반도체 기판 상부에 절연막을 형성하는 단계; 반도체 기판 표면이 일부분이 노출되도록 절연막의 예정된 영역에 콘택홀을 형성하는 단계; 상기 결과물 상부에 보호 금속막을 형성하는 단계; 상기 보호 금속막이 형성된 콘택홀에 매립하도록 콘택홀의 하부 및 측부와 절연막 상부에 텅스텐을 증착하는 단계; 텅스텐 슬러리를 이용하여 폴리싱(polishing) 공정을 진행함으로써, 상기 텅스텐 플러그를 형성하는 단계; 폴리싱 공정 후 텅스텐 플러그 상부에 형성되는 소정의 산화물을 제거하는 단계; 및, 상기 결과물 상부에 전도막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 2

제1항에 있어서, 상기 폴리싱 공정은 CMP(Chemical - Mechanical - Polishing) 기술로 진행하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 3

제1항에 있어서, 상기 텅스텐 플러그 상부에 형성되는 상기 산화물은 텅스텐 산화막인 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 4

제1항 또는 제3항에 있어서, 상기 산화물의 제거 공정은 스퍼터링 장비에서 수소 개스를 유입하여 상기 산화물을 환원 반응 시키는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항 5

제1항에 있어서, 상기 전도막은 상기 산화물을 제거한 챔버와 다른 챔버에서 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

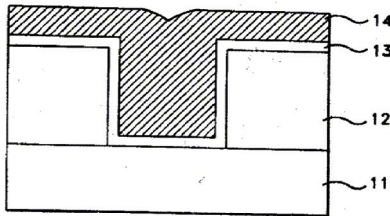
청구항 6

제1항에 있어서, 상기 전도막은 알루미늄 합금으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

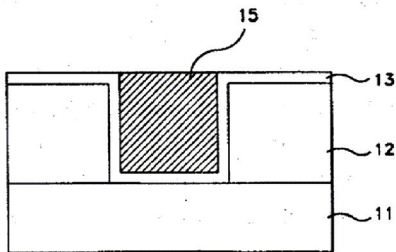
※참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

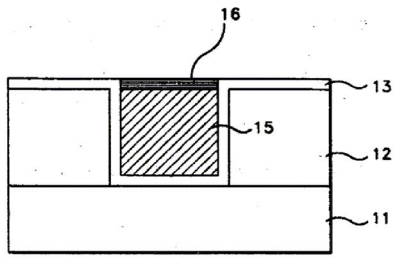
도면2a



도면2b



도면2c



도면2d

