

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-23186

(P2012-23186A)

(43) 公開日 平成24年2月2日(2012.2.2)

(51) Int.Cl. F I テーマコード (参考)  
 HO 1 L 27/088 (2006.01) HO 1 L 27/08 1 O 2 B 5 F O 4 8  
 HO 1 L 21/8234 (2006.01)

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2010-159641 (P2010-159641)  
 (22) 出願日 平成22年7月14日 (2010.7.14)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100108062  
 弁理士 日向寺 雅彦  
 (72) 発明者 佐藤 久美子  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 平早水 啓史  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 末代 知子  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

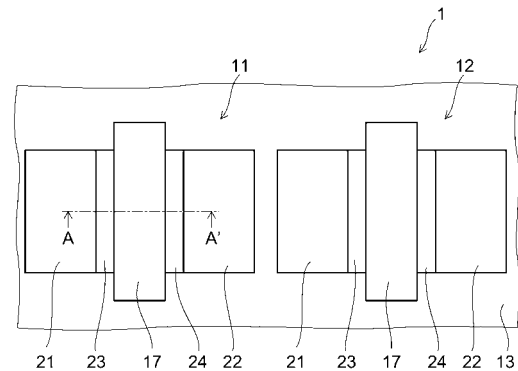
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 プロセスばらつきに起因する電気的特性のばらつきが小さい半導体装置を提供する。

【解決手段】 半導体基板の上面に形成された第1及び第2のトランジスタ11, 12と、を備える。第1及び第2のトランジスタは、それぞれ、半導体基板上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極17と、半導体基板と前記ゲート電極との間に設けられた、半導体基板の上層部分におけるゲート電極の直下域を挟む領域に設けられた第2導電形のソース領域21及びドレイン領域22と、上層部分におけるゲート電極の直下域のうち、ソース領域側の領域に形成され、第1導電形であり、実効的な不純物濃度が上層部分の実効的な不純物濃度よりも高い高濃度チャネル領域を有し、第1と第2トランジスタのソース領域からドレイン領域に向かう方向が同じ向きである。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

少なくとも上層部分が第 1 導電形である半導体基板と、  
前記半導体基板の上面に形成された第 1 及び第 2 のトランジスタと、  
を備え、

前記第 1 及び第 2 のトランジスタは、それぞれ、

前記半導体基板上に設けられたゲート電極と、

前記半導体基板と前記ゲート電極との間に設けられたゲート絶縁膜と、

前記半導体基板の上層部分における前記ゲート電極の直下域を挟む領域に設けられた  
第 2 導電形のソース領域及びドレイン領域と、

前記上層部分における前記ゲート電極の直下域のうち、前記ソース領域側の領域に形  
成され、第 1 導電形であり、実効的な不純物濃度が前記上層部分の実効的な不純物濃度よ  
りも高い高濃度チャネル領域と、

を有し、

前記第 1 のトランジスタにおける前記ソース領域から前記ドレイン領域に向かう方向は  
、前記第 2 のトランジスタにおける前記ソース領域から前記ドレイン領域に向かう方向と  
同じ向きであることを特徴とする半導体装置。

## 【請求項 2】

前記第 1 のトランジスタと前記第 2 のトランジスタとは、隣り合って配置されており、  
同一の回路を構成していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記第 1 のトランジスタの前記ソース領域から前記第 2 のトランジスタの前記ソース領  
域に向かう方向は、前記第 1 のトランジスタにおける前記ソース領域から前記ドレイン領  
域に向かう方向と一致していることを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 のトランジスタの前記ソース領域から前記第 2 のトランジスタの前記ソース領  
域に向かう方向は、前記第 1 のトランジスタにおける前記ソース領域から前記ドレイン領  
域に向かう方向に対して直交していることを特徴とする請求項 1 または 2 に記載の半導体  
装置。

## 【請求項 5】

前記第 1 及び第 2 のトランジスタは、それぞれ、

前記ゲート電極の側面上に設けられた側壁と、

前記上層部分における前記側壁の直下域に設けられ、実効的な不純物濃度が前記ソー  
ス領域及び前記ドレイン領域の実効的な不純物濃度よりも低い L D D 領域と、

をさらに有することを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

## 【請求項 6】

前記高濃度チャネル領域は、前記半導体基板の上面に垂直な方向に対して、前記第 1 の  
トランジスタにおける前記ソース領域から前記ドレイン領域に向かう方向に対して直交す  
る方向に向かって傾斜した方向から不純物を注入することによって形成されたことを特徴  
とする請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、半導体装置に関する。

## 【背景技術】

## 【0002】

通常の M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor : 金属酸  
化物半導体電界効果型トランジスタ)においては、例えば n 形のソース領域と n 形のドレ  
イン領域との間に p 形のチャネル領域が形成されている。このような構造においては、不  
純物濃度が高い p 形のチャネル領域が、不純物濃度が高い n 形のドレイン領域に接してい

10

20

30

40

50

るため、ホットキャリア耐性が低いという問題がある。また、ホットキャリア耐性を改善するためにゲート長を長くすると、ゲート容量が増加してしまいスイッチングスピードの高速化が困難になると共に、MOSFETの専有面積が増加してしまう。

【0003】

これらの問題点を解決するために、チャンネル領域におけるドレイン側部分の不純物濃度をソース側部分の不純物濃度よりも低くしたGCMOS (Graded Channel MOS) トランジスタが提案されている。GCMOSトランジスタにおいては、チャンネル領域における不純物濃度が高い領域をドレイン領域から離すことにより、ソース・ドレイン間に電圧が印加された場合に、チャンネル領域とドレイン領域との間の電界が緩和されて、ホットキャリア耐性が向上する。このため、GCMOSトランジスタは、通常のMOSFETよりも、信頼性を高めることができる。

10

【0004】

しかしながら、GCMOSトランジスタは、チャンネル領域における不純物濃度が高い領域をドレイン領域から離すため、チャンネル領域における不純物濃度が高い領域を、ゲート電極の直下域の一部のみに部分的に形成する必要がある。このため、チャンネル領域形成のインプラ工程とゲート電極の形成工程との間で、位置合わせが必要となる。なお、通常のMOSFETでは、この位置合わせは不要である。つまり、GCMOSではこの位置合わせの必要性から、素子の小型化、特にゲート長の短縮に伴い、プロセスばらつきに起因する電気的特性のばらつきが生じやすいという課題がある。さらに、2つのGCMOSトランジスタを対として使用する場合に、これらの間で電気的特性の差が大きくなると、プロセスばらつきの影響が増幅されてしまう。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-156988号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の実施形態の目的は、プロセスばらつきに起因する電気的特性のばらつきが小さい半導体装置を提供することである。

30

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体装置は、少なくとも上層部分が第1導電形である半導体基板と、前記半導体基板の上面に形成された第1及び第2のトランジスタと、を備える。前記第1及び第2のトランジスタは、それぞれ、前記半導体基板上に設けられたゲート電極と、前記半導体基板と前記ゲート電極との間に設けられたゲート絶縁膜と、前記半導体基板の上層部分における前記ゲート電極の直下域を挟む領域に設けられた第2導電形のソース領域及びドレイン領域と、前記上層部分における前記ゲート電極の直下域のうち、前記ソース領域側の領域に形成され、第1導電形であり、実効的な不純物濃度が前記上層部分の実効的な不純物濃度よりも高い高濃度チャンネル領域と、を有する。そして、前記第1のトランジスタにおける前記ソース領域から前記ドレイン領域に向かう方向は、前記第2のトランジスタにおける前記ソース領域から前記ドレイン領域に向かう方向と同じ向きである。

40

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る半導体装置を例示する平面図である。

【図2】図1に示すA-A'線による要部断面図である。

【図3】(a)~(c)は、第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図4】(a)~(c)は、第1の実施形態に係る半導体装置の製造方法を例示する工程

50

断面図である。

【図5】第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図6】横軸にゲート長をとり、縦軸にしきい値の差分をとって、素子サイズとペア性との関係を例示するグラフ図である。

【図7】第2の実施形態に係る半導体装置を例示する平面図である。

【図8】(a)は、第3の実施形態に係る半導体装置を例示する断面図であり、(b)及び(c)は、第3の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ、本発明の実施形態について説明する。

10

先ず、第1の実施形態について説明する。

図1は、本実施形態に係る半導体装置を例示する平面図であり、

図2は、図1に示すA-A'線による要部断面図である。

なお、図1においては、図示の便宜上、後述するゲート絶縁膜16、側壁18、ソース電極27及びドレイン電極28は図示を省略している。

【0010】

図1及び図2に示すように、本実施形態に係る半導体装置1においては、半導体基板10が設けられている。半導体基板10においては、少なくとも上層部分が例えばp<sup>-</sup>形の高抵抗半導体層となっている。半導体基板10は、全体がp<sup>-</sup>形のp<sup>-</sup>形基板であってもよく、n<sup>-</sup>形基板の上層部分にp<sup>-</sup>形のウェルが形成された基板であってもよく、基板上にn<sup>-</sup>形のエピタキシャル層が形成され、その上層部分にp<sup>-</sup>形のウェルが形成されたものであってもよい。

20

【0011】

半導体基板10の上面には、2つのトランジスタ11及び12が形成されている。後述するように、トランジスタ11及び12は、相互に同じ設計のnチャンネル形のGCMOSトランジスタである。また、トランジスタ11及び12は、半導体基板10の上面における隣り合う領域に形成されており、素子分離絶縁膜13によって電気的に分離されている。更に、トランジスタ11及び12は、同一の回路を構成しており、対をなして使用される。

【0012】

30

次に、トランジスタ11及び12の構成を説明する。なお、以下の説明ではトランジスタ11を例に挙げて説明するが、トランジスタ12の構成も同様である。

トランジスタ11においては、半導体基板10上にゲート絶縁膜16が設けられており、ゲート絶縁膜16上にはゲート電極17が設けられている。上方から見て、ゲート電極17の形状は、一方向に延びるライン状である。また、ゲート電極17の両側面上には、側壁18が設けられている。一例では、半導体基板10は単結晶のシリコンからなり、ゲート絶縁膜16はシリコン酸化物からなり、ゲート電極17は多結晶のシリコンからなり、側壁18はシリコン窒化物若しくはシリコン酸化膜、又はその両方から構成される。また、ゲート電極17の幅、すなわち、ゲート長は、例えば、2.0μm以下であり、例えば、0.8μm未満である。

40

【0013】

半導体基板10の上層部分におけるゲート電極17及び側壁18の直下域を挟む領域には、導電形がn<sup>+</sup>形のソース領域21及びドレイン領域22が相互に離隔して形成されている。半導体基板10の上層部分における側壁18の直下域には、n形のLDD(Lightly Doped Drain)領域23及び24が形成されている。LDD領域23はソース領域21に接しており、LDD領域24はドレイン領域22に接している。また、LDD領域23及び24における実効的な不純物濃度は、ソース領域21及びドレイン領域22における実効的な不純物濃度よりも低い。なお、本明細書において「実効的な不純物濃度」とは、半導体材料の導電に寄与する不純物の濃度をいい、例えば、半導体材料にドナーとなる不純物(以下、「n形不純物」という)とアクセプタとなる不純物(以下、「p形不純物」

50

という)の双方が含有されている場合には、活性化した不純物のうち、ドナーとアクセプタの相殺分を除いた分の濃度をいう。

【0014】

半導体基板10の上層部分におけるゲート電極17の直下域、すなわち、LDD領域23とLDD領域24との間の領域は、トランジスタ11のチャンネル領域となる。チャンネル領域においては、ゲート電極17にしきい値電圧以上の駆動電圧が印加されたときに、反転層が形成される。そして、このチャンネル領域のうち、ソース領域21側の領域には、高濃度チャンネル領域25が形成されている。高濃度チャンネル領域25の導電形はp形であり、その実効的な不純物濃度は、半導体基板10の上層部分の実効的な不純物濃度よりも高い。また、高濃度チャンネル領域25はLDD領域23には接しているが、LDD領域24には接していない。このため、チャンネル領域における実効的な不純物濃度は、ソース領域21側の部分が相対的に高く、ドレイン領域22側の部分が相対的に低くなるように構成されている。なお、図2においては、ソース領域21、ドレイン領域22、LDD領域23及び24、高濃度チャンネル領域25の下面が同一平面を構成するように描かれているが、必ずしもこれに限定されず、各領域の下面の位置は、不純物の濃度、不純物を注入する際の加速電圧、及び注入後の熱履歴等によって決定される。

10

【0015】

半導体基板10上には、ソース電極27及びドレイン電極28が設けられている。ソース電極27はソース領域21の直上域に配置され、ソース領域21に接し、ソース領域21にオーミック接続されている。ドレイン電極28はドレイン領域22の直上域に配置され、ドレイン領域22に接し、ドレイン領域22にオーミック接続されている。また、半導体基板10の上層部分にはp<sup>+</sup>形のコンタクト領域(図示せず)が形成されており、例えば、ソース電極27に接続されている。

20

【0016】

そして、半導体装置1においては、トランジスタ11及び12について、ゲート電極17の長手方向が相互に同一である。すなわち、トランジスタ11及び12において、ライン状のゲート電極17が相互に平行に配列されている。また、ソース領域21及びドレイン領域12がそれぞれ同じ側に配置されている。すなわち、トランジスタ11におけるゲート電極17から見てソース領域21が配置されている側は、トランジスタ12におけるゲート電極17から見てソース領域21が配置されている側と同じである。換言すれば、トランジスタ11におけるソース領域21からドレイン領域22に向かう方向は、トランジスタ12におけるソース領域21からドレイン領域22に向かう方向と同じ向きである。なお、「同じ向き」とは、両方向が完全に一致している場合に限定されず、両方向がなす角度が90°未満であればよい。図1に示す例では、例えば、トランジスタ11におけるソース領域21からドレイン領域22に向かう方向は、トランジスタ12におけるソース領域21からドレイン領域22に向かう方向と一致している。

30

【0017】

また、トランジスタ11のソース領域21からトランジスタ12のソース領域21に向かう方向は、トランジスタ11におけるソース領域21からドレイン領域22に向かう方向と一致している。すなわち、トランジスタ11のソース領域21及びドレイン領域22、並びに、トランジスタ12のソース領域21及びドレイン領域22は、この順に一直列に配列されている。

40

【0018】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図3(a)~(c)、図4(a)~(c)、図5は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。

まず、図3(a)に示すように、例えば、n<sup>-</sup>形の半導体基板の上層部分にp形不純物をイオン注入して、p<sup>-</sup>形のウェルを形成する。これにより、上層部分がp<sup>-</sup>形である半導体基板10を作製する。次に、半導体基板10の上層部分に素子分離絶縁膜13(図1参照)を選択的に形成し、トランジスタ11及び12を形成する予定の領域を区画する。

50

## 【0019】

次に、図3(b)に示すように、半導体基板10の上面にゲート絶縁膜16を形成する。次に、ゲート絶縁膜16上にレジスト膜を成膜し、フォトリソグラフィ法によってパターンニングすることにより、レジストマスク31を形成する。レジストマスク31は、高濃度チャンネル領域25を形成する予定の領域を露出させ、それ以外の領域を覆うように形成する。このとき、レジストマスク31の形成位置には不可避免的に誤差が生じ、半導体基板10に対するレジストマスク31の相対的な位置は、一定の範囲内ではばらつく。

## 【0020】

次に、レジストマスク31をマスクとして、p形不純物をイオン注入する。このとき、チャンネルング効果を抑制するために、イオン注入は、直上方向、すなわち、半導体基板10の上面に垂直な方向に対して、やや傾斜した方向から行うことが多い。本実施形態においては、このイオン注入は、直上方向に対してゲート電極17の長手方向に例えば7°傾斜した方向から行う。なお、ゲート電極17の長手方向とは、ゲート幅方向であり、半導体基板10の上面に対して平行であって、トランジスタ11のソース領域21からドレイン領域22に向かう方向に対して直交する方向である。図3(c)に示すように、このイオン注入により、半導体基板10の上層部分の一部に高濃度チャンネル領域25が形成される。その後、レジストマスク31を除去する。

10

## 【0021】

次に、図4(a)に示すように、ゲート絶縁膜16上に多結晶シリコン等のゲート電極材料を堆積させる。そして、この多結晶シリコン膜上にレジストマスク(図示せず)を形成し、これをマスクとして多結晶シリコン膜をパターンニングすることにより、ゲート電極17を形成する。このとき、ゲート電極17の加工には、高濃度チャンネル領域25を形成したときのレジストマスク31とは別のレジストマスクを使用するため、これらのレジストマスクの合わせずれにより、高濃度チャンネル領域25とゲート電極17との相対的な位置は不可避免的に変動してしまう。

20

## 【0022】

次に、図4(b)に示すように、ゲート電極17をマスクとしてn形不純物をイオン注入する。これにより、図4(c)に示すように、n形のLDD領域23及び24が形成される。次に、半導体基板10上の全面に、ゲート電極17を覆うように絶縁膜を形成し、エッチバックすることにより、ゲート電極17の両側面上に側壁18を形成する。

30

## 【0023】

次に、図5に示すように、ゲート電極17及び側壁18をマスクとしてn形不純物をイオン注入する。これにより、LDD領域23及び24の一部にn形不純物が重ねて注入されて、n<sup>+</sup>形のソース領域21及びドレイン領域22が形成される。このとき、半導体基板10における側壁18の直下域には不純物が重ね打ちされず、LDD領域23及び24のまま残留する。次に、p形不純物を選択的にイオン注入して、p<sup>+</sup>形のコンタクト領域(図示せず)を形成する。次に、図2に示すように、ソース領域21上にソース電極27を形成すると共に、ドレイン領域22上にドレイン電極28を形成する。このようにして、半導体基板10の上面にトランジスタ11及び12が形成される。これにより、半導体装置1が製造される。

40

## 【0024】

次に、本実施形態の作用効果について説明する。

本実施形態においては、トランジスタ11及び12のチャンネル領域において、ソース領域21側の部分のみに高濃度チャンネル領域25が形成されており、ドレイン領域22側の部分には形成されていない。これにより、チャンネル領域とドレイン領域22との間の電界を緩和し、ホットキャリア耐性を向上させ、半導体装置1の信頼性を向上させることができる。

## 【0025】

また、半導体装置1の製造プロセスにおいては、高濃度チャンネル領域25を形成するためのレジストマスク31と、ゲート電極17を形成するためのレジストマスク(図示せず

50

)との間に合わせずれが不可避免的に発生する。これにより、高濃度チャネル領域25とゲート電極17との相対的な位置関係が変動し、高濃度チャネル領域25の横方向の長さが変動する。この結果、トランジスタ11及び12のしきい値及びオン電圧等の電気的特性が変動してしまう。

#### 【0026】

そこで、本実施形態においては、ペアで使用するトランジスタ11及び12について、ソース領域21及びドレイン領域22をそれぞれ同じ側に配置する。これにより、レジストマスク31の形成位置がずれて、例えば、トランジスタ11において、高濃度チャネル領域25の長さが長くなると、トランジスタ12においても、高濃度チャネル領域25の長さが長くなる。逆に、トランジスタ11において、高濃度チャネル領域25の長さが短くなるときには、トランジスタ12においても、高濃度チャネル領域25の長さが短くなる。すなわち、レジストマスク31の形成位置がずれても、トランジスタ11及び12の電気的特性は同じ方向に同じ程度だけ変動するため、ペア性は悪化しない。例えば、トランジスタ11及び12のしきい値は、ほぼ同じ量だけ増加又は減少するため、しきい値の差分は増加しない。

10

#### 【0027】

以下、この効果を、具体的なデータに基づいて説明する。

図6は、横軸にゲート長をとり、縦軸にしきい値の差分をとって、素子サイズとペア性との関係を例示するグラフ図である。

図6に示す「参考例」は、通常のCMOS (complementary metal oxide semiconductor: 相補型金属酸化膜半導体素子) トランジスタを用いた場合である。チャネル領域内で不純物濃度が一定濃度である通常のCMOSトランジスタであっても、ゲート長 $L$ を短くしていくと、あるところでしきい値の差分  $V_{th}$ が増加する。すなわち、素子サイズを縮小していくと、あるサイズ以下でペア性が低下する。

20

#### 【0028】

図6に示す「実施例」は、本実施形態の実施例であり、上述の如く、対となる2つのトランジスタの間で、ソース・ドレインの配列方向を揃えた例である。図6に示すように、本実施形態の実施例によれば、CMOSトランジスタと同等のペア性を得ることができた。

図6に示す「比較例」は、対となる2つのトランジスタにおいて、ソース・ドレインの配列方向を相互に逆方向とした例である。図6に示すように、比較例においては、ゲート長 $L$ を短くしたときに、しきい値の差分  $V_{th}$ が上述の「参考例」及び「実施例」よりも大きく増加した。すなわち、比較例においては、本実施形態の実施例よりも、素子サイズを縮小した場合のペア性の低下が顕著であった。

30

#### 【0029】

更に、本実施形態においては、図3(b)に示す工程において、高濃度チャネル領域25を形成するためのイオン注入を、直上方向に対して傾斜した方向から行っている。これにより、チャネリング効果を抑制することができる。また、通常のCMOSの製造プロセスでは、チャネリング効果を抑制するために、既に上述の傾斜した方向からのイオン注入を行っているため、本実施形態のGCMOSを形成するためにチャネル形成の工程を変更したり、新たな工程を追加する必要がない。更に、一度のイオン注入によって、高濃度チャネル領域25を形成することができるため、製造プロセスのスループットが低下しない。そして、本実施形態においては、このイオン注入の方向を直上方向に対してゲート電極17の長手方向に傾斜した方向とする。これにより、高濃度チャネル領域25のドレイン領域22側の端縁の位置が、レジストマスク31のソース領域21側の端縁の位置に対してずれることが少ない。すなわち、レジストマスク31に対して、高濃度チャネル領域25を高精度に形成することができる。この効果は、特に、ゲート長が短い場合に有効である。

40

#### 【0030】

次に、第2の実施形態について説明する。

50

図7は、本実施形態に係る半導体装置を例示する平面図である。

図7に示すように、本実施形態は、前述の第1の実施形態と比較して、トランジスタ11及び12の配列方向が異なっている。すなわち、本実施形態に係る半導体装置2においては、トランジスタ11のソース領域21からトランジスタ12のソース領域21に向かう方向が、トランジスタ11におけるソース領域21からドレイン領域22に向かう方向に対して直交している。これにより、トランジスタ11のソース領域21及びドレイン領域22、並びに、トランジスタ12のソース領域21及びドレイン領域22は、2行2列のマトリクス状に配列されている。

#### 【0031】

本実施形態における上記以外の構成及び製造方法は、前述の第1の実施形態と同様である。すなわち、本実施形態においても、トランジスタ11におけるソース領域21からドレイン領域22に向かう方向は、トランジスタ12におけるソース領域21からドレイン領域22に向かう方向と同じ向きである。すなわち、トランジスタ11におけるゲート電極17から見てソース領域21が配置されている側は、トランジスタ12におけるゲート電極17から見てソース領域21が配置されている側と同じである。本実施形態によっても、前述の第1の実施形態と同様な効果を得ることができる。

#### 【0032】

次に、第3の実施形態について説明する。

図8(a)は、本実施形態に係る半導体装置を例示する断面図であり、(b)及び(c)は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。

なお、図8(a)は完成後のトランジスタ3を示す図であるが、参考のために、途中の工程で使用するレジストマスク31も図示している。また、図8(b)及び(c)はトランジスタ3の製造方法を示す図であるが、参考のために、その後の工程において形成されるゲート電極17等も図示している。

#### 【0033】

本実施形態は、前述の第1の実施形態と比較して、高濃度チャネル領域25を形成するためのイオン注入の傾斜方向が異なっている。本実施形態においては、前述の図3(b)に示す工程において、高濃度チャネル領域25を形成するためのイオン注入を、直上方向に対してゲート長方向、すなわち、ソース領域21とドレイン領域22とを結ぶ方向に傾斜した方向から行う。

#### 【0034】

図8(a)に示すように、GCMOSTランジスタ3においては、高濃度チャネル領域25とLDD領域24との距離Cを一定にすることが多い。GCMOSTランジスタの製造プロセスにおいては、レジストマスク31のソース領域21側の端縁31aを、高濃度チャネル領域25を形成しようとする領域におけるドレイン領域22側の端縁25aの直上域に位置させる。

#### 【0035】

しかしながら、図8(b)に示すように、高濃度チャネル領域25を形成するためのイオン注入を、直上方向に対してドレイン領域22側に傾斜した方向から行うと、実際に形成される高濃度チャネル領域25の端縁25aは、レジストマスク31の端縁31aよりもソース領域21側にシフトする。すなわち、距離Cは設計値よりも大きくなる。

逆に、図8(c)に示すように、イオン注入を、直上方向に対してソース領域21側に傾斜した方向から行うと、実際に形成される高濃度チャネル領域25の端縁25aは、レジストマスク31の端縁31aよりもドレイン領域22側にシフトする。すなわち、距離Cは設計値よりも小さくなる。

#### 【0036】

このような場合であっても、本実施形態によれば、トランジスタ11及び12において、ソース領域21及びドレイン領域22の配列方向が同じであるため、レジストマスク31の端縁31aに対して高濃度領域25の端縁25aがずれる方向及び程度が、両トランジスタ間で同一である。例えば、トランジスタ11において距離Cが大きくなるときは、

10

20

30

40

50

トランジスタ 1 2 においても距離 C が大きくなる。この結果、トランジスタ 1 1 及び 1 2 において、イオン注入方向に起因する電気的特性の変動の傾向が同じとなり、ペア性の低下を防止することができる。本実施形態における上記以外の構成、製造方法及び作用効果は、前述の第 1 の実施形態と同様である。

【 0 0 3 7 】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。

10

【 0 0 3 8 】

また、前述の各実施形態は、相互に組み合わせて実施することができる。例えば、前述の第 2 の実施形態においても、前述の第 3 の実施形態と同様に、高濃度チャネル領域 2 5 を形成するためのイオン注入の方向を、直上方向からソース領域側又はドレイン領域側に傾斜させてもよい。また、前述の各実施形態においては、トランジスタ 1 1 及び 1 2 が隣り合って配置されている例を示したが、これに限定されず、トランジスタ 1 1 及び 1 2 の相互間に他の素子が形成されていてもよい。さらに、前述の各実施形態においては、p 形基板の上面に n チャネル形のトランジスタを形成する例を示したが、これに限定されず、n 形基板の上面に p チャネル形のトランジスタを形成してもよい。

20

【 0 0 3 9 】

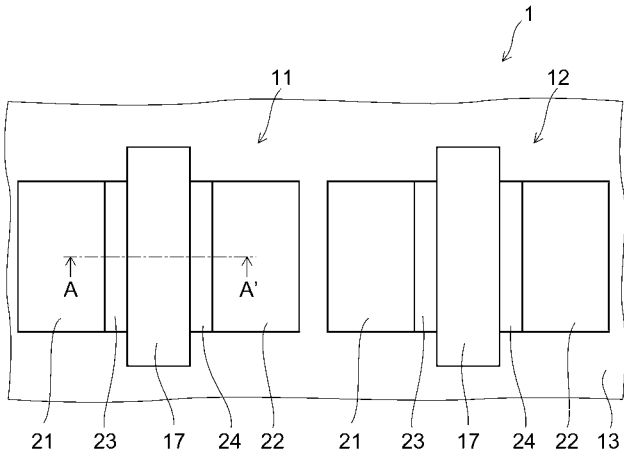
以上説明した実施形態によれば、プロセスばらつきに起因する電気的特性のばらつきが小さい半導体装置を実現することができる。

【 符号の説明 】

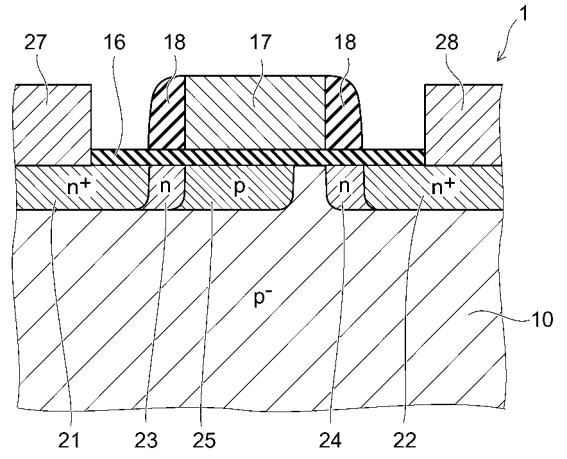
【 0 0 4 0 】

1、2：半導体装置、10：半導体基板、11、12：トランジスタ、13：素子分離絶縁膜、16：ゲート絶縁膜、17：ゲート電極、18：側壁、21：ソース領域、22：ドレイン領域、23、24：LDD、25：高濃度チャネル領域、25a：端縁、27：ソース電極、28：ドレイン電極、31：レジストマスク、31a：端縁、C：距離

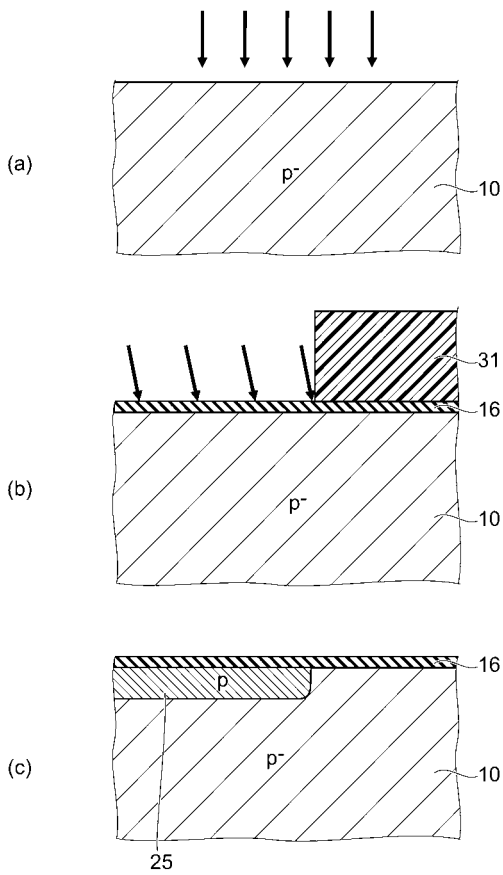
【 図 1 】



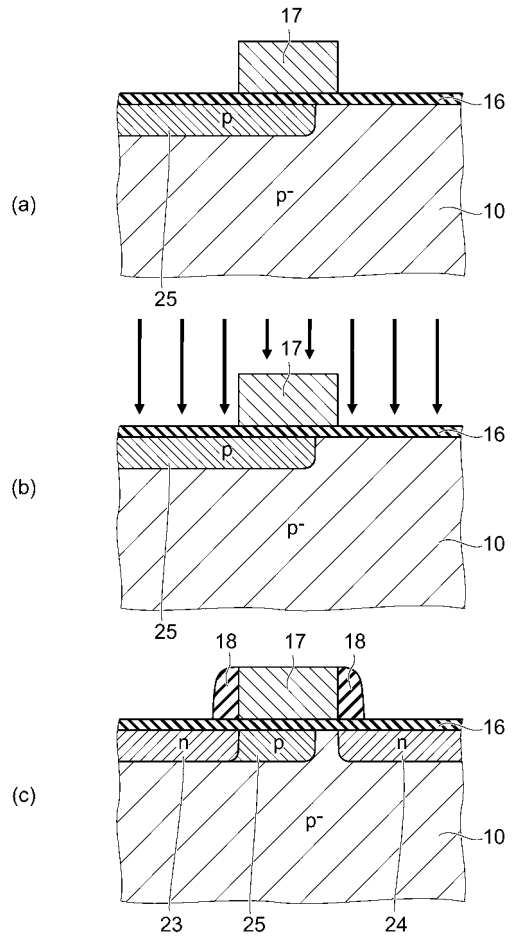
【 図 2 】



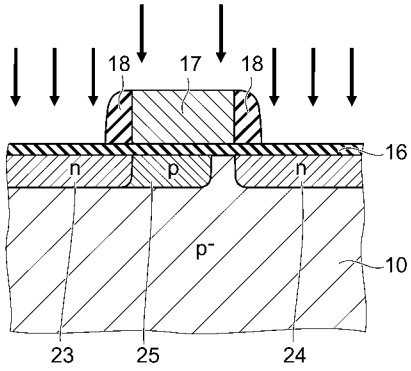
【 図 3 】



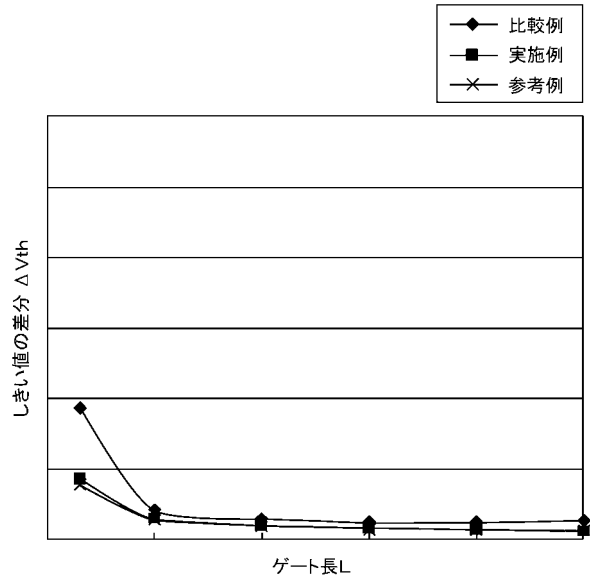
【 図 4 】



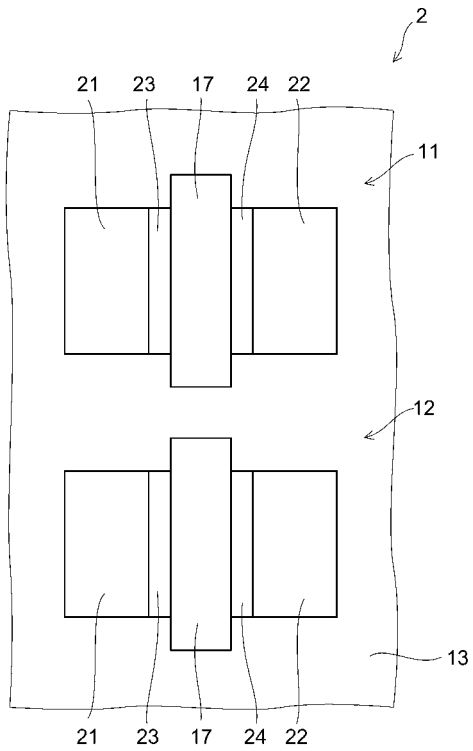
【 図 5 】



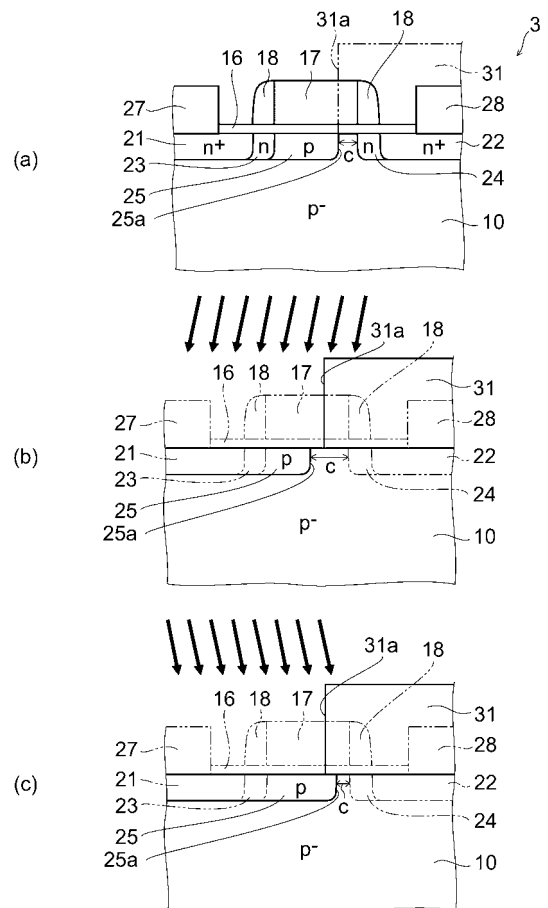
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

Fターム(参考) 5F048 AA07 AB10 AC01 BA01 BA02 BB05 BC06 BD04 BF16 BG13  
DA25 DA27 DA30