



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2007 021 535 A1** 2008.09.04

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2007 021 535.7**

(22) Anmeldetag: **08.05.2007**

(43) Offenlegungstag: **04.09.2008**

(51) Int Cl.⁸: **G11C 29/50** (2006.01)

G11C 29/10 (2006.01)

G11C 13/02 (2006.01)

G11C 11/15 (2006.01)

G11C 16/00 (2006.01)

(30) Unionspriorität:

11/709,336 **21.02.2007** **US**

(72) Erfinder:

Keller, Jan, Fontainebleau, FR

(71) Anmelder:

**Qimonda AG, 81739 München, DE; Altis
Semiconductor SNC, Corbeil Essonnes, FR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

GB 23 08 477 A

US 54 91 665 A

EP 03 86 573 A2

(74) Vertreter:

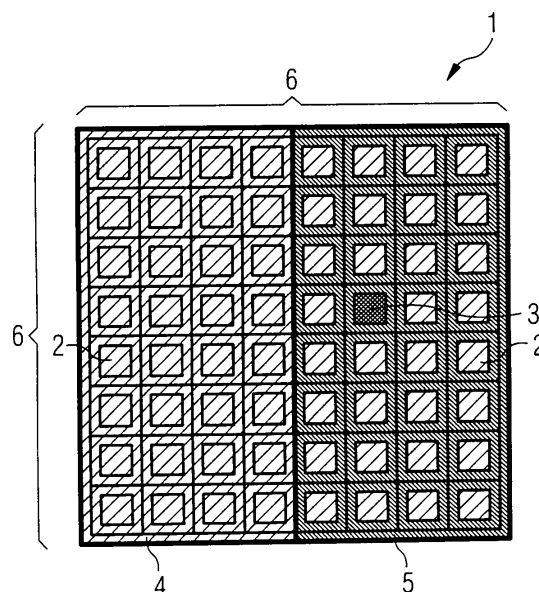
Viering, Jentschura & Partner, 81675 München

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Testen einer integrierten Schaltung, Verfahren zum Ermitteln defekter Widerstandsänderungszellen, Testvorrichtung sowie Computerprogramm**

(57) Zusammenfassung: Ein Verfahren zum Testen einer integrierten Schaltung mit einem Array von Widerstandsänderungszellen weist die folgenden Prozesse auf: Auswählen einer Mehrzahl von Zellen; Überführen des Zustands jeder ausgewählten Zelle in einen definierten Zustand; Messen eines Widerstandswerts, der abhängig ist von den Widerständen der ausgewählten Zellen; Vergleichen des Widerstandswerts mit einem Widerstandszielwert und Klassifizieren der integrierten Schaltung in Abhängigkeit des Ergebnisses des Vergleichs.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Testen einer integrierten Schaltung, ein Verfahren zum Ermitteln defekter Widerstandsänderungszellen, eine Testvorrichtung sowie ein Computerprogramm.

[0002] Speichervorrichtungen, die hohe Speicherdichten aufweisen, werden gewöhnlicherweise Speichervorrichtungs-Testverfahren unterzogen, beispielsweise nach Beendigung entsprechender Speichervorrichtungs-Herstellverfahren. Speichervorrichtungs-Testverfahren kommen weiterhin bei Bootprozessen von Vorrichtungen zum Einsatz, die Speichervorrichtungen beinhalten, beispielsweise bei Mobiltelefonen, Handhelds, Personal-Computern, etc..

[0003] Die der Erfindung zugrunde liegende Aufgabe ist, die Effizienz der Speichervorrichtungs-Testverfahren zu verbessern.

[0004] Zur Lösung dieser Aufgabe stellt die Erfindung ein Verfahren zum Testen einer integrierten Schaltung gemäß Patentanspruch 1 bereit. Weiterhin stellt die Erfindung ein Verfahren zum Ermitteln defekter Widerstandsänderungszellen gemäß Patentanspruch 11 bereit. Die Erfindung stellt ferner eine Testvorrichtung gemäß Patentanspruch 19 bereit. Schließlich stellt die Erfindung Computerprogramme gemäß den Patentansprüchen 27 und 28 sowie einen Datenträger gemäß Patentanspruch 29 bereit. Vorteilhafte Ausgestaltungen bzw. Weiterbildungen des Erfindungsgedankens finden sich in den Unteransprüchen.

[0005] Aus Gründen der Einfachheit wird in der folgenden Beschreibung angenommen, dass die integrierte Schaltung eine Widerstandsänderungs-Speichervorrichtung ist, dass die Widerstandsänderungszellen Widerstandsänderungsspeicherzellen, und dass die Zustände der Zellen Speicherzustände sind. Jedoch ist die Erfindung nicht hierauf beschränkt. Die erfindungsgemäßen Ausführungsformen können auf beliebige Schaltungen angewandt werden, die Widerstandsänderungszellen aufweisen, beispielsweise Schaltungen mit einstellbaren Widerständen, die Widerstandsänderungszellen aufweisen bzw. aus diesen bestehen.

[0006] Gemäß einer Ausführungsform der Erfindung wird ein Verfahren zum Testen einer Widerstandsänderungsspeichervorrichtung, die ein Speicherzellenarray aufweist, bereitgestellt. Das Verfahren weist die folgenden Prozesse auf: Auswählen einer Mehrzahl von Speicherzellen; Überführen des Speicherzustands jeder ausgewählten Speicherzelle in einen definierten Speicherzustand; Messen eines Widerstandswerts, der von den Widerständen der ausgewählten Speicherzellen abhängt; Vergleichen des Widerstandswerts mit einem Widerstandsziel-

wert; Klassifizieren der Speichervorrichtung in Abhängigkeit des Ergebnisses des Vergleichs.

[0007] Gemäß einer Ausführungsform der Erfindung werden alle ausgewählten Speicherzellen in den gleichen Speicherzustand versetzt („gemeinsamer Speicherzustand“). Jedoch ist die Erfindung nicht hierauf beschränkt, das heißt beliebige Speicherzustandsmuster können zum Einsatz kommen. Beispielsweise können die Speicherzustände einer Speicherzellen-Zeile zwischen dem Speicherzustand „0“ und dem Speicherzustand „1“ alternieren.

[0008] Gemäß einer Ausführungsform der Erfindung wird der Speicherzustand einer Mehrzahl von Speicherzellen kollektiv, nicht jedoch nicht sukzessiv (Speicherzustand für Speicherzustand) gemessen. Beispielsweise können Messströme gleichzeitig durch alle Speicherzellen geleitet werden, die in einen definierten Speicherzustand versetzt wurden. Gemäß einer Ausführungsform der Erfindung wird lediglich die Summe aller Messströme gemessen, d. h. nicht jeder Messstrom wird individuell gemessen.

[0009] Alle auswählbaren Speicherzellen der Widerstandsänderungsspeichervorrichtung können auf einmal ausgewählt werden. Alternativ ist es möglich, lediglich einen Teil der auswählbaren Speicherzellen auszuwählen.

[0010] Die ausgewählten Speicherzellen können ein kontinuierliches Speicherzelligegebiet definieren. Die Erfindung ist jedoch nicht hierauf beschränkt; es ist auch möglich, mehrere Speicherzellen auszuwählen, die ein nicht kontinuierliches (d. h. ein nicht zusammenhängendes) Speicherzelligegebiet definieren. Beispielsweise ist es möglich, jede zweite Speicherzelle einer Spalte und einer Zeile des Speicherzellenarrays auszuwählen, derart, dass ausgewählte Speicherzellen und nicht ausgewählte Speicherzellen miteinander alternieren (Schachbrettmuster). Beliebige Auswahlmuster sind möglich.

[0011] Im Allgemeinen können „definierter Speicherzustand“ und „gemeinsamer Speicherzustand“ beliebige Speicherzustände bedeuten („0“, „1“ oder sogar weitere Speicherzustände), in die die Speicherzellen versetzt werden können. Gemäß einer Ausführungsform der Erfindung ist der gemeinsame Speicherzustand/definierte Speicherzustand der Speicherzustand, der den höchsten Widerstand aufweist (verglichen zu den restlichen möglichen Speicherzuständen). Beispielsweise können alle ausgewählten Speicherzellen in den „AUS“-Speicherzustand versetzt werden.

[0012] Die Erfinder haben erkannt, dass die Erfindung besonders gut funktioniert, wenn alle ausgewählten Speicherzellen (d. h. die Speicherzellen, die getestet werden) in den Speicherzustand versetzt

werden, die den höchstmöglichen Widerstand aufweist. Allgemeiner: Je höher der Unterschied zwischen dem Widerstand der nicht-defekten Speicherzellen und dem Widerstand der defekten Speicherzellen ist (defekte Speicherzellen weisen gewöhnlicherweise den niedrigstmöglichen Widerstand auf), desto besser funktionieren die Ausführungsformen des erfindungsgemäßen Verfahrens, da die Tatsache, dass die Speicherzellen defekt sind, umso stärker innerhalb des Messsignals sichtbar ist, je größer die Widerstandsdifferenz ist. Das Messsignal kann ein Spannungssignal oder ein Stromsignal sein. Deshalb werden gemäß einer Ausführungsform der Erfindung die ausgewählten Speicherzellen in Widerstandsspeicherzustände versetzt, die bewirken, dass sich die resultierende Differenz zwischen dem Widerstand der nicht-defekten Speicherzellen und dem Widerstand der defekten Speicherzellen innerhalb des Messsignals so deutlich widerspiegelt, dass dies detektiert werden kann.

[0013] Um ein Beispiel zu geben: Es wird im Folgenden angenommen, dass ein Festkörperelektrolytspeicherzellenarray getestet wird, das 64 Speicherzellen aufweist. Hier ist der Widerstandswert einer Speicherzelle, die in den Speicherzustand mit dem höchstmöglichen Widerstand versetzt ist, ein Megaohm (Raus-Zustand), und der Widerstandswert für eine Speicherzelle, die in den Speicherzustand mit dem niedrigstmöglichen Widerstand versetzt ist, 10 Kiloohm (R_{ein} -Zustand). Wenn alle Speicherzellen in den R_{aus} -Zustand versetzt sind, resultiert ein Widerstand von 16 Kiloohm ($1/R_{\text{gesamt}} = 64 \cdot 1/R_{\text{aus}}$; $R_{\text{gesamt}} \sim 16$ Kiloohm), wenn die Speicherzellen parallel geschaltet sind. Dies gilt für ein Speicherzellenarray, in dem alle Speicherzellen nicht-defekte Speicherzellen sind. Wenn eine einzige Speicherzelle nicht in den R_{aus} -Zustand schaltet, hat diese einen Widerstand von 10 Kiloohm oder weniger (im Falle eines wirklichen Kurzschlusses). Da $R_{\text{ein}} < R_{\text{gesamt}}$ (R_{gesamt} eines perfekten Speicherzellenarrays), kann mittels eines Widerstandsmessprozesses sofort entnommen werden, dass wenigstens eine Speicherzelle einen Kurzschluss aufweist. Um sicher zu stellen, dass diese Messtechnik funktioniert, sollte $R_{\text{gesamt}} > R_{\text{ein}}$ sein, wobei $1/R_{\text{gesamt}} = x \cdot 1/R_{\text{aus}}$, und wobei x die Anzahl der Speicherzellen ist, und R_{gesamt} zu verstehen ist im Kontext eines Arrays nicht-defekter Speicherzellen, die parallel geschaltet sind. Die Erfindung ist nicht auf die Widerstandswerte dieses Beispiels beschränkt. Beispielsweise können die R_{aus} -Widerstandswerte wesentlich größer ausfallen.

[0014] Die Widerstandsänderungsspeichervorrichtung kann beispielsweise eine Festkörperelektrolytspeichervorrichtung mit wahlfreiem Zugriff sein, auch bekannt als Leitungsbrückenspeichervorrichtung mit wahlfreiem Zugriff (CBRAM), eine magnetoresistive Speichervorrichtung mit wahlfreiem Zugriff (MRAM), eine Phasenänderungsspeichervorrichtung mit wahl-

freiem Zugriff (PCRAM), eine organische Speichervorrichtung mit wahlfreiem Zugriff (ORAM), oder eine Übergangsmetalloxidspeichervorrichtung (TMO) und dergleichen sein. Jedoch ist die Erfindung nicht auf diese Typen von Speichervorrichtungen beschränkt.

[0015] Das Testverfahren gemäß den oben beschriebenen Ausführungsformen ist dazu im Stande, sehr schnell festzustellen, ob ein Speicherzellenarray oder ein bestimmtes Speicherzellenarray-Gebiet eine oder mehrere defekte Speicherzellen aufweist. Jedoch ist es nicht möglich, die exakte Position der defekten Speicherzellen festzustellen.

[0016] Deshalb wird gemäß einer Ausführungsform der Erfindung ein Verfahren zum Ermitteln defekter Speicherzellen innerhalb eines Speicherzellenarrays einer Widerstandsänderungsspeichervorrichtung bereitgestellt. Das Verfahren weist die folgenden Schritte auf: a) Versetzen einer Gruppe von Speicherzellen in einen definierten Speicherzustand, b) Aufspalten der Gruppe der Speicherzellen in wenigstens zwei Speicherzellenuntergruppen, c) Starten eines Prozesses, bei dem sukzessiv ein Untergruppenwiderstandswert für jede Speicherzellenuntergruppe gemessen wird, wobei jeder Untergruppenwiderstandswert von den Widerständen der Speicherzellen der jeweiligen Speicherzellenuntergruppe abhängt, d) Vergleichen der gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandszielwerten, e) Wenn ein gemessener Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt: Aufspalten der Speicherzellenuntergruppe, deren Untergruppenwiderstandswert nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Speicherzellenuntergruppen, und Wiederholen der Prozesse c) bis e) für die weiteren Speicherzellenuntergruppen.

[0017] Gemäß einer Ausführungsform der Erfindung werden die Prozesse c) bis e) solange wiederholt, bis eine defekte Speicherzelle lokalisiert wurde.

[0018] Gemäß einer Ausführungsform der Erfindung ist jeder gemessene Untergruppenwiderstandswert die Summe der individuellen Speicherzellenwiderstände der Speicherzellen der entsprechenden Speicherzellenuntergruppe.

[0019] Gemäß einer Ausführungsform der Erfindung sind die Speicherzellen parallel geschaltet. In diesem Fall bedeutet der Ausdruck „Summe der individuellen Speicherzellenwiderstände“ die inverse Summe der Widerstände der einzelnen Speicherzellen: Unter der Annahme, dass die Widerstände der einzelnen Speicherzellen R_1 , R_2 , R_3 ..., betragen, ist die „Summe“ S der individuellen Speicherzellenwiderstände gegeben durch: $1/S = 1/R_1 + 1/R_2 + 1/R_3 + \dots$

[0020] Alle im Zusammenhang mit dem Speichervorrichtungstestverfahren beschriebenen Ausführungsführungsformen können auch auf die Ausführungsführungsformen des Verfahrens zum Ermitteln defekter Speicherzellen angewandt werden, wie beispielhaft durch die folgenden Ausführungsführungsformen angedeutet ist:

Gemäß einer Ausführungsführungsform der Erfindung wird jeder Prozess des Messens eines Untergruppenwiderstandswerts ausgeführt, indem jeweilige Messströme gleichzeitig durch alle Speicherzellen der jeweiligen Speicherzellenuntergruppe geleitet werden; Gemäß einer Ausführungsführungsform der Erfindung beinhaltet die Speicherzellengruppe alle Speicherzellen der Widerstandsänderungsspeichervorrichtung. Gemäß einer Ausführungsführungsform der Erfindung wird der Speicherzustand jeder Speicherzelle einer Speicherzellengruppe in einen gemeinsamen Speicherzustand versetzt; Gemäß einer Ausführungsführungsform der Erfindung ist die Widerstandsänderungsspeichervorrichtung eine CBRAM-Vorrichtung, eine MRAM-Vorrichtung, eine PCRAM-Vorrichtung, oder eine ORAM-Vorrichtung.

[0021] Gemäß einer Ausführungsführungsform der Erfindung wird eine Testvorrichtung zum Testen einer Widerstandsänderungsspeichervorrichtung bereitgestellt, die eine Speicherzellenarray aufweist. Die Testvorrichtung weist auf: Auswahlmittel zum Auswählen einer Mehrzahl von Speicherzellen; Einstellmittel zum Versetzen des Speicherzustands einer ausgewählten Speicherzelle in einen definierten Speicherzustand; Messmittel zum Messen eines Widerstandswerts, der abhängig ist von den Widerständen der ausgewählten Speicherzellen; Vergleichsmittel zum Vergleichen des Widerstandswerts mit einem Widerstandszielwert; und Klassifizierungsmittel zum Klassifizieren der Speichervorrichtung in Abhängigkeit des Ergebnisses des Vergleichs.

[0022] Gemäß einer Ausführungsführungsform der Erfindung sind die Auswahlmittel so eingestellt, dass eine Gruppe von Speicherzellen in einen definierten Speicherzustand versetzt wird, und die Gruppe der Speicherzellen in wenigstens zwei Speicherzellenuntergruppen aufgespaltet werden.

[0023] Gemäß einer Ausführungsführungsform der Erfindung sind die Messmittel so ausgestaltet, dass ein Prozess des sukzessiven Messens eines Untergruppenwiderstandswerts für jede Speicherzellenuntergruppe startbar ist, wobei jeder Untergruppenwiderstandswert abhängig ist von den Widerständen der Speicherzellen der jeweiligen Speicherzellenuntergruppen.

[0024] Gemäß einer Ausführungsführungsform der Erfindung sind die Vergleichsmittel weiterhin dazu ausgelegt, die gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandsziel-

werten zu vergleichen.

[0025] Gemäß einer Ausführungsführungsform der Erfindung sind die Entscheidungsmittel weiterhin dazu ausgelegt, zu entscheiden, wenn ein gemessener Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt, dass die Speicherzellenuntergruppe, die nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Speicherzellenuntergruppen aufgespaltet wird.

[0026] Gemäß einer Ausführungsführungsform der Erfindung sind die Einstellmittel weiterhin dazu ausgelegt, die Speicherzustände aller ausgewählten Speicherzellen in einen gemeinsamen Speicherzustand zu versetzen.

[0027] Gemäß einer Ausführungsführungsform der Erfindung ist die Widerstandsänderungsspeichervorrichtung eine CBRAM-Vorrichtung, eine MRAM-Vorrichtung, eine PCRAM-Vorrichtung, oder eine ORAM-Vorrichtung.

[0028] Gemäß einer Ausführungsführungsform der Erfindung ist der gemeinsame Speicherzustand der AUS-Speicherzustand.

[0029] Gemäß einer Ausführungsführungsform der Erfindung wird ein Computerprogramm bereitgestellt, dass dazu ausgelegt wird, wenn es auf einer rechnergestützten Vorrichtung oder einem digitalen Signalprozessor ausgeführt wird, ein Verfahren zum Testen einer Widerstandsänderungsspeichervorrichtung auszuführen, die ein Speicherzellenarray aufweist. Das Verfahren weist die folgenden Prozess auf: Auswählen einer Mehrzahl von Speicherzellen; Versetzen der Speicherzustände jeder ausgewählten Speicherzelle in einen definierten Speicherzustand; Messen eines Widerstandswerts, der abhängig ist von den Widerständen der ausgewählten Speicherzellen; Vergleichen des Widerstandswerts mit einem Widerstandszielwert; Klassifizieren der Speichervorrichtung in Abhängigkeit des Ergebnisses des Vergleichs.

[0030] Gemäß einer Ausführungsführungsform der Erfindung wird ein Computerprogramm bereitgestellt, das ausgelegt ist, bei Ausführen auf einer rechnergestützten Vorrichtung bzw. einem digitalen Signalprozessor ein Verfahren zum Ermitteln von defekten Speicherzellen innerhalb eines Speicherzellenarrays einer Widerstandsänderungsspeichervorrichtung auszuführen. Das Verfahren weist folgende Prozess auf: a) Versetzen einer Gruppe von Speicherzellen in einen definierten Speicherzustand, b) Aufspalten der Gruppe der Speicherzellen in wenigstens zwei Speicherzellenuntergruppen, c) Starten eines Prozesses, bei dem sukzessiv ein Untergruppenwiderstandswert für jede Speicherzellenuntergruppe gemessen wird,

wobei jeder Untergruppenwiderstandswert von den Widerständen der Speicherzellen der jeweiligen Speicherzellenuntergruppe abhängt, d) Vergleichen der gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandszielwerten, e) Wenn ein gemessener Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt: Aufspalten der Speicherzellenuntergruppe, deren Untergruppenwiderstandswert nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Speicherzellenuntergruppen, und Wiederholen der Prozesse c) bis e) für die weiteren Speicherzellenuntergruppen.

[0031] Die Erfindung stellt ferner einen Datenträger zum Speichern der vorangehend beschriebenen Computerprogramme bereit.

[0032] Die Erfindung wird im folgenden unter Bezugnahme auf die Figuren in beispielsweise Ausführungsform näher erläutert. Es zeigen:

[0033] [Fig. 1](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0034] [Fig. 2](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0035] [Fig. 3](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0036] [Fig. 4](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0037] [Fig. 5](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0038] [Fig. 6](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0039] [Fig. 7](#) eine schematische Darstellung eines Prozessstadiums eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0040] [Fig. 8A](#) eine schematische Querschnittsdarstellung eines ersten Speicherzustands einer CBRAM-Zelle;

[0041] [Fig. 8B](#) eine schematische Querschnittsdarstellung eines zweiten Speicherzustands einer CBRAM-Zelle;

[0042] [Fig. 9](#) ein schematisches Flussdiagramm ei-

nes Verfahrens gemäß einer Ausführungsform der Erfindung;

[0043] [Fig. 10](#) ein schematisches Flussdiagramm eines Verfahrens gemäß einer Ausführungsform der Erfindung;

[0044] [Fig. 11](#) eine schematische Querschnittsdarstellung einer Phasenänderungsspeicherzelle;

[0045] [Fig. 12](#) eine schematische Darstellung einer Speichervorrichtung mit Widerstandsänderungsspeicherzellen;

[0046] [Fig. 13A](#) eine schematische Querschnittsdarstellung einer Kohlenstoffspeicherzelle in einem ersten Speicherzustand;

[0047] [Fig. 13B](#) eine schematische Querschnittsdarstellung einer Kohlenstoffspeicherzelle in einem zweiten Speicherzustand;

[0048] [Fig. 14A](#) eine schematische Darstellung einer Widerstandsänderungsspeicherzelle; und

[0049] [Fig. 14B](#) eine schematische Darstellung einer Widerstandsänderungsspeicherzelle.

[0050] Da die erfindungsgemäßen Ausführungsformen auf programmierbare Metallisierungszellen (PMC's = "programmable metallization cells") wie beispielsweise CBRAM-Vorrichtungen ("conductive bridging random access memory"-Vorrichtungen) anwendbar sind, soll in der folgenden Beschreibung unter Bezugnahme auf [Fig. 8a](#) und [Fig. 8b](#) ein wichtiges Prinzip erläutert werden, das CBRAM-Vorrichtungen zugrundeliegt.

[0051] Eine CBRAM-Zelle **800** weist eine erste Elektrode **801**, eine zweite Elektrode **802** sowie einen Festkörperelektrolytblock (auch als Ionenleiterblock bekannt) **803**, der zwischen der ersten Elektrode **801** und der zweiten Elektrode **802** angeordnet ist, auf. Der Festkörperelektrolytblock kann auch von mehreren Speicherzellen gemeinsam benutzt werden (hier nicht gezeigt). Die erste Elektrode **801** kontaktiert eine erste Oberfläche **804** des Festkörperelektrolytblocks **803**, die zweite Elektrode **802** kontaktiert eine zweite Oberfläche **805** des Festkörperelektrolytblocks **803**. Der Festkörperelektrolytblock **803** ist gegenüber seiner Umgebung durch eine Isolationsstruktur **806** isoliert. Die erste Oberfläche **804** ist üblicherweise die Oberseite, die zweite Oberfläche **805** die Unterseite des Festkörperelektrolytblocks **803**. Die erste Elektrode **801** ist üblicherweise die obere Elektrode, die zweite Elektrode **802** die untere Elektrode der CBRAM-Zelle. Eine der ersten und zweiten Elektrode **801**, **802** ist eine reaktive Elektrode, die jeweils andere eine inerte Elektrode. Beispielsweise ist die erste Elektrode **801** die reaktive Elektrode, und

die zweite Elektrode **802** die inerte Elektrode. In diesem Fall kann die erste Elektrode **801** beispielsweise aus Silber (Ag), der Festkörperelektrolytblock **803** aus Chalkogenid-Material, und die Isolationsstruktur **806** aus SiO_2 oder Si_3N_4 bestehen. Die zweite Elektrode **802** kann alternativ bzw. zusätzlich Nickel (Ni), Platin (Pt), Iridium (Ir), Rhenium (Re), Tantal (Ta), Titan (Ti), Ruthenium (Ru), Molybdän (Mo), Vanadium (V), leitende Oxide, Silizide sowie Nitride der zuvor erwähnten Materialien beinhalten, und kann weiterhin Legierungen der zuvor erwähnten Materialien beinhalten. Die Dicke des Ionenleiterblocks **803** kann beispielsweise 5 nm bis 500 nm betragen. Die Dicke der ersten Elektrode **801** kann beispielsweise 10 nm bis 100 nm betragen. Die Dicke der zweiten Elektrode **802** kann beispielsweise 5 nm bis 500 nm, 15 nm bis 150 nm, oder 25 nm bis 100 nm betragen. Die Ausführungsformen der Erfindung sind nicht auf die oben erwähnten Materialien und Dicken beschränkt.

[0052] Gemäß einer Ausführungsform der Erfindung ist unter Chalkogenid-Material (allgemeiner: das Material des Ionenleiterblocks **803**) eine Verbindung zu verstehen, die Sauerstoff, Schwefel, Selen, Germanium und/oder Tellur aufweist. Gemäß einer Ausführungsform der Erfindung ist Chalkogenid-Material eine Verbindung aus einem Chalkogenid und zumindest einem Metall der Gruppe I oder Gruppe II des Periodensystems, beispielsweise Arsen-Trisulfid-Silber. Alternativ enthält das Chalkogenid-Material Germaniumsulfid (GeS_x), Germaniumselenid (GeSe_x), Wolframoxid (WO_x), Kupfersulfid (CuS_x) oder ähnliches. Weiterhin kann das Chalkogenid-Material Metallionen enthalten, wobei die Metallionen ein Metall sein können, das aus einer Gruppe gewählt ist, die aus Silber, Kupfer und Zink besteht bzw. aus einer Kombination oder einer Legierung dieser Metalle. Der Ionenleiterblock **803** kann aus Festkörperelektrolytmaterial bestehen.

[0053] Wenn eine Spannung über dem Festkörperelektrolytblock **803** abfällt, wie in **Fig. 1a** angedeutet ist, wird eine Redoxreaktion in Gang gesetzt, die Ag^+ -Ionen aus der ersten Elektrode **801** heraus löst und in den Festkörperelektrolytblock **803** hinein treibt, wo diese zu Silber reduziert werden. Auf diese Art und Weise werden silberhaltige Cluster **808** in dem Festkörperelektrolytblock **803** ausgebildet. Wenn die Spannung über dem Festkörperelektrolytblock **803** lange genug abfällt, erhöht sich die Größe und die Anzahl der silberreichen Cluster innerhalb des Festkörperelektrolytblocks **803** so stark, dass eine leitende Brücke (leitender Pfad) **807** zwischen der ersten Elektrode **801** und der zweiten Elektrode **802** ausgebildet wird. Wenn die in **Fig. 1b** gezeigte Spannung über dem Festkörperelektrolytblock **803** abfällt (inverse Spannung verglichen zu der in **Fig. 1a** dargestellten Spannung), wird eine Redoxreaktion in Gang gesetzt, die Ag^+ -Ionen aus dem Festkörperelektrolytblock **803** hinaus zur ersten Elektrode **801**

treibt, an der diese zu Silber reduziert werden. Damit wird die Größe und die Anzahl silberreicher Cluster **808** innerhalb des Festkörperelektrolytblocks **803** verringert. Erfolgt dies lange genug, wird die leitende Brücke **807** gelöscht.

[0054] Um den momentanen Speicherzustand der CBRAM-Zelle festzustellen, wird ein Messstrom durch die CBRAM-Zelle geleitet. Der Messstrom erfährt einen hohen Widerstand, wenn in der CBRAM-Zelle keine leitende Brücke **807** ausgebildet ist, und erfährt einen niedrigen Widerstand, wenn in der CBRAM-Zelle eine leitende Brücke **807** ausgebildet ist. Ein hoher Widerstand repräsentiert beispielsweise logisch "0", wohingegen ein niedriger Widerstand logisch "1" repräsentiert, oder umgekehrt. Anstelle eines Messstroms kann auch eine Messspannung zum Einsatz kommen.

[0055] In der folgenden Beschreibung wird ein Testverfahren gemäß einer Ausführungsform der Erfindung unter Bezugnahme auf die **Fig. 1** und **Fig. 7** näher erläutert.

[0056] **Fig. 1** zeigt ein Speicherzellenarray **1** mit einer Vielzahl von programmierbaren Speicherzellen **2**, die in Zeilen und Spalten anordnet sind (es sollte erwähnt werden, dass die Erfindung nicht auf ein Speicherzellenarray beschränkt ist, das in Form von Zeilen und Spalten realisiert ist; die Erfindung kann auf beliebige Speicherarrayarchitekturen angewandt werden). In diesem Beispiel beinhaltet das Speicherzellenarray **1** eine defekte Speicherzelle **3**. Alle anderen Speicherzellen **2** sind nicht defekt, d. h. arbeiten wie gewünscht. Die Position der defekten Speicherzelle **3** ist nicht bekannt.

[0057] Um herauszufinden, ob das Speicherzellenarray **1** im Ganzen korrekt arbeitet, werden alle Speicherzellen **2** inklusive der defekten Speicherzelle **3** ausgewählt, und in den gleichen Speicherzustand (gemeinsamer Speicherzustand) versetzt. Beispielsweise werden alle Speicherzellen in den Speicherzustand versetzt, der den höchsten Widerstand aufweist (gewöhnlicherweise „AUS“-Speicherzustand). Dann wird die Summe aller individuellen Speicherzellenwiderstände der Speicherzellen **2** ermittelt. Da jede Speicherzelle **2** denselben Speicherzustand aufweist, sollte jeder einzelne Zellenwiderstand den gleichen Speicherzellenwiderstandswert aufweisen. Nun wird die Summe der einzelnen Speicherzellenwiderstände aller Speicherzellen **2** gemessen, die in den gemeinsamen Speicherzustand versetzt wurden. Der Messprozess kann beispielsweise ausgeführt werden, indem alle individuellen Speicherzellenwiderstände gleichzeitig gemessen werden. Alternativ hierzu ist es möglich, das Speicherzellenarray **1** in mehrere Speicherzellengruppen aufzuteilen, und sukzessiv alle individuellen Speicherzellenwiderstände der Speicherzellen einer Speicherzellengruppe zu

messen. Da die defekte Speicherzelle **3**, verglichen zu den anderen Speicherzellen **2**, einen anderen Speicherzellenwiderstand aufweist, stimmt die gemessene Summe der einzelnen Speicherzellenwiderstände nicht mit dem Widerstandszielwert überein, der zuvor festgelegt wurde.

[0058] Damit weiß man bereits zu diesem Zeitpunkt, dass das Speicherzellenarray **1** zumindest eine defekte Speicherzelle beinhaltet, ohne jede Speicherzelle **2** einzeln hintereinander getestet zu haben. Wenn es keine Möglichkeit gibt, die defekte Speicherzelle **3** zu reparieren, oder es nicht möglich ist, das Speicherzellenarray **1** zu benutzen, wenn eine oder mehrere Speicherzellen **2** defekt sind, kann das Testverfahren zu diesem Zeitpunkt abgebrochen werden, und das defekte Speicherzellenarray **1** ausgemustert werden. Wenn jedoch die Position der defekten Speicherzelle **3** festgestellt werden muss, so fährt das Testverfahren so fort, wie durch die folgenden Prozesse dargestellt ist (siehe [Fig. 2](#)):

A) Eine erste Speicherzellenarbeitsgruppe **6** wird definiert, die alle Speicherzellen **2** beinhaltet, die in einen definierten Speicherzustand versetzt wurden.

B) Die Speicherzellen **2** der ersten Speicherzellenarbeitsgruppe **6** werden in wenigstens 2 Speicherzellenuntergruppen aufgespalten, in diesem Beispiel in eine erste Speicherzellenuntergruppe **4** und eine zweite Speicherzellenuntergruppe **5**, die jeweils die gleiche Anzahl an Speicherzellen aufweisen. Die erste Speicherzellenuntergruppe **4** und die zweite Speicherzellenuntergruppe **5** können auch eine unterschiedliche Anzahl an Speicherzellen **2** beinhalten. Die zweite Speicherzellenuntergruppe **5** beinhaltet die defekte Speicherzelle **3**.

C) Ein Untergruppenwiderstand wird für jede Speicherzellenuntergruppe **4**, **5** festgelegt. Dies bedeutet, dass ein erster Untergruppenwiderstandszielwert festgelegt wird, der die Zielsumme der einzelnen Speicherzellenwiderstände aller Speicherzellen repräsentiert, die innerhalb der ersten Speicherzellenuntergruppe **4** enthalten sind. Das gleiche wird für die zweite Speicherzellenuntergruppe **5** ausgeführt. Da die Anzahl der Speicherzellen innerhalb jeder Speicherzellenuntergruppe **4**, **5** die gleiche ist, ist der Untergruppenwiderstandszielwert der gleiche für die erste Speicherzellenuntergruppe **4** und die zweite Speicherzellenuntergruppe **5**. Die Erfindung ist nicht hierauf beschränkt: Wenn die Anzahl der Speicherzellen, die in der ersten Speicherzellenuntergruppe **4** enthalten sind, nicht der Anzahl der Speicherzellen entspricht, die in der zweiten Speicherzellenuntergruppe **5** enthalten sind, unterscheiden sich Untergruppenwiderstandszielwerte voneinander.

D) Ein Prozess wird begonnen, in dem die Untergruppenwiderstandswerte aller Speicherzellenun-

tergruppen sukzessiv gemessen werden, das heißt beispielsweise der erste Untergruppenwiderstandswert (das heißt der Widerstandswert für die erste Speicherzellenuntergruppe **4**) wird gemessen. Da der erste Untergruppenwiderstandswert, der gemessen wird, mit einem entsprechenden ersten Untergruppenwiderstandszielwert übereinstimmt, wird festgestellt, dass alle Speicherzellen, die in der ersten Speicherzellenuntergruppe **4** enthalten sind, wie gewünscht funktionieren. Dies bedeutet jedoch, dass die defekte Speicherzelle eine Speicherzelle sein muss, die in der zweiten Speicherzellenuntergruppe **5** enthalten ist.

[0059] Um die Position der defekten Speicherzelle **3** genauer zu lokalisieren, wird die zweite Speicherzellenuntergruppe **5** als eine zweite Speicherzellenarbeitsgruppe **6'** definiert. Wie in [Fig. 3](#) gezeigt ist, wird die Speicherzellenarbeitsgruppe **6'** in eine erste Speicherzellenuntergruppe **4'** und eine zweite Speicherzellenuntergruppe **5'** aufgespalten. Es ist auch möglich, die Speicherzellenarbeitsgruppe **6'** in mehr als zwei Speicherzellenuntergruppen aufzuspalten. Für jede der ersten und zweiten Speicherzellenuntergruppen **4'**, **5'** wird ein entsprechender Untergruppenwiderstandszielwert, der die Summe der einzelnen Speicherzellenwiderstände aller Speicherzellen der jeweiligen Speicherzellenuntergruppen **4'**, **5'** repräsentiert, ermittelt bzw. festgelegt. Dann werden die Untergruppenwiderstandswerte der ersten und zweiten Speicherzellenuntergruppen **4'**, **5'** gemessen und mit den entsprechenden Untergruppenwiderstandszielwerten verglichen. Da alle Speicherzellen **2**, die in der ersten Speicherzellenuntergruppe **4'** enthalten sind, wie gewünscht funktionieren, stimmt der gemessene Untergruppenwiderstandswert mit dem Untergruppenwiderstandszielwert überein. Damit ist klar, dass die defekte Speicherzelle **3** eine der Speicherzellen **2** sein muss, die in der zweiten Speicherzellenuntergruppe **5'** enthalten ist.

[0060] Um die Position der defekten Speicherzelle **3** genauer zu lokalisieren, wird die zweite Speicherzellenuntergruppe **5'** als eine dritte Speicherzellenarbeitsgruppe **6''** definiert. Die Speicherzellenarbeitsgruppe **6''** wird in eine erste Speicherzellenuntergruppe **4''** und eine zweite Speicherzellenuntergruppe **5''** aufgeteilt. Ein Untergruppenwiderstandszielwert wird für jeweils die erste und zweite Speicherzellenuntergruppe **4''**, **5''** festgelegt, wobei jeder Untergruppenwiderstandszielwert die Summe der einzelnen Speicherzellenwiderstände aller Speicherzellen der jeweiligen Speicherzellenuntergruppe angibt. Dann wird beispielsweise der Untergruppenwiderstandszielwert der zweiten Speicherzellenuntergruppe **5''** gemessen. Da der gemessene Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt, wird festgestellt, dass die defekte Speicherzelle **3** innerhalb der

zweiten Speicherzellenuntergruppe 5" liegt.

[0061] Damit kann, wie [Fig. 5](#) entnehmbar ist, die zweite Speicherzellenuntergruppe 5" als neue (vierte) Speicherzellenarbeitsgruppe 6" definiert werden. Der oben beschriebene iterative Vorgang wird so lange wiederholt, bis, wie in [Fig. 7](#) gezeigt, die defekte Speicherzelle 3 lokalisiert worden ist.

[0062] In dem in [Fig. 1](#) bis [Fig. 7](#) gezeigten Ausführungsformen wurde angenommen, dass die Speicherzustände aller ausgewählten Speicherzellen in denselben Speicherzustand (gemeinsamer Speicherzustand) versetzt wurden. Gemäß einer Ausführungsform der Erfindung ist der gemeinsame Speicherzustand der Zustand, der den höchstmöglichen Widerstand aufweist. In dem Fall, dass die Speicherzellen Multilevelspeicherzellen sind (die Anzahl der möglichen Speicherzustände jeder Speicherzelle ist höher als zwei), kann der gemeinsame Speicherzustand auch ein Speicherzustand sein, der nicht den höchsten Widerstand aufweist, jedoch einen Widerstand aufweist, der höher ist als der niedrigste mögliche Widerstand.

[0063] Weiterhin wurde in den in [Fig. 1](#) bis [Fig. 7](#) gezeigten Ausführungsformen angenommen, dass die Speicherzellenuntergruppen, in die eine Gruppe von Speicherzellen aufgeteilt ist, die gleiche Anzahl an Speicherzellen aufweist. Die Erfindung ist jedoch nicht hierauf beschränkt, dass heißt die Speicherzellenuntergruppen, in die eine Gruppe von Speicherzellen (Speicherzellenarbeitsgruppe) aufgeteilt ist, können jeweils unterschiedlich viele Speicherzellen aufweisen.

[0064] [Fig. 9](#) zeigt ein schematisches Flussdiagramm einer Ausführungsform des Verfahrens des Testens einer resistiven Speichervorrichtung, die ein Speicherzellenarray gemäß einer Ausführungsform der Erfindung aufweist.

[0065] In einem ersten Prozess P1 wird eine Mehrzahl von Speicherzellen ausgewählt. In einem zweiten Prozess P2 wird der Speicherzustand jeder ausgewählten Speicherzelle in einen definierten Speicherzustand versetzt. In einem dritten Prozess P3 wird ein Widerstandswert gemessen, der abhängig ist von den Widerständen der ausgewählten Speicherzellen. In einem vierten Prozess P4 wird der Widerstandswert mit einem Widerstandszielwert verglichen. In einem fünften Prozess P5 wird die Speichervorrichtung in Abhängigkeit des Ergebnisses des Vergleichs klassifiziert.

[0066] [Fig. 10](#) zeigt ein schematisches Flussdiagramm einer Ausführungsform des Verfahrens zum Ermitteln einer defekten Speicherzelle in einer resistiven Speichervorrichtung, die ein Speicherzellenarray aufweist, gemäß einer Ausführungsform der Er-

findung.

[0067] In einem ersten Prozess P6 wird eine Speicherzellengruppe in einen definierten Speicherzustand versetzt. In einem zweiten Prozess P7 wird die Speicherzellengruppe in wenigstens zwei Speicherzellenuntergruppen aufgespalten. In einem dritten Prozess P8 wird ein Prozess des sukzessiven Messens eines Untergruppenwiderstandswerts für jede Speicherzellenuntergruppe gestartet, wobei jeder Untergruppenwiderstandswert abhängig ist von den Widerständen der Speicherzellen der jeweiligen Speicherzellenuntergruppe. In einem vierten Prozess P9 wird der gemessene Untergruppenwiderstandswert mit einem entsprechenden Untergruppenwiderstandszielwert verglichen. In einem fünften Prozess P10 wird festgestellt, ob ein gemessener Untergruppenwiderstandswert dem entsprechenden Untergruppenwiderstandszielwert entspricht. Falls dies nicht der Fall ist, wird die Speicherzellenuntergruppe, deren Untergruppenwiderstandswert nicht dem Untergruppenwiderstandszielwert entspricht, in einem sechsten Prozess P11 in wenigstens zwei weitere Untergruppen aufgespalten. Wenn dies nicht möglich ist (was in einem siebten Prozess P12 festgestellt wird), ist eine defekte Speicherzelle bereits aufgefunden worden, und das Verfahren wird beendet. Wenn dies möglich ist, so werden in einem achten Prozess P13 die dritten bis siebten Prozesse P8 bis P12 für die weiteren Speicherzellenuntergruppen wiederholt, so lange bis die defekte Speicherzelle detektiert worden ist).

[0068] Gemäß einer Ausführungsform der Erfindung können die Widerstandsänderungsspeicherzellen Phasenänderungsspeicherzellen sein, die Phasenänderungsmaterial aufweisen. Das Phasenänderungsmaterial kann zwischen wenigstens zwei Kristallisierungszuständen geschaltet werden (d. h. das Phasenänderungsmaterial kann wenigstens zwei Kristallisierungsgrade annehmen), wobei jeder Kristallisierungszustand einen Speicherzustand repräsentiert. Wenn die Anzahl möglicher Kristallisierungszustände zwei beträgt, wird der Kristallisierungszustand, der einen hohen Kristallisierungsgrad aufweist, auch als „kristalliner Zustand“ bezeichnet, wohin gegen der Kristallisierungszustand, der einen niedrigen Kristallisierungsgrad aufweist, auch als „amorpher Zustand“ bezeichnet wird. Unterschiedliche Kristallisierungszustände können durch entsprechende unterschiedliche elektrische Eigenschaften voneinander unterschieden werden, insbesondere durch unterschiedliche Widerstände, die hierdurch impliziert werden. Beispielsweise hat ein Kristallisierungszustand, der einen hohen Kristallisierungsgrad (geordnete atomare Struktur) aufweist, im Allgemeinen einen niedrigeren Widerstand als ein Kristallisierungszustand, der einen niedrigen Kristallisierungsgrad aufweist (ungeordnete atomare Struktur). Der Einfachheit halber soll im Folgenden angenommen

werden, dass das Phasenänderungsmaterial zwei Kristallisierungszustände annehmen kann (einen „amorphen Zustand“ und einen „kristallinen Zustand“). Jedoch sei erwähnt, dass auch zusätzliche Zwischenzustände verwendet werden können.

[0069] Phasenänderungsspeicherzellen können vom amorphen Zustand in den kristallinen Zustand (und umgekehrt) überwechseln, wenn Temperaturschwankungen innerhalb des Phasenänderungsmaterials auftreten. Derartige Temperaturänderungen können auf unterschiedliche Art und Weisen hervorgerufen werden. Beispielsweise kann ein Strom durch das Phasenänderungsmaterial geleitet werden (oder eine Spannung kann an das Phasenänderungsmaterial angelegt werden). Alternativ hierzu kann einem Widerstandsheizelement, das neben dem Phasenänderungsmaterial vorgesehen ist, ein Strom oder eine Spannung zugeführt werden. Um den Speicherzustand einer Widerstandsänderungsspeicherzelle festzulegen, kann ein Messstrom durch das Phasenänderungsmaterial geleitet werden (oder eine Messspannung kann an das Phasenänderungsmaterial angelegt werden), womit der Widerstand der Widerstandsänderungsspeicherzelle, der den Speicherzustand der Speicherzelle repräsentiert, gemessen wird.

[0070] [Fig. 11](#) zeigt eine Querschnittsdarstellung einer beispielhaften Phasenänderungsspeicherzelle **1100** (Aktiv-In-Via-Typ). Die Phasenänderungsspeicherzelle **1100** weist eine erste Elektrode **1102**, Phasenänderungsmaterial **1104**, eine zweite Elektrode **1106** sowie isolierendes Material **1108** auf. Das Phasenänderungsmaterial **1104** wird lateral durch das isolierende Material **1108** eingeschlossen. Eine Auswahlvorrichtung (nicht gezeigt) wie beispielsweise ein Transistor, eine Diode oder eine andere aktive Vorrichtung kann mit der ersten Elektrode **1102** oder der zweiten Elektrode **1106** gekoppelt sein, um das Beaufschlagen des Phasenänderungsmaterials **1104** mit Strom oder Spannung unter Verwendung der ersten Elektrode **1102** und/oder der zweiten Elektrode **1106** zu steuern. Um das Phasenänderungsmaterial **1104** in den kristallinen Zustand zu überführen, kann das Phasenänderungsmaterial **1104** mit einem Strompuls und/oder einem Spannungspuls beaufschlagt werden, wobei die Pulsparameter so gewählt werden, dass die Temperatur des Phasenänderungsmaterials **1104** über die Phasenänderungsmaterial-Kristallisationstemperatur steigt, jedoch unterhalb der Phasenänderungsmaterial-Schmelztemperatur gehalten wird. Wenn das Phasenänderungsmaterial **1104** in den amorphen Zustand überführt werden soll, kann das Phasenänderungsmaterial **1104** mit einem Strompuls und/oder einem Spannungspuls beaufschlagt werden, wobei die Pulsparameter so gewählt werden, dass die Temperatur des Phasenänderungsmaterials **1104** schnell über die Phasenänderungsmaterial-Schmelztemperatur steigt, wobei

das Phasenänderungsmaterial **1104** anschließend schnell abgekühlt wird.

[0071] Das Phasenänderungsmaterial **1104** kann eine Vielzahl von Materialien enthalten. Gemäß einer Ausführungsform kann das Phasenänderungsmaterial **1104** eine Chalcogenidlegierung aufweisen (oder daraus bestehen), die eine oder mehrere Elemente aus der Gruppe VI des Periodensystems beinhaltet. Gemäß einer weiteren Ausführungsform kann das Phasenänderungsmaterial **1104** Chalcogenid-Verbundmaterial aufweisen oder daraus bestehen, wie beispielsweise GeSbTe, SbTe, GeTe oder AbInSbTe. Gemäß einer weiteren Ausführungsform kann das Phasenänderungsmaterial **1104** ein chalcogenfreies Material aufweisen oder daraus bestehen, wie beispielsweise GeSb, GaSb, InSb, oder GeGalnSb. Gemäß einer weiteren Ausführungsform kann das Phasenänderungsmaterial **1104** jedes geeignete Material aufweisen oder daraus bestehen, das eines oder mehrere der Elemente Ge, Sb, Te, Ga, Si, Pb, Sn, Si, P, O, As, In, Se, und S aufweist.

[0072] Gemäß einer Ausführungsform der Erfindung weist zumindest eine der ersten Elektrode **1102** und der zweiten Elektrode **1106** Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W oder Mischungen oder Legierungen hieraus auf (oder bestehen hieraus). Gemäß einer weiteren Ausführungsform weist zumindest eine der ersten Elektrode **1102** und der zweiten Elektrode **1106** Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W und zwei oder mehrere Elemente der Gruppe: B, C, N, O, Al, Si, P, S und/oder Mischungen und Legierungen hieraus auf (oder bestehen hieraus). Beispiele derartiger Materialien sind TiCN, TiAlN, TiSiN, W-Al₂O₃, und Cr-Al₂O₃.

[0073] [Fig. 12](#) zeigt ein Blockdiagramm einer Speichervorrichtung **1200**, die einen Schreibpulsgenerator **1202**, eine Verteilungsschaltung **1204**, Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c**, **1206d** (beispielsweise Phasenänderungsspeicherzellen **200** wie in [Fig. 2](#) gezeigt) und einen Leseverstärker **1208** aufweist. Gemäß einer Ausführungsform erzeugt der Schreibpulsgenerator **1202** Strompulse oder Spannungspulse, die den Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c**, **1206d** mittels der Verteilungsschaltung **1204** zugeführt werden, wodurch die Speicherzustände der Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c**, **1206d** programmiert werden. Gemäß einer Ausführungsform weist die Verteilungsschaltung **1204** eine Mehrzahl von Transistoren auf, die den Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c**, **1206d** bzw. Heizelementen, die neben den Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c**, **1206d** vorgesehen sind, Gleichstrompulse oder Gleichspannungspulse zuführen.

[0074] Wie bereits angedeutet wurde, kann das Phasenänderungsmaterial der Phasenänderungs-

speicherzellen **1206a**, **1206b**, **1206c**, **1206d** von dem amorphen Zustand in den kristallinen Zustand (oder umgekehrt) überführt werden durch Ändern der Temperatur. Allgemeiner kann das Phasenänderungsmaterial von einem ersten Kristallisierungsgrad in einen zweiten Kristallisierungsgrad überführt werden aufgrund einer Temperaturänderung. Beispielsweise kann der Bitwert „Null“ dem ersten (niedrigen) Kristallisierungsgrad, und der Bitwert „1“ dem zweiten (hohen) Kristallisierungsgrad zugewiesen werden. Da unterschiedliche Kristallisierungsgrade unterschiedliche elektrische Widerstände implizieren, ist der Leseverstärker **1208** dazu im Stande, den Speicherzustand einer der Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c** oder **1206d** in Abhängigkeit des Widerstands des Phasenänderungsmaterials zu ermitteln.

[0075] Um hohe Speicherdichten zu erzielen, können die Phasenänderungsspeicherzellen **1206a**, **1206b**, **1206c** und **1206d** zur Speicherung mehrerer Datenbits ausgelegt sein (d. h. das Phasenänderungsmaterial kann auf unterschiedliche Widerstandswerte programmiert werden). Beispielsweise können, wenn eine Phasenänderungsspeicherzelle **1206a**, **1206b**, **1206c** und **1206d** auf einen von drei möglichen Widerstandsleveln programmiert wird, 1,5 Datenbits pro Speicherzelle gespeichert werden. Wenn die Phasenänderungsspeicherzelle auf einen von vier möglichen Widerstandsleveln programmiert wird, können zwei Datenbits pro Speicherzelle gespeichert werden, und so weiter.

[0076] Die in [Fig. 12](#) gezeigte Ausführungsform kann auf ähnliche Art und Weise auch auf andere Widerstandsänderungsspeicherzellen angewandt werden wie programmierbare Metallisierungszellen (PMCs), magnetoresistive Speicherzellen (beispielsweise MRAMs), oder organische Speicherzellen (beispielsweise ORAMs).

[0077] Ein weiterer Typ von Widerstandsänderungsspeicherzellen, der zum Einsatz kommen kann, besteht darin, Kohlenstoff als Widerstandsänderungsmaterial einzusetzen. Im Allgemeinen hat amorpher Kohlenstoff, der reich an sp^3 -hybridisiertem Kohlenstoff ist (d. h. tetraedisch gebundener Kohlenstoff) einen hohen Widerstand, wohin gegen amorpher Kohlenstoff, der reich an sp^2 -hybridisiertem Kohlenstoff ist (das heißt trigonal gebundener Kohlenstoff), einen niedrigen Widerstand. Dieser Widerstandsunterschied kann in Widerstandsänderungsspeicherzellen ausgenutzt werden.

[0078] Gemäß einer Ausführungsform der Erfindung wird eine Kohlenstoffspeicherzelle auf ähnliche Art und Weise ausgebildet, wie oben im Zusammenhang mit den Phasenänderungsspeicherzellen beschrieben wurde. Eine temperaturinduzierte Änderung zwischen einem sp^3 -reichen Zustand und einem

sp^2 -reichen Zustand kann dazu genutzt werden, den Widerstand von amorphem Kohlenstoffmaterial zu ändern. Diese variierenden Widerstände können genutzt werden, um unterschiedliche Speicherzustände zu darzustellen. Beispielsweise kann ein sp^3 -reicher Zustand (Hochwiderstandszustand) "Null" repräsentieren, und ein sp^2 -reicher Zustand (Niedrigwiderstandszustand) "Eins" repräsentieren. Zwischenwiderstandszustände können dazu genutzt werden, mehrere Bits darzustellen, wie oben beschrieben wurde.

[0079] Bei diesem Kohlenstoffspeicherzellentyp verursacht die Anwendung einer ersten Temperatur im Allgemeinen einen Übergang, der sp^3 -reichen amorphen Kohlenstoff in sp^2 -reichen amorphen Kohlenstoff überführt. Dieser Übergang kann durch die Anwendung einer zweiten Temperatur, die typischerweise höher ist als die erste Temperatur, rückgängig gemacht werden. Wie oben erwähnt wurde, können diese Temperaturen beispielsweise durch Beaufschlagen des Kohlenstoffmaterials mit einem Strompuls und/oder einem Spannungspuls erzeugt werden. Alternativ können die Temperaturen unter Einsatz eines Widerstandsheizelements, das neben dem Kohlenstoffmaterial vorgesehen ist, erzeugt werden.

[0080] Eine weitere Möglichkeit, Widerstandsänderungen in amorphem Kohlenstoff zum Speichern von Information zu nutzen, ist das Feldstärken-induzierte Ausbilden eines leitenden Pfades in einem isolierenden amorphen Kohlenstofffilm. Beispielsweise kann das Anwenden eines Spannungspulses oder Strompulses das Ausbilden eines leitenden sp^2 -Filaments in isolierendem, sp^3 -reichem amorphem Kohlenstoff bewirken. Die Funktionsweise dieses Widerstandskohlenstoffspeichertyps ist in den [Fig. 13A](#) und [Fig. 13B](#) gezeigt.

[0081] [Fig. 13A](#) zeigt eine Kohlenstoffspeicherzelle **1300**, die einen Topkontakt **1302**, eine Kohlenstoffspeicherschicht **1304** mit isolierendem amorphem Kohlenstoffmaterial, das reich an sp^3 -hybridisierten Kohlenstoffatomen ist, und einen Bottomkontakt **1306** aufweist. Wie in [Fig. 13B](#) gezeigt ist, kann mittels eines Stroms (oder einer Spannung), der durch die Kohlenstoffspeicherschicht **1304** geleitet wird, ein sp^2 -Filament **1350** in der sp^3 -reichen Kohlenstoffspeicherschicht **1304** ausgebildet werden, womit der Widerstand der Speicherzelle geändert wird. Das Anwenden eines Strompulses (oder Spannungspulses) mit hoher Energie (oder mit umgekehrter Polarität) kann das sp^2 -Filament **1350** zerstören, womit der Widerstand der Kohlenstoffspeicherschicht **1304** erhöht wird. Wie oben diskutiert wurde, können die Änderungen des Widerstands der Kohlenstoffspeicherschicht **1304** dazu benutzt werden, Information zu speichern, wobei beispielsweise ein Hochwiderstandszustand „Null“, und ein Niedrigwiderstandszustand „Eins“ re-

präsentiert. Zusätzlich können in einigen Ausführungsformen Zwischengrade der Filamentausbildung oder das Ausbilden mehrerer Filamente in sp^3 -reichen Kohlenstofffilmen genutzt werden, um mehrere variierende Widerstandslevel bereit zu stellen, womit in einer Kohlenstoffspeicherzelle mehrere Informationsbits speicherbar sind. In einigen Ausführungsformen können alternierend sp^3 -reiche Kohlenstoffschichten und sp^2 -reiche Kohlenstoffschichten zum Einsatz kommen, wobei die sp^3 -reichen Schichten das Ausbilden leitender Filamente anregen, so dass die Stromstärken und/oder Spannungsstärken, die zum Schreiben eines Werts in diesen Kohlenstoffspeichertyp zum Einsatz kommen, reduziert werden können.

[0082] Die Widerstandsänderungsspeicherzellen wie beispielsweise die Phasenänderungsspeicherzellen und die Kohlenstoffspeicherzellen, die vorangehend beschrieben wurden, können mit einem Transistor, einer Diode oder einem anderen aktiven Element zum Auswählen der Speicherzelle versehen sein. [Fig. 14A](#) zeigt eine schematische Darstellung einer derartigen Speicherzelle, die ein Widerstandsänderungsspeicherelement benutzt. Die Speicherzelle **1400** weist einen Auswahltransistor **1402** und ein Widerstandsänderungsspeicherelement **1404** auf. Der Auswahltransistor **1402** weist einen Source-Abschnitt **1406**, der mit einer Bitleitung **1408** verbunden ist, einen Drainabschnitt **1410**, der mit dem Speicherelement **1404** verbunden ist, und einen Gateabschnitt **1412**, der mit einer Wortleitung **1414** verbunden ist, auf. Das Widerstandsänderungsspeicherelement **1404** ist weiterhin mit einer gemeinsamen Leitung **1416** verbunden, die geerdet oder mit einer anderen Schaltung verbunden sein kann, wie beispielsweise einer Schaltung (nicht gezeigt) zum Bestimmen des Widerstands der Speicherzelle **1400**, was bei Lesevorgängen zum Einsatz kommen kann. Alternativ kann in einigen Konfigurationen eine Schaltung (nicht gezeigt) zum Ermitteln des Zustands der Speicherzellen **1400** während des Lesevorgangs mit der Bitleitung **1408** verbunden sein.

[0083] Wenn in die Speicherzelle **1400** beschrieben werden soll, wird die Wortleitung **1414** zum Auswählen der Speicherzelle **1400** genutzt, und das Widerstandsänderungsspeicherelement **1404** wird mit einem Strompuls (oder Spannungspuls) unter Verwendung der Bitleitung **1408** beaufschlagt, womit der Widerstand des Widerstandsänderungsspeicherelements **1404** geändert wird. Auf ähnliche Art und Weise wird, wenn aus der Speicherzelle **1400** gelesen wird, die Wortleitung **1414** dazu genutzt, die Zelle **1400** auszuwählen, und die Bitleitung **1408** wird dazu genutzt, das Widerstandsänderungsspeicherelement **1404** mit einer Lesespannung oder einem Lesestrom zu beaufschlagen, um den Widerstand des Widerstandsänderungsspeicherelements **1404** zu messen.

[0084] Die Speicherzelle **1400** kann als 1T1J-Zelle bezeichnet werden, da sie einen Transistor und einen Speicherübergang (das Widerstandsänderungsspeicherelement **1404**) nutzt. Typischerweise weist eine Speichervorrichtung ein Array auf, das eine Vielzahl derartiger Zellen aufweist. Anstelle einer 1T1J-Speicherzelle können andere Konfigurationen zum Einsatz kommen. Beispielsweise ist in [Fig. 14B](#) ein alternativer Aufbau einer 1T1J-Speicherzelle **1450** gezeigt, in dem ein Auswahltransistor **1452** und ein Widerstandsänderungsspeicherelement **1454** auf andere Art und Weise angeordnet sind, verglichen zu dem in [Fig. 14A](#) gezeigten Aufbau. In diesem alternativen Aufbau ist das Widerstandsänderungsspeicherelement **1454** mit einer Bitleitung **1458** sowie mit einem Source-Abschnitt **1456** des Auswahltransistors **1452** verbunden. Ein Drainabschnitt **1460** des Auswahltransistors **1452** ist mit einer gemeinsamen Leitung **1466** verbunden, die geerdet oder mit einer anderen Schaltung (nicht gezeigt) verbunden sein kann, wie oben diskutiert wurde. Ein Gateabschnitt **1462** des Auswahltransistors **1452** wird mittels einer Wortleitung **1464** gesteuert.

[0085] In der folgenden Beschreibung werden weitere Aspekte der Erfindung erläutert.

[0086] In gewöhnlichen Testverfahren müssen alle Zellen getestet werden, was zeitintensiv ist. Alternativ muss ein Testmuster mit einem Referenzarray verglichen werden, was platzintensiv ist.

[0087] Gemäß einer Ausführungsform der Erfindung müssen durch Anwendung des im Folgenden beschriebenen Testmusters lediglich Unterarrays des gesamten Zellenarrays hinsichtlich des OFF-Zustands getestet werden. Diese Ausführungsform ermöglicht das Einsparen von Testzeit bzw. macht das Referenzarray für den OFF-Test überflüssig. Dies ist ein leichter und schneller Weg, einen ersten Test bezüglich Reparierbarkeit auszuführen, bevor jede Zelle einzeln auf Funktionstüchtigkeit überprüft wird.

[0088] Beispiel für ein Testmuster: Schalte alle Zellen in definierten OFF-Zustand. Teste alle Zellen auf OFF-Zustand (Widerstand). Wegen des hohen Widerstands der Zellen im OFF-Zustand ändern defekte Zellen den Arraywiderstand sehr stark, was es möglich macht, defekte Speicherzellen festzustellen. Das Array wird in zwei Unterarrays aufgeteilt, die separat auf den OFF-Zustand hin getestet werden. Das fehlerhafte Subarray wird wiederum in zwei Subarrays aufgeteilt, die separat getestet werden. Durch Fortführen dieses Verfahrens wird die Anzahl der Zellen, die übrig bleiben, durch 2 geteilt, was es ermöglicht, eine defekte Zelle nach $n = 2 \log_2 N$ Prozessen (N ist die Anzahl der Zellen im Array) zu detektieren für $N = 2^x$ (x ist eine ganze Zahl). Wenn jede einzelne Zelle getestet werden muss, benötigt man maximal N Prozesse, um die defekten Zellen eines Referenzarray

zu ermitteln.

[0089] Beispiel für ein Array, dass aus $N = 64$ Zellen besteht (siehe [Fig. 1](#) bis [Fig. 7](#)): Teste gesamtes Array, Test negativ. Teste linke Hälfte des Arrays, Test positiv. Teste rechte Hälfte des Arrays, Test negativ, 32 Zellen bleiben übrig. Teste die untere Hälfte des rechten Unterarrays, Test positiv. Teste die obere Hälfte des rechten Unterarrays, negativ, 16 Zellen bleiben übrig. Teste rechte Hälfte des Unterarrays, positiv.

[0090] Teste linke Hälfte des Unterarrays, negativ, 8 Zellen bleiben übrig. Teste untere Hälfte des linken Unterarrays, positiv. Teste untere Hälfte des Unterarrays, negativ, 4 Zellen bleiben übrig. Teste linke Hälfte des Unterarrays, positiv. Teste rechte Hälfte des Unterarrays, negativ, 2 Zellen bleiben übrig. Teste obere Hälfte des linken Unterarrays, positiv. Fehlerhafte Zelle bleibt übrig.

[0091] Beispiele für mögliche Implementierungen sind MEM/Boottests in der der Applikation (spart Zeit und Platz ein) und schnelle Funktionstests auf Reparierbarkeit.

[0092] Wie in der vorangehenden Beschreibung deutlich geworden ist, weist das Testverfahren gemäß Ausführungsformen der Erfindung folgende Vorteile auf: Da die Anzahl der Testprozesse, die normalerweise benötigt werden, wenn jede Speicherzelle sukzessiv getestet wird, logarithmisch mit der Anzahl der Speicherzellen ansteigt, wird sehr viel Zeit dazu benötigt, ein Speicherzellenarray mit einer großen Anzahl von Speicherzellen zu testen, wenn herkömmliche Testverfahren zum Einsatz kommen. Erfindungsgemäß kann zeitraubendes Testen vermieden werden, indem eine Vielzahl von Speicherzellen gleichzeitig getestet wird. Weiterhin ist es möglich, auf der Speichervorrichtung Platz einzusparen, da das erfindungsgemäße Testverfahren kein Referenzarray zum Testen der Speichervorrichtung benötigt.

[0093] Die Ausführungsformen des erfindungsgemäßen Verfahrens können zum Testen beliebiger resistiver Speichervorrichtungen herangezogen werden, wie beispielsweise Speichervorrichtungen von Mobilfunktelefonen, Handhelds, Personal Computers, oder ähnlichem.

[0094] Das erfindungsgemäße Testverfahren kann beispielsweise in Form von Testsoftware implementiert werden, die in einer rechnergestützten Vorrichtung (beispielsweise in einem Personal-Computer) während des Bootvorgangs der Vorrichtung läuft (beispielsweise während eines Speicherselbsttests während des Bootvorgangs eines Personal-Computers). Weiterhin kann die Testsoftware in Testvorrichtungen implementiert sein, die von Speichervorrichtungsherstellern zum Testen der hergestellten Spei-

chervorrichtungen eingesetzt werden, um die hergestellten Speichervorrichtungen vor dem Ausliefern zu testen.

Bezugszeichenliste

1	Speicherzellenarray
2	Speicherzelle
3	defekte Speicherzelle
4	erste Speicherzellenuntergruppe
5	zweite Speicherzellenuntergruppe
6	Speicherzellenarbeitsgruppe
800	CBRAM-Zelle
801	erste Elektrode
802	zweite Elektrode
803	Festkörperelektrolyt
804	erste Oberfläche
805	zweite Oberfläche
806	Isolationsstruktur
807	Leitungsbrücke
808	Cluster
1100	Phasenänderungsspeicherzelle
1102	Erste Elektrode
1104	Phasenänderungsmaterial
1106	Zweite Elektrode
1108	Isolierendes Material
1200	Speichervorrichtung
1202	Schreibpulsgenerator
1204	Verteilungsschaltung
1206	Phasenänderungsspeicherzelle
1300	Kohlenstoffspeicherzelle
1302	Topkontakt
1304	Kohlenstoffspeicherschicht
1306	Bottomkontakt
1350	Filament
1400	Speicherzelle
1402	Auswahltransistor
1404	Widerstandsänderungsspeicherelement
1406	Source-Abschnitt
1408	Bitleitung
1410	Drain-Abschnitt
1412	Gate-Abschnitt
1414	Wortleitung
1416	Gemeinsame Leitung
1450	Speicherzelle
1452	Auswahltransistor
1454	Widerstandsänderungsspeicherelement
1456	Source-Abschnitt
1458	Bitleitung
1460	Drain-Abschnitt
1462	Gate-Abschnitt
1464	Wortleitung

Patentansprüche

1. Verfahren zum Testen einer integrierten Schaltung mit einem Array von Widerstandsänderungszellen, wobei das Verfahren aufweist:
 - Auswählen einer Mehrzahl von Zellen,
 - Überführen jeder ausgewählten Zelle in einen defi-

nierten Zustand,

- Messen eines Widerstandswerts, der von den Widerständen der ausgewählten Zellen abhängig ist,
- Vergleichen des Widerstandswerts mit einem Widerstandszielwert, und
- Klassifizieren der integrierten Schaltung in Abhängigkeit des Ergebnisses des Vergleichs.

2. Verfahren nach Anspruch 1, wobei der gemessene Widerstandswert die Summe der einzelnen Zellenwiderstände aller Zellen ist, die sich in einem definierten Zustand befinden.

3. Verfahren nach Anspruch 1 oder 2, wobei der Prozess des Messens des Widerstandswerts ausgeführt wird, indem entsprechende Messströme gleichzeitig durch alle Zellen geleitet werden, die sich in einem definierten Zustand befinden.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei alle auswählbaren Zellen der integrierten Schaltung ausgewählt werden.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei alle ausgewählten Zellen in einen gemeinsamen Zustand überführt werden.

6. Verfahren nach Anspruch nach einem der Ansprüche 1 bis 5, wobei die Zellen Widerstandsänderungsspeicherzellen sind.

7. Verfahren nach Anspruch 6, wobei die integrierte Schaltung eine Festkörperelektrolyt-Speichervorrichtung aufweist.

8. Verfahren nach Anspruch 6, wobei die integrierte Schaltung eine magneto-resistive Speichervorrichtung aufweist.

9. Verfahren nach Anspruch 6, wobei die integrierte Schaltung eine Phasenänderungs-Speichervorrichtung aufweist.

10. Verfahren nach Anspruch 6, wobei die integrierte Schaltung eine Kohlenstoff-Speichervorrichtung aufweist.

11. Verfahren zum Ermitteln defekter Widerstandsänderungszellen innerhalb eines Zellenarrays einer integrierten Schaltung, wobei das Verfahren aufweist:

- a) Überführen einer Zellengruppe in einen definierten Zustand,
- b) Aufspalten der Zellengruppe in wenigstens zwei Zellenuntergruppen,
- c) Starten eines Prozesses des aufeinander folgenden Messens eines Untergruppenwiderstandswerts für jede Zellenuntergruppe, wobei jeder Untergruppenwiderstandswert abhängig ist von den Widerständen der Zellen der jeweiligen Zellenuntergruppen,

d) Vergleichen der gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandszielwerten,

e) wenn ein gemessener Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt:

- Aufspalten der Zellenuntergruppe, die nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Untergruppen, und
- Wiederholen der Prozesse c) bis e) für die weiteren Untergruppen.

12. Verfahren nach Anspruch 11, wobei die Prozesse c) bis e) so lange wiederholt werden, bis die defekte Zelle lokalisiert worden ist.

13. Verfahren nach Anspruch 11 oder 12, wobei jeder gemessene Untergruppenwiderstandswert die Summe der einzelnen Zellenwiderstände der Zellen der entsprechenden Zellenuntergruppe ist.

14. Verfahren nach einem der Ansprüche 11 bis 13, wobei jeder Prozess des Messens eines Untergruppenwiderstandswerts ausgeführt wird, indem gleichzeitig jeweilige Messströme durch alle Zellen der jeweiligen Zellenuntergruppen geleitet werden.

15. Verfahren nach einem der Ansprüche 11 bis 14, wobei die Zellengruppe alle Zellen der Widerstandsänderungsvorrichtung beinhaltet.

16. Verfahren nach einem der Ansprüche 11 bis 15, wobei alle Zellen der Zellengruppe in einen gemeinsamen Zustand überführt werden.

17. Verfahren nach einem der Ansprüche 11 bis 16, wobei die Zellen Widerstandsänderungsspeicherzellen sind.

18. Verfahren nach Anspruch 17, wobei die integrierte Schaltung eine CBRAM-Vorrichtung, eine MRAM-Vorrichtung, eine PCRAM-Vorrichtung, eine ORAM-Vorrichtung oder eine Kohlenstoffvorrichtung ist.

19. Testvorrichtung zum Testen einer integrierten Schaltung, die ein Array von Widerstandsänderungszellen aufweist, wobei die Testvorrichtung aufweist:

- Auswahlmittel zum Auswählen einer Mehrzahl von Zellen,
- Einstellmittel zum Überführen des Zustands jeder ausgewählten Zelle in einen definierten Zustand,
- Messmittel zum Messen eines Widerstandswerts, der abhängig ist von den Widerständen der ausgewählten Zellen,
- Vergleichsmittel zum Vergleichen des Widerstandswerts mit einem Widerstandszielwert, und
- Klassifizierungsmittel zum Klassifizieren der integrierten Schaltung in Abhängigkeit des Ergebnisses der Vergleichs.

20. Testvorrichtung nach Anspruch 19, wobei die Auswahlmittel dazu ausgelegt sind, um:

- eine Gruppe von Zellen in einen definierten Zustand zu überführen,
- die Zellengruppe in wenigstens zwei Zellenuntergruppen aufzuspalten.

21. Testvorrichtung nach Anspruch 20, wobei die Messmittel dazu ausgelegt sind, einen Prozess des sukzessiven Messens eines Untergruppenwiderstandswerts für jede Zellenuntergruppe zu messen, wobei jeder Untergruppenwiderstandswert abhängig ist von den Widerständen der Zellen der jeweiligen Zellenuntergruppe.

22. Testvorrichtung nach Anspruch 21, wobei die Vergleichsmittel weiterhin dazu ausgelegt sind, die gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandszielwerten zu vergleichen.

23. Testvorrichtung nach Anspruch 22, wobei die Entscheidungsmittel dazu ausgelegt sind, zu entscheiden, wenn ein gemessener Untergruppenwiderstandswert mit dem entsprechenden Untergruppenwiderstandszielwert nicht übereinstimmt:

- Aufspalten der Zellenuntergruppe, die nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Untergruppen.

24. Testvorrichtung nach einem der Ansprüche 19 bis 23, wobei die Einstellmittel dazu ausgelegt sind, den Zustand jeder ausgewählten Zelle in einen gemeinsamen Zustand zu überführen.

25. Testvorrichtung nach einem der Ansprüche 19 bis 24, wobei die Zellen Widerstandsänderungsspeicherzellen sind.

26. Testvorrichtung nach Anspruch 25, wobei die integrierte Schaltung eine CBRAM-Vorrichtung, eine MRAM-Vorrichtung, eine PCRAM-Vorrichtung, eine ORAM-Vorrichtung oder eine Kohlenstoff-Vorrichtung ist.

27. Computerprogramm, das dazu ausgelegt ist, bei Ausführen auf einen Computer ein Verfahren zum Testen einer integrierten Schaltung, die ein Array von Widerstandsänderungszellen aufweist, auszuführen, wobei das Verfahren die folgenden Prozesse aufweist:

- Auswählen einer Mehrzahl von Zellen,
- Setzen des Zustands jeder ausgewählten Zelle in einem definierten Zustand,
- Messen eines Widerstandswerts, der von den Widerständen der gewählten Zellen abhängig ist,
- Vergleichen des Widerstandswerts mit einem Widerstandszielwert, und
- Klassifizieren der integrierten Schaltung in Abhängigkeit des Ergebnisses des Vergleichs.

28. Computerprogramm, das dazu ausgelegt ist, bei Ausführen auf einen Computer ein Verfahren zum Bestimmen von defekten Zellen innerhalb eines Widerstandsänderungszellenarrays einer integrierten Schaltung auszuführen, dass die folgenden Prozesse aufweist:

- a) Überführen einer Gruppe von Zellen in einen definierten Zustand,
- b) Aufspalten der Zellengruppe in wenigstens zwei Zellenuntergruppen,
- c) Starten eines Prozesses des aufeinanderfolgenden Messens eines Untergruppenwiderstandswerts für jede Zellenuntergruppe, wobei jeder Untergruppenwiderstandswert abhängig ist von den Widerständen der Zellen der jeweiligen Zellenuntergruppen,
- d) Vergleichen der gemessenen Untergruppenwiderstandswerte mit entsprechenden Untergruppenwiderstandszielwerten,
- e) wenn ein gemessener Untergruppenwiderstandswert nicht mit dem entsprechenden Untergruppenwiderstandszielwert übereinstimmt:
 - Aufspalten der Zellenuntergruppe, die nicht mit dem Untergruppenwiderstandszielwert übereinstimmt, in wenigstens zwei weitere Untergruppen, und
 - Wiederholen der Prozesse c) bis e) für die weiteren Untergruppen.

29. Datenträger, der dazu ausgelegt ist, ein Computerprogramm gemäß den Patentansprüchen 27 oder 28 zu speichern.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

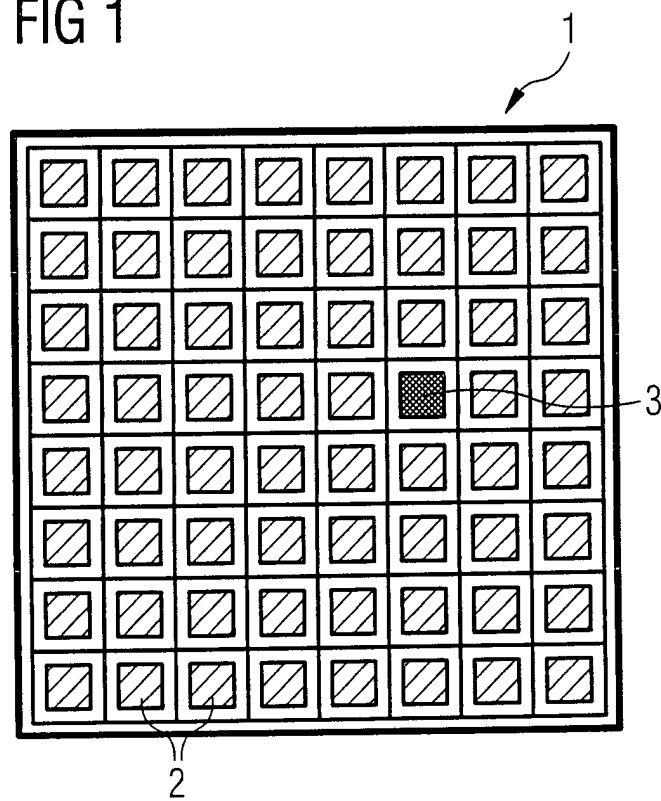


FIG 2

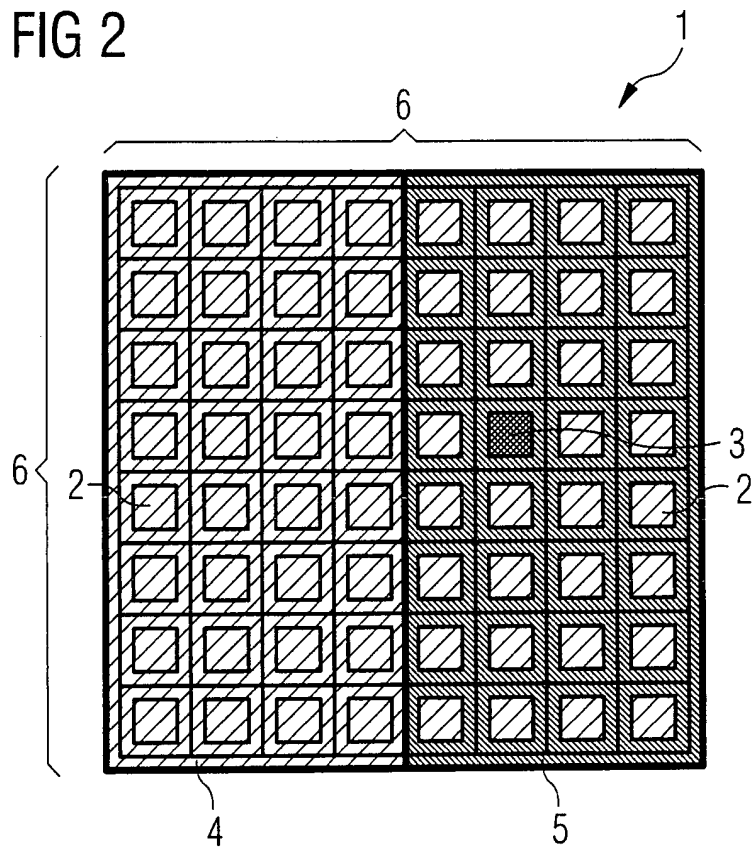


FIG 3

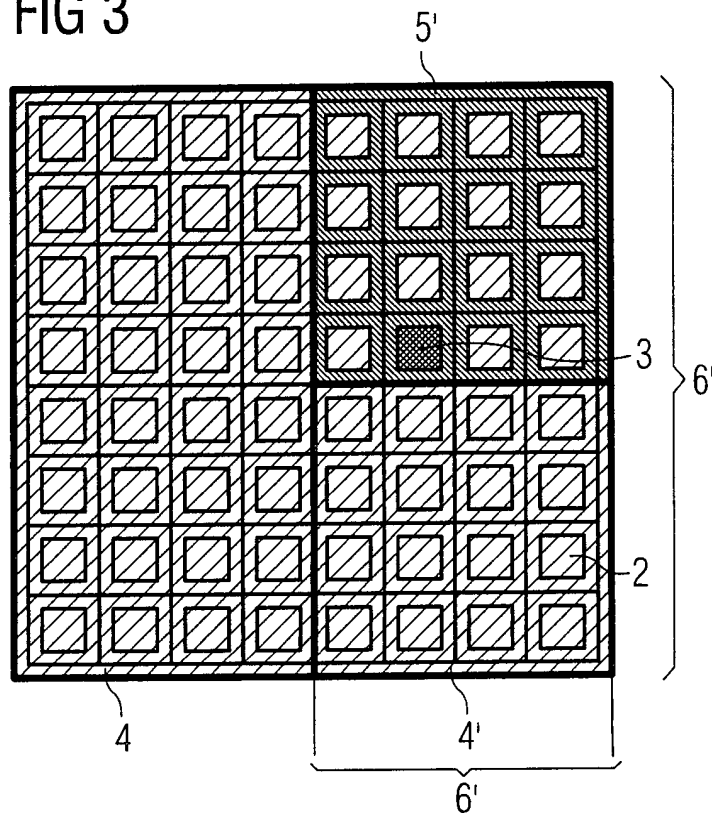


FIG 4

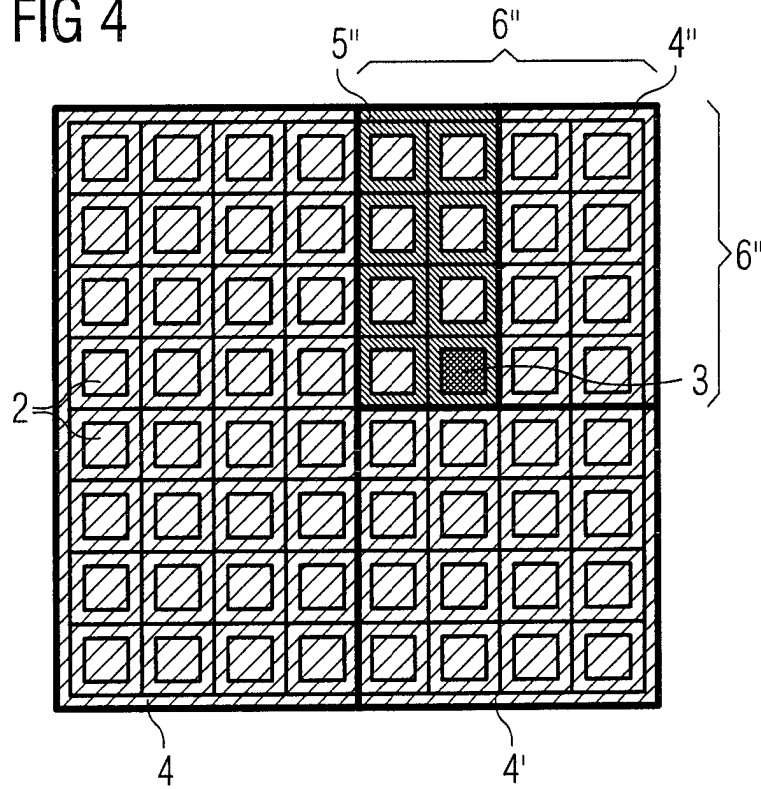


FIG 5

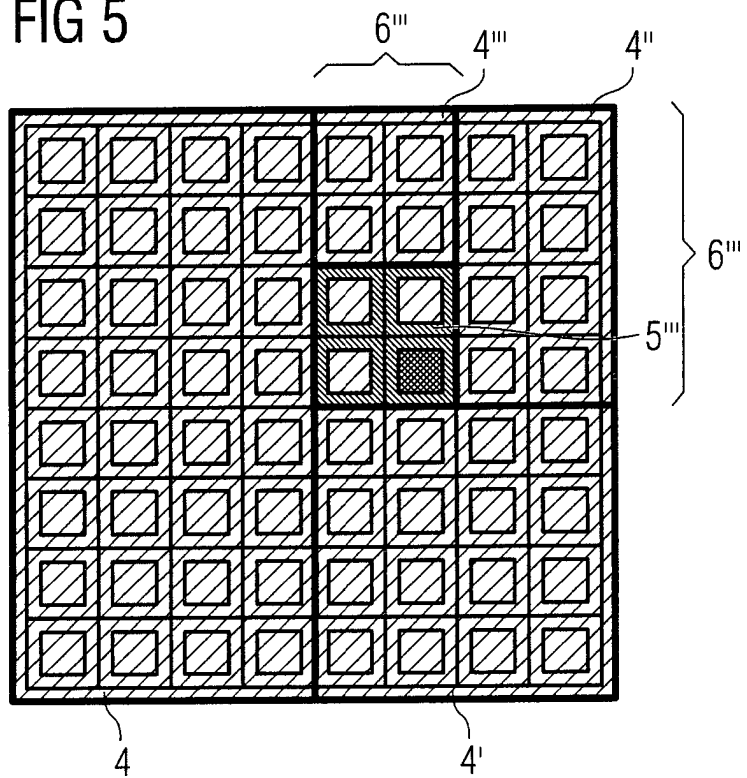


FIG 6

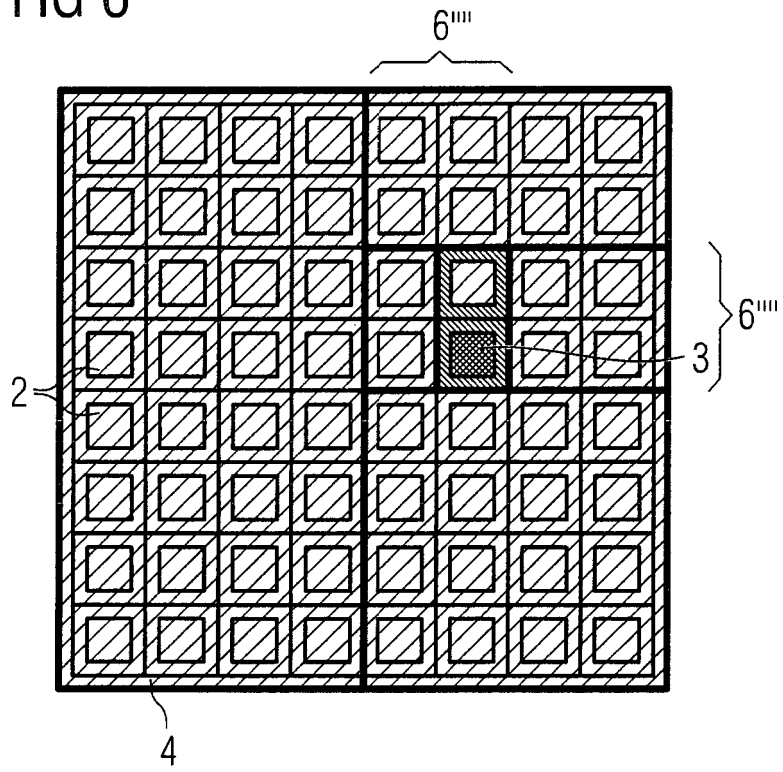
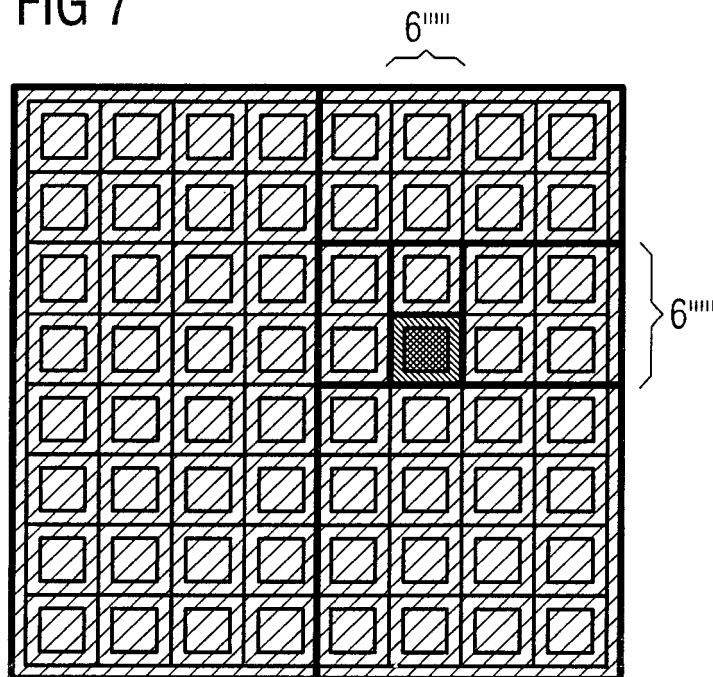


FIG 7



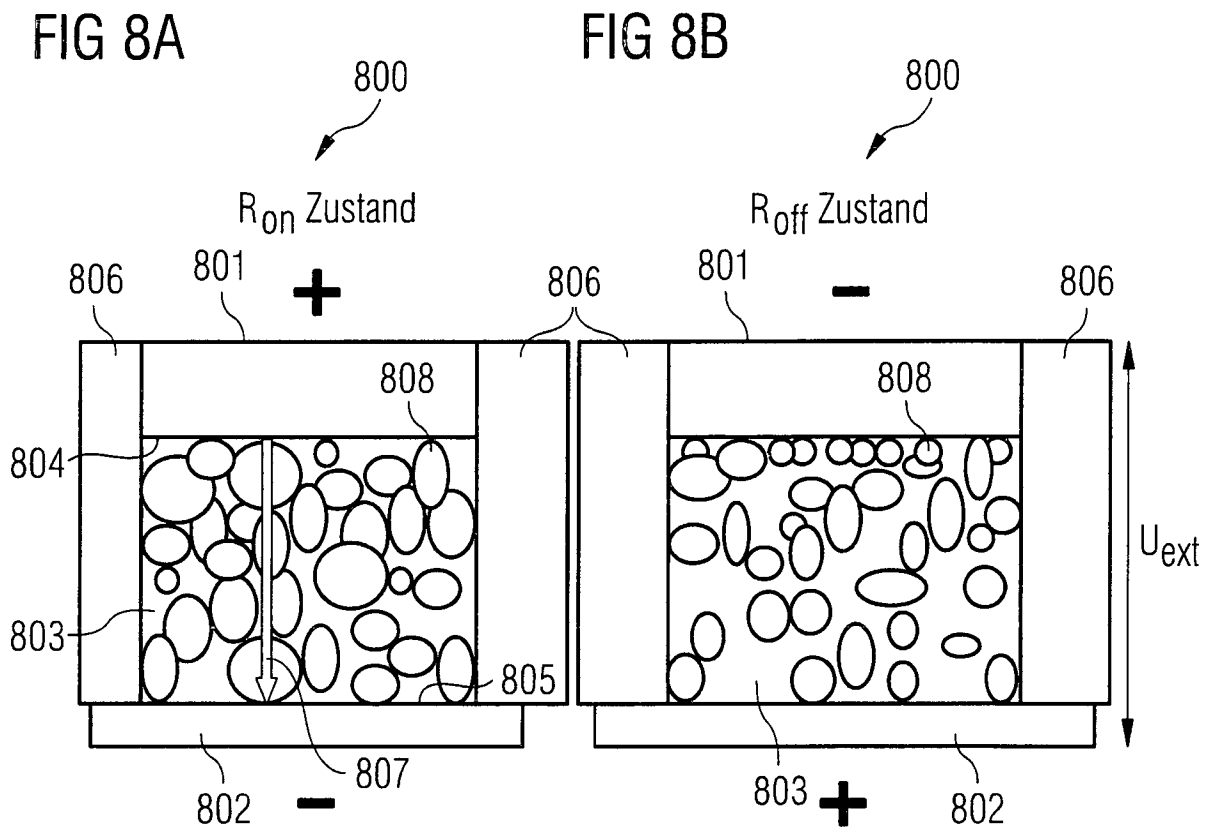


FIG 9

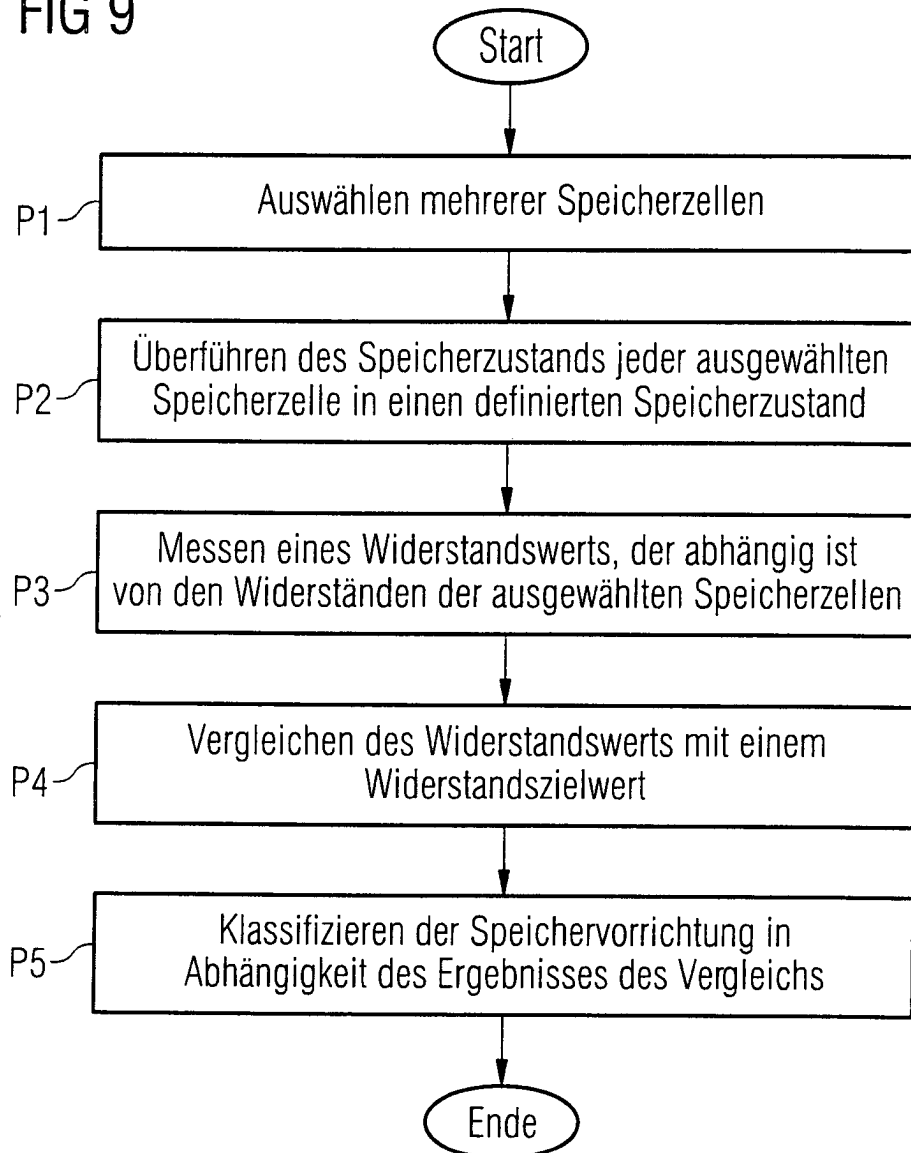


FIG 10

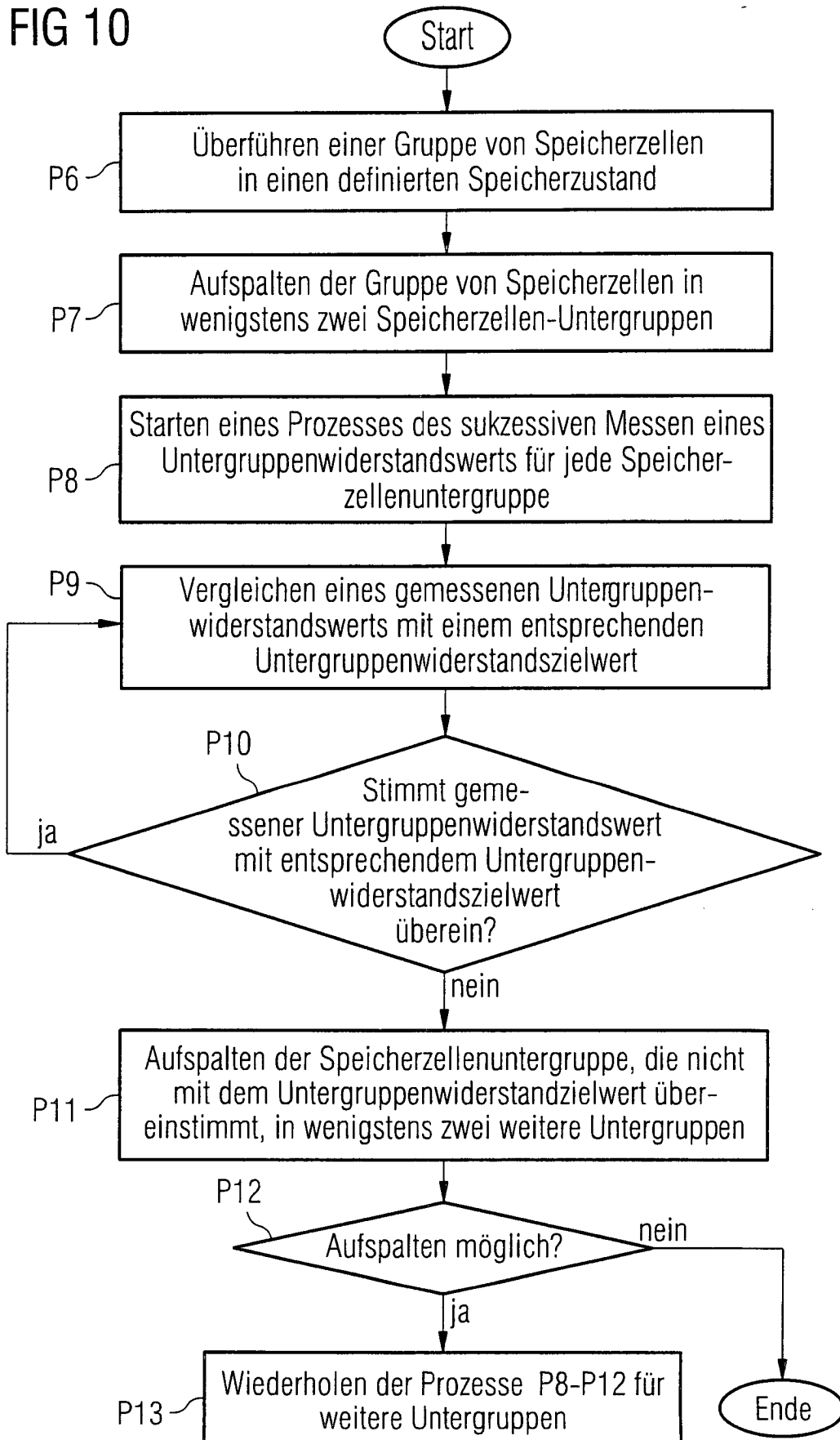


FIG 11

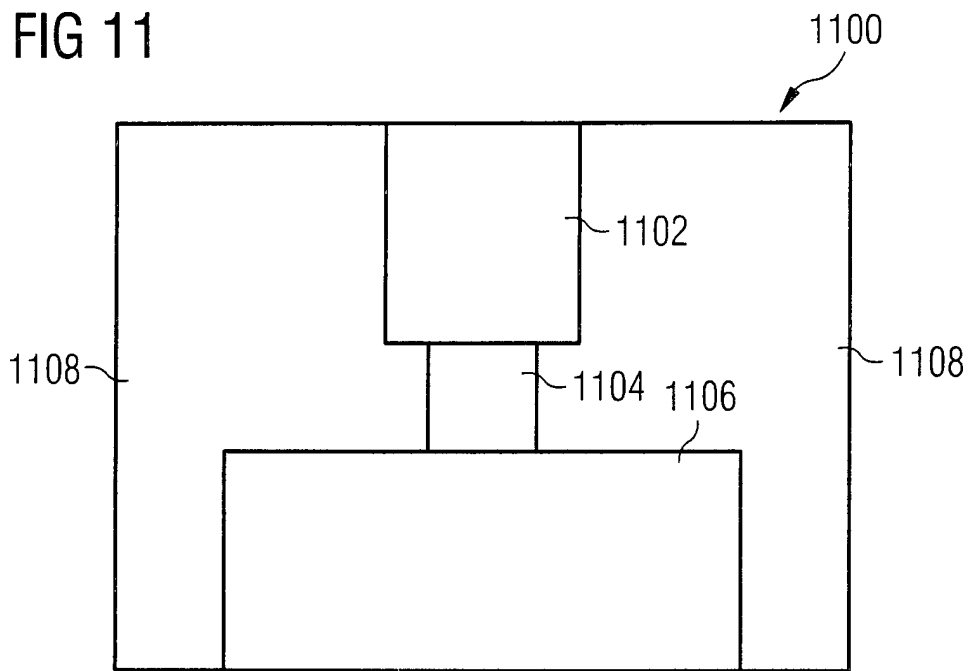


FIG 12

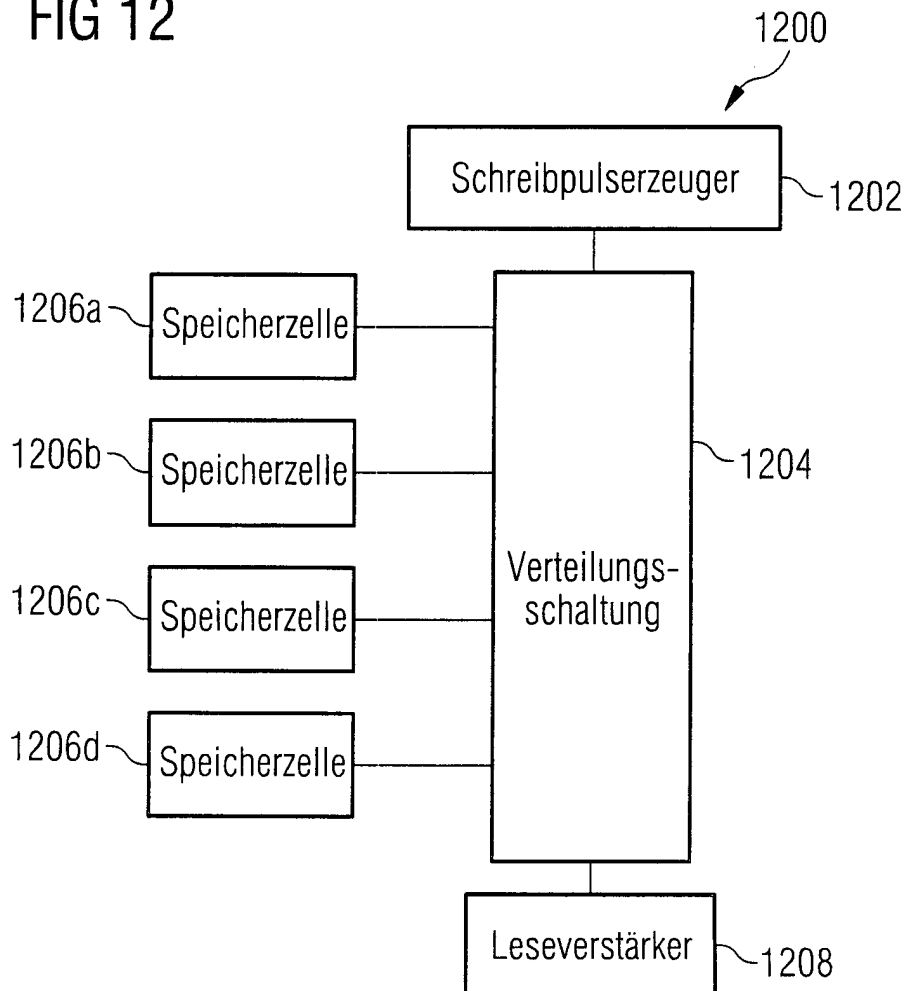


FIG 13A

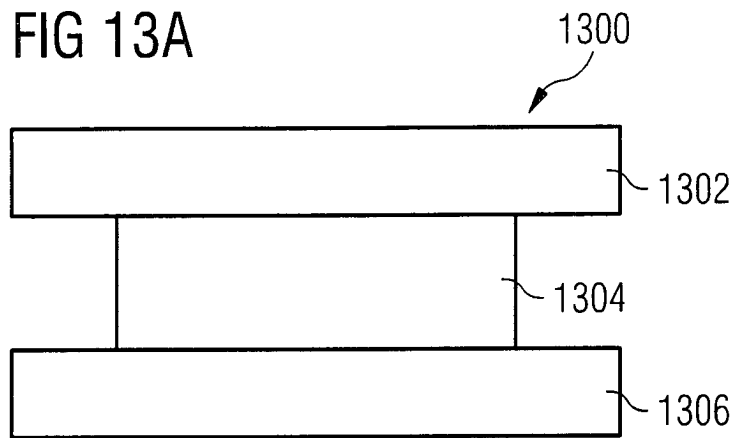


FIG 13B

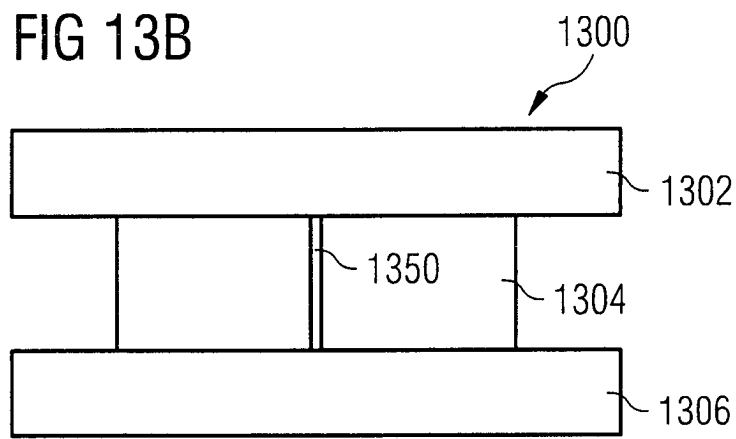


FIG 14A

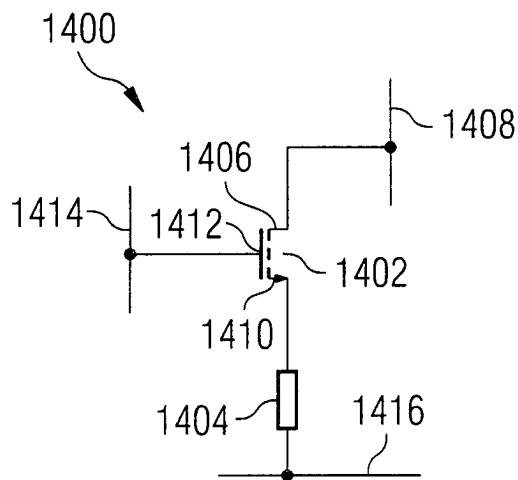


FIG 14B

