

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年10月27日(27.10.2011)

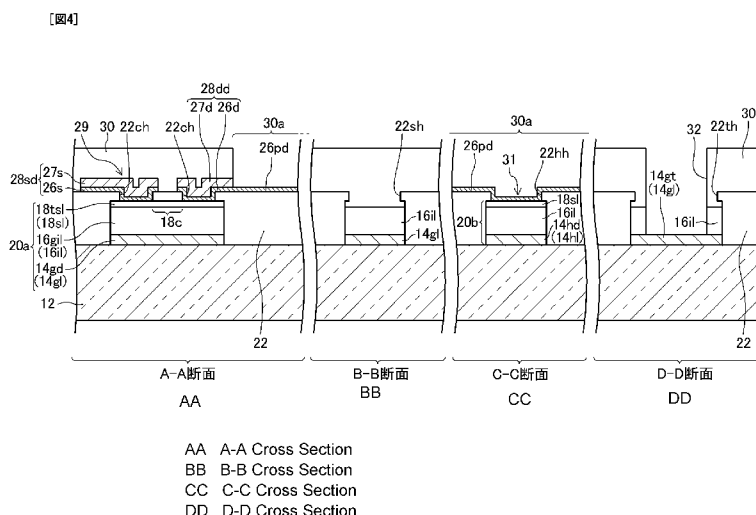
PCT

(10) 国際公開番号
WO 2011/132376 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/28 (2006.01)
G02F 1/1368 (2006.01) H01L 29/417 (2006.01)
 - (21) 国際出願番号: PCT/JP2011/002077
 - (22) 国際出願日: 2011年4月7日(07.04.2011)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2010-097713 2010年4月21日(21.04.2010) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 美崎克紀
(MISAKI, Katsunori).
 - (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町2丁目5番7
号 大阪丸紅ビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: THIN-FILM TRANSISTOR SUBSTRATE

(54) 発明の名称: 薄膜トランジスタ基板



(57) Abstract: In the disclosed thin-film transistor substrate, a gate electrode, a gate insulating layer, and an oxide semiconductor layer are formed simultaneously, configuring a laminate; the structure is caused to be such that an SOG film functions as an etching stopper over a channel region when forming a source electrode and a drain electrode; and in the SOG film, the oxide semiconductor layers of adjacent TFTs are segmented within holes for channel isolation formed at locations corresponding to gate wiring between adjacent TFTs that are connected to common gate wiring, the terminal sections of the gate wiring are caused to be exposed within holes for terminal exposure formed at locations corresponding to each gate wiring end, and each pixel electrode is formed from the same film as one layer of the drain electrode.

(57) 要約:

[続葉有]

WO 2011/132376 A1

ゲート電極、ゲート絶縁層及び酸化物半導体層を同時形成して積層体を構成し、ソース電極及びドレイン電極形成時にチャネル領域上でSOG膜がエッチングストップパとして機能する構造とし、SOG膜において、共通のゲート配線に接続された隣り合うTFT間のゲート配線対応箇所に形成したチャネル分離用ホール内部で隣り合うTFTの酸化物半導体層を分断し、各ゲート配線端部対応箇所に形成した端子部露出用ホール内部でゲート配線の端子部を露出させ、各画素電極をドレイン電極の一層と同一膜から形成する。

明 細 書

発明の名称：

薄膜トランジスタ基板

技術分野

[0001] 本発明は、薄膜トランジスタ（Thin Film Transistor、以下、T F Tと称する）基板及びそれを備えた液晶表示装置並びにT F T基板の製造方法に関し、特に、酸化物半導体からなる半導体層を用いたT F Tを有するT F T基板及びそれを備えた液晶表示装置並びにT F T基板の製造方法に関するものである。

背景技術

[0002] 近年、液晶表示装置を構成するT F T基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコンからなる半導体層を用いた従来のT F Tに代えて、酸化物半導体からなる半導体層を用い、高移動度、高信頼性及び低オフ電流などの良好な特性を有するT F Tが提案されている。

[0003] 一般的なボトムゲート構造のT F Tは、例えば、ガラス基板上に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上にゲート電極に重なるように設けられた半導体層と、該半導体層に互いに離間して重なるように設けられたソース電極及びドレイン電極とを備え、これらソース電極とドレイン電極との間で露出した半導体層部分にチャネル領域が構成されている。そして、このボトムゲート構造のT F Tは保護絶縁膜によって覆われ、該保護絶縁膜に形成されたコンタクトホールを介して当該膜上に形成された画素電極がドレイン電極に接続されている。

[0004] このようなボトムゲート構造のT F Tを備えたT F T基板は、例えば、ガラス基板に被エッチング膜及び感光性樹脂膜を順に成膜し、該感光性樹脂膜をフォトマスクを介して露光した後に現像することによりレジストパターン

を形成して、該レジストパターンから露出する被エッチング膜をエッチングするという一連の工程を繰り返すことにより、製造することができる。このことは、上記酸化物半導体層を用いたTFTを有するTFT基板においても同様である。

- [0005] 例えば、特許文献1には、酸化物半導体層を用いたボトムゲート構造のTFTを有するTFT基板を5枚のフォトマスクを用いて製造する方法が開示されている。これによれば、1枚目のフォトマスクを用いてガラス基板上にゲート電極を形成し、該ゲート電極を覆うようにゲート絶縁膜を成膜した後、2枚目のフォトマスクを用いて酸化物半導体層を形成し、続いて、3枚目のフォトマスクを用いてソース電極及びドレイン電極を形成し、次に、これらソース電極及びドレイン電極を覆うように保護絶縁膜（層間絶縁膜）を成膜して、該保護絶縁膜に4枚目のフォトマスクを用いてコンタクトホールを形成し、最後に、5枚目のフォトマスクを用いて画素電極を形成することにより、TFT基板を製造することができる。

先行技術文献

特許文献

- [0006] 特許文献1：特開2009-302520号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、特許文献1に開示のTFT基板の製造方法では、ソース電極及びドレイン電極を形成する際、すなわち、酸化物半導体層を覆うように被エッチング膜である導電膜を成膜し、該導電膜をフォトマスクを用いてエッチングによりパターンニングする際、ソース電極及びドレイン電極から露出する酸化物半導体層のチャネル領域が当該エッチングによりダメージを受け、せっかく酸化物半導体を用いても、TFTの特性が損なわれて表示品位が低下する虞がある。

- [0008] さりとて、単純に酸化物半導体層のチャネル領域上にエッチングの進行を

止めるエッチングストッパを形成すると、該エッチングストッパの形成のために新たなフォトマスクの追加が必要となると共に、上述した成膜、露光、現像及びエッチングの一連の工程が増加するので、製造コストが高くなってしまう。

[0009] 本発明は、斯かる点に鑑みてなされたものであり、その目的とするところは、酸化物半導体を用いて良好な特性のTFTを得ると共に、該TFTを備えたTFT基板を低コストで製造することにある。

課題を解決するための手段

[0010] 上記の目的を達成するために、本発明は、フォトマスクの枚数を削減しながらも、酸化物半導体層のチャネル領域をエッチングストッパとして機能する絶縁膜により保護するように工夫したものである。

[0011] 具体的には、本発明は、ベース基板と、該ベース基板上に互いに平行に延びるように設けられた複数のゲート配線と、該各ゲート配線と交差する方向に互いに平行に延びるように設けられた複数のソース配線と、上記各ゲート配線と上記各ソース配線との交差部毎に設けられたTFTと、該各TFT毎に設けられた画素電極とを備えたTFT基板及びそれを備えた液晶表示装置、並びに上記TFT基板の製造方法を対象としている。上記各TFTは、対応する交差部を構成するゲート配線に接続されたゲート電極と、該ゲート電極上に設けられたゲート絶縁層と、該ゲート絶縁層上に設けられ、上記ゲート電極に重なるチャネル領域を有する酸化物半導体層と、該酸化物半導体層の一方側に接続されると共に対応する交差部を構成するソース配線に接続されたソース電極と、該ソース電極に対峙するように上記酸化物半導体層の他方側に接続されたドレイン電極とを備えている。そして、本発明は、以下の解決手段を講じたものである。

[0012] すなわち、第1の発明は、TFT基板であって、上記各TFTでは、上記ゲート電極、ゲート絶縁層及び酸化物半導体層は互いの側端面が一致するように形成されて積層体を構成し、該積層体を覆うようにストッパ絶縁膜が設けられ、該ストッパ絶縁膜に上記酸化物半導体層に接続するための一対のコ

ンタクトホールが形成されて、一方のコンタクトホールを介して上記ソース電極が、他方のコンタクトホールを介して上記ドレイン電極が上記酸化物半導体層にそれぞれ接続され、上記ストッパ絶縁膜が上記ソース電極及びドレイン電極の形成時に上記チャネル領域上でエッチングストッパとして機能する構造を有しており、上記各ゲート配線上にも上記ゲート絶縁層と同一膜からなる絶縁層が積層され、上記ストッパ絶縁膜は、上記各ゲート配線及び絶縁層の側端面の少なくとも一部をも覆うように形成され、且つ共通の上記ゲート配線に接続された隣り合うTFTの間におけるゲート配線対応箇所にチャネル分離用ホールを有し、該各チャネル分離用ホールの内部で上記隣り合うTFTの酸化物半導体層が分断されて互いのチャネル領域が分離されていると共に、上記各ゲート配線の端部対応箇所に端子部露出用ホールを有し、該各端子部露出用ホールの内部で上記ゲート配線の端部が上記絶縁層から露出して端子部を構成し、上記各画素電極は、上記ドレイン電極を構成する少なくとも一層と同一膜から形成されていることを特徴とする。

[0013] 第2の発明は、第1の発明のTFT基板において、上記各チャネル分離用ホールは、上記ストッパ絶縁膜のゲート配線対応箇所に全体が収まるように形成され、上記各酸化物半導体層は、上記ストッパ絶縁膜に対するチャネル分離用ホールの形成時に、上記各ゲート配線対応箇所にも形成されておりエッチングストッパとして機能することを特徴とする。

[0014] 第3の発明は、第1の発明のTFT基板において、上記各チャネル分離用ホールは、上記ストッパ絶縁膜のゲート配線対応箇所に該ゲート配線を配線幅方向に跨るように形成されていることを特徴とする。

[0015] 第4の発明は、第1～第3の発明のいずれか1つのTFT基板において、上記各TFTは、保護絶縁膜によって覆われていることを特徴とする。

[0016] 第5の発明は、第4の発明のTFT基板において、上記各ドレイン電極は、透明導電層及び遮光導電層が順に積層されて構成され、上記各画素電極は、上記透明導電層と同一膜から形成され、上記保護絶縁膜の各画素電極対応箇所には開口が形成され、上記各ドレイン電極の遮光導電層は、対応する上

記画素電極側の端面が上記保護絶縁膜の開口内面に一致するように形成されていることを特徴とする。

- [0017] 第6の発明は、第1～第5の発明のいずれか1つのTFT基板において、上記ストッパ絶縁膜は、スピノンガラス材料からなることを特徴とする。
- [0018] 第7の発明は、第1～第6の発明のいずれか1つのTFT基板において、上記酸化物半導体層は、インジウムガリウム亜鉛酸化物系の金属酸化物からなることを特徴とする。
- [0019] 第8の発明は、液晶表示装置であって、第1～第7の発明のいずれか1つのTFT基板と、上記TFT基板に対向して配置された対向基板と、上記TFT基板と上記対向基板との間に設けられた液晶層とを備えることを特徴とする。
- [0020] 第9の発明は、第1の発明のTFT基板の製造方法であって、上記ベース基板上に第1導電膜、第1絶縁膜及び酸化物半導体膜を順に成膜することで積層膜を形成した後、該積層膜を第1のフォトマスクを用いてパターニングすることにより、上記第1導電膜から上記ゲート配線及びゲート電極を、上記第1絶縁膜から上記絶縁層を、上記酸化物半導体膜から上記酸化物半導体層をそれぞれ形成して、上記ゲート配線及びゲート電極、これらの上に絶縁層及び酸化物半導体層が順に積層された積層体を形成し、上記各ゲート電極対応箇所の絶縁層部分で上記ゲート絶縁層を構成する第1のパターニング工程と、上記積層体を覆うように第2絶縁膜を成膜した後、該第2絶縁膜を第2のフォトマスクを用いてパターニングすることにより、上記各ゲート電極対応箇所に上記酸化物半導体層に達する一対のコンタクトホールを、共通の上記ゲート配線に接続された隣り合うゲート電極の間におけるゲート配線対応箇所に上記酸化物半導体層に達するチャンネル分離用ホールを、上記各ゲート配線の端部対応箇所に端子部露出用ホールをそれぞれ形成して、当該第2絶縁膜を上記ストッパ絶縁膜とする第2のパターニング工程と、上記ストッパ絶縁膜上に第2導電膜を成膜した後、上記ストッパ絶縁膜をエッチングストッパとして上記第2導電膜を第3のフォトマスクを用いてパターニングす

ることにより、上記ソース配線及びソース電極、ドレイン電極、並びに画素電極を形成すると共に、上記各チャネル分離用ホールを介して上記酸化物半導体層を一部除去して分断することで、上記共通のゲート配線に接続された隣り合うゲート電極上の酸化物半導体層を互いに分離し、且つ、上記端子部露出用ホールを介して上記酸化物半導体層を一部除去して上記絶縁層を露出させる第3のパターニング工程と、上記各端子部露出用ホールを介して上記ストッパ絶縁膜から露出した絶縁層を第4のフォトマスクを用いてパターニングすることにより、該各絶縁層から上記各ゲート配線の端部を外部に露出させて、該各ゲート配線の端子部を構成する第4のパターニング工程とを含むことを特徴とする。

[0021] －作用－

次に、本発明の作用について説明する。

[0022] 第1の発明によると、ストッパ絶縁膜がソース電極及びドレイン電極の形成時にエッチングストッパとして機能する構造を有していることにより、ソース電極及びドレイン電極を形成する際、ストッパ絶縁膜によって酸化物半導体層のチャネル領域が保護されるので、該酸化物半導体層のチャネル領域がエッチングによりダメージを受けることがなく、良好な特性のTFTが得られる。また、上記構成のTFT基板は、第9の発明の如く、第1のフォトマスクを用いてゲート電極及びゲート配線、これらの上に絶縁層及び酸化物半導体層が順に積層された積層体を形成し、第2のフォトマスクを用いて酸化物半導体層に接続するための一対のコンタクトホール、チャネル分離用ホール及び端子部露出用ホールを有するストッパ絶縁膜を形成し、第3のフォトマスクを用いてソース配線及びソース電極、ドレイン電極、並びに画素電極を形成すると共に、共通のゲート配線に接続されたゲート電極上の酸化物半導体層を分離し、且つ各ゲート配線の端部対応箇所の絶縁層を酸化物半導体層から露出させ、第4のフォトマスクを用いて各ゲート配線の端部を外部に露出させて端子部を構成することにより、計4枚のフォトマスクを用いて製造することが可能である。したがって、酸化物半導体を用いて良好な特性

のTFTを得られると共に、該TFTを備えたTFT基板をフォトマスクの枚数を削減して低コストで製造することが可能になる。

[0023] 第2の発明によると、ストッパ絶縁膜（第2絶縁膜）にチャンネル分離用ホールを形成する際、酸化物半導体層がエッチングストッパとして機能するので、エッチングによるゲート配線へのダメージを防止するために当該チャンネル分離用ホールがゲート配線にまで達しないようにエッチングを制御する必要がなく、チャンネル分離用ホールを形成することが容易になる。

[0024] 第3の発明によると、ソース電極及びゲート電極の形成時に、チャンネル分離用ホールからゲート配線の幅方向全体に亘って酸化物半導体層の一部が露出することになるので、該酸化物半導体層の一部を除去して共通のゲート配線に接続された隣り合うゲート電極上の酸化物半導体層を確実に分離することが可能になる。

[0025] 第4の発明によると、TFTが保護絶縁膜によって覆われているので、TFTの性能劣化が抑えられる。また、このような保護絶縁膜は、例えばプラズマCVD（Chemical Vapor Deposition）法により無機絶縁膜を成膜して、その無機絶縁膜をパターニングすることにより形成されることが多い。このため、従来のTFT基板のように酸化物半導体層のチャンネル領域が外部に露出していると、保護絶縁膜の成膜時のプラズマによってもダメージを受け、TFTの特性が損なわれる虞がある。これに対し、第4の発明では、酸化物半導体層のチャンネル領域は、ストッパ絶縁膜により覆われて保護されているので、上記保護絶縁膜の成膜時のプラズマによってもダメージを受けない。

[0026] 第5の発明によると、画素電極がドレイン電極を構成する透明導電層と同一膜で形成されているので、透過型の液晶表示装置を構成するTFT基板として適用可能である。また、上記構成のTFT基板は、第4のフォトマスクを用いてゲート配線の端子部を外部に露出させる際に、保護絶縁膜に開口を形成し、該開口の形成と同時に、又は該開口を形成した保護絶縁膜をマスクとして自己整合的に各画素電極対応箇所の遮光絶縁層を除去することにより

、フォトマスクの枚数を増やすことなく製造することが可能である。

[0027] 第6の発明によると、ストッパ絶縁膜は、積層体を覆うようにスピンコート法又はスリットコート法などによりスピンオンガラス材料を塗布し、その塗布膜を焼成及びパターンニングすることにより形成される。このため、酸化物半導体層のチャンネル領域は上記ストッパ絶縁膜をプラズマCVD法により成膜する場合のようにプラズマに曝されないので、酸化物半導体層のチャンネル領域のダメージが抑えられる。

[0028] 第7の発明によると、TFTにおいて、高移動度、高信頼性及び低オフ電流という良好な特性が具体的に得られる。

[0029] 第8の発明によると、第1～第7の発明のTFT基板は、酸化物半導体を用いて良好な特性のTFTが得られると共に低コストで製造可能であるという優れた特性を備えているので、液晶表示装置Sとしても低コスト化しながら、表示品位を向上させることができる。

発明の効果

[0030] 本発明によれば、フォトマスクの枚数を削減しながらも、酸化物半導体層のチャンネル領域をエッチングストッパとして機能するストッパ絶縁膜により保護できるので、酸化物半導体を用いて良好な特性のTFTを得ることができると共に、該TFTを備えたTFT基板を低コストで製造できる。そして、このTFT基板を表示装置に適用すれば、表示装置としても低コスト化しながら、表示品位を向上させることができる。

図面の簡単な説明

[0031] [図1] 図1は、実施形態1に係る液晶表示装置を概略的に示す平面図である。

[図2] 図2は、図1のII-II線における断面構造を示す断面図である。

[図3] 図3は、実施形態1に係るTFT基板の1画素及び各端子部の構成を概略的に示す平面図である。

[図4] 図4は、図3のA-A線、B-B線、C-C線、D-D線における断面構造を示す断面図である。

[図5] 図5は、実施形態1における第1のパターンニング工程で、ゲート電極及

び保持容量素子などを形成するための積層膜を形成した状態を示す図4対応箇所の断面図である。

[図6]図6は、実施形態1における第1のパターニング工程で積層膜から積層体を形成した状態を示す図4対応箇所の断面図である。

[図7]図7は、実施形態1における第2のパターニング工程でSOG膜を形成した状態を示す図4対応箇所の断面図である。

[図8]図8は、実施形態1における第2のパターニング工程でSOG膜にコンタクトホール及び各種ホールを形成した状態を示す図4対応箇所の断面図である。

[図9]図9は、実施形態1における第3のパターニング工程で、ソース電極及びドレイン電極などを形成するための積層導電膜を形成した状態を示す図4対応箇所の断面図である。

[図10]図10は、実施形態1における第3のパターニング工程でソース電極、ドレイン電極、及び遮光導電層が積層された画素電極を形成した状態を示す図4対応箇所の断面図である。

[図11]図11は、実施形態1における第4のパターニング工程で保護絶縁膜を成膜した状態を示す図4対応箇所の断面図である。

[図12]図12は、実施形態1における第4のパターニング工程で保護絶縁膜の各画素電極対応箇所に開口を、各ゲート配線の端部対応箇所の絶縁層及び保護絶縁膜に第2端子部露出用ホールをそれぞれ形成した状態を示す図4対応箇所の断面図である。

[図13]図13は、実施形態2に係るTFT基板の1画素及び各端子部の構成を概略的に示す平面図である。

[図14]図14は、図13のA-A線、B-B線、C-C線、D-D線における断面構造を示す断面図である。

[図15]図15は、実施形態2における第1のパターニング工程で、ゲート電極及び保持容量素子などを形成するための積層膜を形成した状態を示す図4対応箇所の断面図である。

[図16] 図16は、実施形態2における第1のパターニング工程で積層膜から積層体を形成した状態を示す図14対応箇所の断面図である。

[図17] 図17は、実施形態2における第2のパターニング工程でSOG膜上に透明樹脂絶縁膜を形成した状態を示す図14対応箇所の断面図である。

[図18] 図18は、実施形態2における第2のパターニング工程でSOG膜及び透明樹脂絶縁膜などにコンタクトホール及び各種ホールを形成した状態を示す図14対応箇所を示す断面図である。

[図19] 図19は、実施形態2における第3のパターニング工程でソース電極、ドレイン電極、及び遮光導電層が積層された画素電極を形成した状態を示す図14対応箇所の断面図である。

[図20] 図20は、実施形態2における第4のパターニング工程で保護絶縁膜を成膜した状態を示す図14対応箇所の断面図である。

[図21] 図21は、実施形態2における第4のパターニング工程で保護絶縁膜の各画素電極対応箇所に開口を、各ゲート配線の端部対応箇所の第1絶縁層、第2絶縁層及び保護絶縁膜に第2端子部露出用ホールをそれぞれ形成した状態を示す図14対応箇所の断面図である。

[図22] 図22は、実施形態3に係るTFT基板の1画素及び各端子部の構成を概略的に示す平面図である。

[図23] 図23は、図22のA-A線、B-B線、C-C線、D-D線における断面構造を示す断面図である。

[図24] 図24は、実施形態3における第3のパターニング工程でソース電極、ドレイン電極及び画素電極を形成した状態を示す図23対応箇所の断面図である。

[図25] 図25は、実施形態3における第4のパターニング工程で保護絶縁膜を成膜した状態を示す図23対応箇所の断面図である。

発明を実施するための形態

[0032] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0033] 《発明の実施形態 1》

図 1 は、この実施形態 1 に係る液晶表示装置 S の概略平面図である。図 2 は、図 1 の II-II 線における断面構造を示す概略断面図である。なお、図 1 では、図 2 に示す偏光板 58 の図示を省略している。

[0034] 液晶表示装置 S は、互いに対向するように配置された TFT 基板 10 及び対向基板 50 と、これら TFT 基板 10 及び対向基板 50 の両外周縁部同士を接着する枠状のシール材 52 と、TFT 基板 10 と対向基板 50 との間でシール材 52 の内側に封入された液晶層 51 とを備えている。

[0035] この液晶表示装置 S は、透過型の液晶表示装置であり、TFT 基板 10 と対向基板 50 とが重なる領域であってシール材 52 の内側、つまり液晶層 51 が設けられた領域に画像表示を行う表示領域 D を有し、この表示領域 D の外部に TFT 基板 10 が対向基板 50 から例えば L 字状などに突出した端子領域 10a を有している。

[0036] 表示領域 D は、例えば矩形状の領域であって、画像の最小単位である画素がマトリクス状に複数配列して構成されている。一方、端子領域 10a の一辺側（図 1 中左辺側）には、各々異方性導電膜（Anisotropic Conductive Film、以下、ACF と称する）を介して複数のゲートドライバ集積回路（Integrated Circuit、以下、IC と称する）チップ 53 が実装され、端子領域 10a の他辺側（図 1 中下辺側）には、各々 ACF を介して複数のソースドライバ IC チップ 54 が実装されている。

[0037] TFT 基板 10 及び対向基板 50 は、例えば矩形状に形成され、図 2 に示すように、互いに対向する内側表面に配向膜 55、56 がそれぞれ設けられていると共に、外側表面に偏光板 57、58 がそれぞれ設けられている。液晶層 51 は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0038] 上記 TFT 基板 10 の概略構成図を図 3 及び図 4 に示す。図 3 は、1 画素及び各端子部の構成を示す平面図である。図 4 は、図中左側から順に、図 3 の A-A 線、B-B 線、C-C 線、D-D 線における断面構造を示す断面図

である。

- [0039] TFT基板10は、図4に示すベース基板である絶縁性基板12を有し、表示領域Dにおいて、図3に示すように、絶縁性基板12上に、互いに平行に延びるように設けられた複数のゲート配線14g1と、各ゲート配線14g1の間に互いに延びるように設けられた複数の保持容量配線14h1と、絶縁膜22を介して各ゲート配線14g1及び各保持容量配線14h1と交差する方向に互いに平行に延びるように設けられた複数のソース配線28s1とを備えている。ここで、ゲート配線14g1及びソース配線28s1は、各画素を区画するように全体として格子状に形成されている。また、各保持容量配線14h1は、ゲート配線14g1が延びる方向に並ぶ複数の画素に亘ってそれら各画素の中央部分を横断するように延びている。
- [0040] 各ゲート配線14g1は、ゲートドライバICチップ53が実装される端子領域10aにまで引き出され、その引き出された先端部分が図3に示すゲート端子部14gtを構成している。このゲート端子部14gtは、ゲートドライバICチップ53に電氣的に接続するための電極を構成している。また、各ソース配線28s1は、ソースドライバICチップ54が実装される端子領域10aにまで引き出され、その引き出された先端部分が図3に示すソース端子部28stを構成している。
- [0041] また、各保持容量配線14h1は、シール材52が設けられた領域まで両端部が延びており、その両端部が保持容量端子部14htをそれぞれ構成している。これら各保持容量端子部14htは、共通配線14clに接続されて、後述する対向基板50の共通電極にいわゆるコモン転移により電氣的に接続されており、保持容量配線14h1に対して上記共通電極と同様な共通電圧を印加するための電極を構成している。
- [0042] このTFT基板10はさらに、各ゲート配線14g1と各ソース配線28s1との交差部毎、つまり各画素毎にTFT29及び画素電極26pdを備えている。
- [0043] 各TFT29は、図4(A-A断面)に示すように、ゲート電極14gd

と、該ゲート電極 14 g d 上に設けられたゲート絶縁層 16 g i l と、該ゲート絶縁層 16 g i l 上に設けられた酸化物半導体層 18 t s l と、該酸化物半導体層 18 t s l に互いに対峙するように接続されたソース電極 28 s d 及びドレイン電極 28 d d とを備えている。そして、これらソース電極 28 s d とドレイン電極 28 d d との間には、酸化物半導体層 18 t s l 部分にチャンネル領域 18 c が構成されている。ここで、ゲート電極 14 g d、ゲート絶縁層 16 g i l 及び酸化物半導体層 18 t s l は、互いの側端面が一致するように形成されて積層体 20 a を構成している。

[0044] 各ゲート電極 14 g d は、対応する交差部を構成するゲート配線 14 g l の一部であり、図 3 に示すようにゲート絶縁層 16 g i l 及び酸化物半導体層 18 t s l と共に該ゲート配線 14 g l の幅方向両側に突出する突出部 20 a p を有している。これら各ゲート電極 14 g d は、対応するゲート配線 14 g l と共に例えばアルミニウム (Al) 層、チタン (Ti) 層、及びインジウム亜鉛酸化物 (Indium Zinc Oxide、以下、IZO と称する) 層が順に積層されて一体に構成されている。また、ゲート絶縁層 16 g i l は、例えば二酸化珪素 (SiO_2) からなる。酸化物半導体層 18 t s l は、例えばインジウムガリウム亜鉛酸化物 (Indium Gallium Zinc Oxide、以下、IGZO と称する) 系の酸化物半導体からなる。

[0045] 上記積層体 20 a は、絶縁性基板 12 の略全面に亘って形成された例えば二酸化珪素 (SiO_2) などを主成分とするスピノングラス (Spin On Glass、以下、SOG と称する) 材料からなるストッパ絶縁膜である SOG 膜 22 によって覆われている。この SOG 膜 22 は、各 TFT 29 の酸化物半導体層 18 t s l の突出部 20 a p 対応箇所に該酸化物半導体層 18 t s l に接続するための一対のコンタクトホール 22 c h を有している。また、上記ソース電極 28 s d は、図 3 に示すように対応する交差部を構成するソース配線 28 s l の側方に突出した部分である。これら各ソース電極は 28 s d は、ソース配線 28 s l と共に上記 SOG 膜 22 上に形成され、一方のコンタクトホール 22 c h を介して酸化物半導体層 18 t s l の一方側 (図 3 中上

側)に接続されている。一方、上記ドレイン電極28ddは、ソース電極28sdと同様に上記SOG膜22上に形成され、他方のコンタクトホール22chを介して酸化物半導体層18tslの他方側(図3中下側)に接続されている。

[0046] すなわち、各TF T29では、SOG膜22が、ソース電極28sd及びドレイン電極28ddと酸化物半導体層18tslとの間に、該酸化物半導体層18tslにおけるソース電極28sd及びドレイン電極28ddとの接続部分以外の領域を覆うように形成され、ソース電極28sd及びドレイン電極28ddの形成時に上記チャンネル領域18c上でエッチングストップとして機能する構造を有している。

[0047] 上記ソース配線28s1及びソース電極28sd、並びにドレイン電極28ddは、透明導電層26s、26d及び遮光導電層27s、27dが順に積層されて構成されている。透明導電層26s、26dは、例えばインジウムスズ酸化物(Indium Tin Oxide、以下、ITOと称する)などからなる。遮光導電層27s、27dは、例えば、チタン(Ti)層、アルミニウム(Al)層、チタン(Ti)層が順に積層されて構成されている。

[0048] 上記各TF T29は、例えば二酸化珪素(SiO₂)や窒化珪素(SiN)からなる保護絶縁膜30によって覆われている。これにより、水分や酸素などの進入が防止され、TF Tの性能劣化が抑えられる。保護絶縁膜30は、TF T基板10の略全面に亘って形成されている。この保護絶縁膜30は、表示領域Dでは各ゲート配線14g1及び各ソース配線28s1に沿って格子状に形成され、各画素電極26pd対応箇所に開口30aを有している。また、各TF T29におけるドレイン電極28ddの遮光導電層27dは、対応する画素電極26pd側の端面が上記保護絶縁膜30の開口30a内面に一致するように形成されている。そして、各画素電極26pdは、上記ドレイン電極28ddの透明導電層26dと同一膜から形成されている。

[0049] 上記保護絶縁膜30にはさらに、図3に示すように、各ソース配線28s1の端部対応箇所に端子部露出用ホール30thが形成されている。この端

子部露出用ホール30thの内部では、ソース配線28slの端部が外部に露出して端子部28stを構成している。

[0050] また、各ゲート配線14gl上にも、上記ゲート絶縁層16gilと同一膜からなる絶縁層16il、及び酸化物半導体層18slが順に積層されて、上記各TF T 29の積層体20aと連続して一体な積層体を構成している。この積層体も上記SOG膜22によって覆われている。

[0051] そして、SOG膜22には、共通のゲート配線14glに接続された隣り合うTF T 29の間におけるゲート配線14gl対応箇所にチャネル分離用ホール22shが形成されている。この各チャネル分離用ホール22shの内部では、図4（B-B断面）に示すように上記隣り合うTF T 29の酸化物半導体層18tslが分断されて、これらTF T 29のチャネル領域18cが互いに分離されている。上記チャネル分離用ホール22shは、ゲート電極14gdを除くゲート配線14gl対応箇所の一部に全体が収まるように各TF T 29の両側に形成されている。

[0052] SOG膜22にはさらに、図4（D-D断面）に示すように、各ゲート配線14glの端部対応箇所に第1端子部露出用ホール22thが形成されている。そして、保護絶縁膜30及び絶縁層16ilには、上記各第1端子部露出用ホール22thの内側に穿孔するように第2端子部露出用ホール32が形成されている。この各第2端子部露出用ホール32の内部では、ゲート配線14glの端部が外部に露出して端子部14gtを構成している。

[0053] さらに、各保持容量配線14hl上にも、上記ゲート絶縁層16gilと同一膜からなる絶縁層16il、及び酸化物半導体層18slが順に積層されて、図4（C-C断面）に示すように、各TF T 29の積層体20aと同様な積層体20bを構成している。

[0054] そして、SOG膜22における各画素の保持容量配線14hl対応箇所には保持容量形成用ホール22hhが形成され、該保持容量形成用ホール22hhを介して画素電極26pdの一部が酸化物半導体層18sl上に重なっている。この画素電極26pdの一部と保持容量配線14hlの一部からな

る保持容量電極 14 h d とは絶縁層 16 i l 及び酸化物半導体層 18 s l を誘電層として挟み込んでおり、当該構造により保持容量素子 31 が構成されている。

[0055] 対向基板 50 は、図示は省略するが、ベース基板である絶縁性基板上にゲート配線 14 g l 及びソース配線 28 s l に対応するように格子状に設けられたブラックマトリクスと、該ブラックマトリクスの格子間に周期的に配列するように設けられた赤色層、緑色層及び青色層を含む複数色のカラーフィルタと、それらブラックマトリクス及び各カラーフィルタを覆うように設けられた共通電極と、該共通電極上に柱状に設けられたフォトスペーサとを備えている。

[0056] 上記構成の液晶表示装置 S では、各画素において、ゲートドライバ IC チップ 53 からゲート信号がゲート配線 14 g l を介してゲート電極 14 g d に送られて、TFT 29 がオン状態になったときに、ソースドライバ IC チップ 54 からソース信号がソース配線 28 s l を介してソース電極 28 s d に送られて、酸化物半導体層 18 s l 及びドレイン電極 28 d d を介して、画素電極 26 p d に所定の電荷が書き込まれると共にこれに相当する電荷が保持容量素子 31 に充電される。このとき、TFT 基板 10 の各画素電極 26 p d と対向基板 50 の共通電極との間において電位差が生じ、液晶層 51 に所定の電圧が印加される。また、各 TFT 29 がオフ状態のときには、保持容量素子 31 に形成された保持容量によって、対応する画素電極 26 p d に書き込まれた電圧の低下が抑制される。そして、液晶表示装置 S では、各画素において、液晶層 51 に印加する電圧の大きさによって液晶分子の配向状態を変えることにより、液晶層 51 の光透過率を調整して画像が表示される。

[0057] ー製造方法ー

次に、上記 TFT 基板 10 及び液晶表示装置 S を製造する方法について、図 5 ～ 図 12 を参照しながら、一例を挙げて説明する。図 5 及び図 6 は、TFT 基板 10 の製造方法における第 1 のパターニング工程を示す断面図であ

る。図7及び図8は、TFT基板10の製造方法における第2パターニング工程を示す断面図である。図9及び図10は、TFT基板10の製造方法における第3のパターニング工程を示す断面図である。図11及び図12は、TFT基板10の製造方法における第4のパターニング工程を示す断面図である。なお、これら図5～図12は図4対応箇所を示している。

[0058] 本実施形態の液晶表示装置Sの製造方法は、TFT基板製造工程と、対向基板製造工程と、貼合工程と、実装工程とを含んでいる。

[0059] <TFT基板製造工程>

TFT基板製造工程は、第1～第4のパターニング工程を含んでいる。

[0060] <第1のパターニング工程>

まず、予め準備したガラス基板などの絶縁性基板12上に、スパッタリング法により、例えばアルミニウム膜、チタン膜及びIZO膜を順に成膜して第1導電膜である金属積層膜14を形成する。続けて、この金属積層膜14上に、プラズマCVD法により二酸化珪素膜などの第1絶縁膜16を成膜する。さらに続けて、この第1絶縁膜16上に、スパッタリング法によりIGZO系の酸化物半導体膜18を成膜することにより、図5に示すように積層膜20を形成する。そして、この積層膜20を第1のフォトリソグラフィによりパターニングする。

[0061] すなわち、積層膜20上に、感光性樹脂を塗布し、その塗布された感光性樹脂膜を第1のフォトリソグラフィを介して露光した後に現像することによりパターニングして、上記積層膜20におけるゲート配線14g1及びゲート電極14gd並びに保持容量配線14h1の形成箇所の上にレジストパターンを形成する。続いて、このレジストパターンをマスクとして上記酸化物半導体膜18を例えばシュウ酸液にてエッチングしてパターニングすることにより、酸化物半導体層18s1を形成する。

[0062] 次いで、上記レジストパターン及び酸化物半導体層18s1をマスクとして、例えばフッ素系ガスを用いた反応性イオンエッチング(Reactive Ion Etching、以下、RIEと称する)法により、上記第1絶縁膜16をエッチング

してパターニングすることによって、絶縁層 16 i l を形成する。

[0063] さらに、上記レジストパターン、酸化物半導体層 18 s l 及び絶縁層 16 i l をマスクとして、例えば燐酸、酢酸及び硝酸の混合液を用いた R I E 法により、上記金属積層膜 14 の I Z O 膜をエッチングする。続いて、上記金属積層膜 14 の残りのチタン膜及びアルミニウム膜を、例えば塩素系ガスを用いた R I E 法によりエッチングすることで、上記金属積層膜 14 をパターニングする。その後に、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、ゲート配線 14 g l 及びゲート電極 14 g d、並びに保持容量配線 14 h l を形成する。

[0064] 以上により、図 6 に示すように、ゲート配線 14 g l 及びゲート電極 14 g d 並びに保持容量配線 14 h l、これらの上に絶縁層 16 i l 及び酸化物半導体層 18 s l が順に積層された積層体 20 a, 20 b を形成する。こうして形成した積層体 20 a においては、上記各ゲート電極 14 g d 対応箇所の絶縁層 16 i l 部分によりゲート絶縁層 16 g i l が、上記各ゲート電極 14 g d 対応箇所の酸化物半導体層 18 s l 部分により T F T 29 の酸化物半導体層 18 t s l がそれぞれ構成される。

[0065] <第 2 のパターニング工程>

上記積層体 20 a, 20 b が形成された基板の上に、スピコート法又はスリットコート法により、二酸化珪素などを主成分とする S O G 材料を塗布した後、350°C で焼成することにより、図 7 に示すように第 2 絶縁膜である S O G 膜 22 を成膜する。このように第 2 絶縁膜として塗布型の絶縁膜である S O G 膜 22 を成膜することにより、各 T F T 29 の酸化物半導体層 18 t s l のチャネル領域 18 c は当該第 2 絶縁膜をプラズマ C V D 法により成膜する場合のようにプラズマに曝されないため、各酸化物半導体層 18 t s l のチャネル領域 18 c のダメージが抑えられる。

[0066] そして、上記 S O G 膜 22 におけるコンタクトホール 22 c h 及び各種ホール 22 s h, 22 h h, 22 t h の形成箇所以外の領域上に、第 2 のフォトマスクを用いてレジストパターンを形成して、該レジストパターンをマス

クとして例えばフッ素系ガスを用いたRIE法によりSOG膜22をエッチングしてパターンニングする。その後に、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、図8に示すように、SOG膜22において、各ゲート電極14gd対応箇所に酸化物半導体層18tslに達する一対のコンタクトホール22chを、共通のゲート配線14glに接続された隣り合うゲート電極14gdの間におけるゲート配線14gl対応箇所に酸化物半導体層18slに達するチャネル分離用ホール22shを、各ゲート配線14glの端部対応箇所に第1端子部露出用ホール22thをそれぞれ形成して、当該SOG膜22をストップ絶縁膜とする。このとき、酸化物半導体層18sl, 18tslがエッチングストップとして機能するため、当該酸化物半導体層18sl, 18tslにコンタクトホール22ch及び各種ホール22sh, 22hh, 22thが達した時点でエッチングの進行が止まる。これにより、コンタクトホール22ch及び各種ホール22sh, 22hh, 22thを形成する際のエッチングを微細なレベルで制御しなくとも、当該エッチングによりゲート配線14glがダメージを受けることが防止され、コンタクトホール22ch及び各種ホール22sh, 22hh, 22thを容易に形成することができる。

[0067] <第3のパターンニング工程>

上記SOG膜22が形成された基板上に、スパッタリング法により、例えばITO膜などの透明導電膜26を成膜する。続けて、この透明導電膜26上に、スパッタリング法により、例えばチタン膜、アルミニウム膜及びチタン膜を順に成膜して遮光導電膜27を形成し、図9に示すように、透明導電膜26及び遮光導電膜27が順に積層された第2導電膜である積層導電膜28を形成する。

[0068] 次に、上記積層導電膜28上におけるソース配線28sl及びソース電極28sd、ドレイン電極28dd、並びに画素電極26pdの形成箇所の上に、第3のフォトマスクを用いてレジストパターンを形成する。そして、このレジストパターンをマスクとして、例えば塩素系ガスを用いたRIE法に

より上記遮光導電膜 27（チタン膜、アルミニウム膜及びチタン膜）をエッチングする。続けて、例えばシュウ酸液にて透明導電膜 26 をエッチングして積層導電膜 28 をパターンニングする。その後に、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、図 10（A-A 断面）に示すように、ソース配線 28 s l 及びソース電極 28 s d、並びにドレイン電極 28 d d を形成して TFT 29 を構成すると共に、遮光導電層 27 p d が積層された状態の画素電極 26 p d を形成する。このとき、SOG 膜 22 がチャンネル領域 18 c 上でエッチングストップパとして機能するため、該チャンネル領域 18 c がエッチングによりダメージを受けることがない。

[0069] また、上記透明導電膜 26 のパターンニングと同時に、図 10（B-B 断面）に示すように、各チャンネル分離用ホール 22 s h を介してゲート配線 14 g l 対応箇所に位置する酸化物半導体層 18 s l を一部除去して分断する。これにより、共通のゲート配線 14 g l に接続された隣り合うゲート電極 14 g d 上の酸化物半導体層 14 t s l が互いに分離する。またそれと共に、図 10（D-D 断面）に示すように、各第 1 端子部露出用ホール 22 t h を介して酸化物半導体層 18 s l を一部除去して絶縁層 16 i l を露出させる。

[0070] <第 4 のパターンニング工程>

ソース配線 28 s l 及びソース電極 28 s d、ドレイン電極 28 d d、並びに遮光導電層 27 p d が積層された状態の画素電極 26 p d が形成された基板上に、プラズマ CVD 法により、図 11 に示すように、例えば二酸化珪素からなる保護絶縁膜 30 を成膜する。このとき、各 TFT 29 の酸化物半導体層 18 t s l のチャンネル領域 18 c は、SOG 膜 22 により覆われて保護されているので、上記保護絶縁膜 30 の成膜時のプラズマによってもダメージを受けることがない。

[0071] そして、上記保護絶縁膜 30 における各画素電極 26 p d、各ソース配線 28 s l の端部及び各第 1 端子部露出用ホール 22 t h の対応箇所以外の領域上に、第 4 のフォトマスクを用いてレジストパターンを形成する。そして

、このレジストパターンをマスクとして、例えばフッ素系ガスを用いたR I E法により上記保護絶縁膜30をエッチングしてパターンニングする。そのことにより、図12に示すように、該保護絶縁膜30の各画素電極26pd対応箇所に開口30aを、各ソース配線28slの端部対向箇所に端子部露出用ホール30thを、各第1端子部露出用ホール22th対応箇所における保護絶縁膜30及び絶縁層16ilに第2端子部露出用ホール32をそれぞれ形成し、上記端子部露出用ホール30thから各ソース配線28slの端部を外部に露出させてソース端子部28stを構成すると共に、上記第2端子部露出用ホール32から各ゲート配線14glの端部を外部に露出させてゲート端子部14gtを構成する。

[0072] 続いて、上記レジストパターン及び保護絶縁膜30をマスクとして、例えば塩素系ガスを用いたR I E法により保護絶縁膜30の各開口30aを介して各画素電極26pd上の遮光導電層27pdをエッチングして除去する。その後に、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、各画素電極26pdを透明導電層のみで構成すると共に外部に露出させる。

[0073] 以上のようにして、T F T基板10を製造することができる。

[0074] <対向基板製造工程>

まず、ガラス基板などの絶縁性基板の表面全体に、スピンコート法又はスリットコート法により、例えばカーボンなどの微粒子が分散されたネガ型のアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂膜をフォトマスクを介して露光した後に現像することによりパターンニングして、ブラックマトリクスを形成する。

[0075] 続いて、ブラックマトリクスが形成された基板上に、例えば赤、緑又は青に着色されたネガ型のアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂膜をフォトマスクを介して露光した後に現像することによりパターンニングして、選択した色の着色層（例えば赤色層）を形成する。さらに、他の2色の着色層（例えば緑色層及び青色層）についても、同様な工程を繰り返す。

返し行うことにより形成して、カラーフィルタを形成する。

[0076] 次いで、カラーフィルタが形成された基板の上に、スパッタリング法により、例えばITO膜を成膜して、共通電極を形成する。その後、共通電極が形成された基板の上に、スピコート法により、ポジ型のフェノールノボラック系の感光性樹脂を塗布し、その塗布された感光性樹脂膜をフォトマスクを介して露光した後に現像することにより、フォトスペーサを形成する。

[0077] 以上のようにして、対向基板50を製造することができる。

[0078] <貼合工程>

まず、TFT基板10の表面に、印刷法によりポリイミド系樹脂を塗布した後、必要に応じてラビング処理を行って、配向膜55を形成する。また、対向基板50の表面にも、印刷法によりポリイミド系樹脂を塗布した後、必要に応じてラビング処理を行って、配向膜56を形成する。

[0079] 次いで、ディスペンサなどを用いて、配向膜56が設けられた対向基板50に、紫外線硬化性及び熱硬化性を有する併用型樹脂などのシール材52を矩形枠状に描画する。続いて、シール材52が描画された対向基板50のシール材52の内側領域に液晶材料を所定量滴下する。

[0080] そして、液晶材料が滴下された対向基板50と、配向膜55が設けられたTFT基板10とを、減圧下で貼り合わせた後、その貼り合わせた貼合体を大気圧下に開放することにより、貼合体の表面を加圧する。さらに、貼合体のシール材52にUV(UltraViolet)光を照射してシール材52を仮硬化させた後、その貼合体を加熱することにより、シール材52を本硬化させて、TFT基板10と対向基板50とを接着する。

[0081] その後、互いに接着されたTFT基板10及び対向基板50の外表面に対し、偏光板57、58をそれぞれ貼り付ける。

[0082] <実装工程>

両面に偏光板57、58が貼り付けられた貼合体における端子領域10aにACFを配置した後、それらACFを介して各ゲートドライバICチップ53及び各ソースドライバICチップ54を端子領域10aに熱圧着するこ

とにより、それら各ドライバICチップ53, 54を貼合体に実装する。

[0083] 以上の工程を行って、液晶表示装置Sを製造することができる。

[0084] ー実施形態1の効果ー

この実施形態1によると、各TFT29において、SOG膜22がソース電極28sd及びドレイン電極28ddの形成時にエッチングストップパとして機能する構造を有していることにより、ソース電極28sd及びドレイン電極28ddを形成する際、SOG膜22によって酸化物半導体層18ts1のチャネル領域18cが保護されるので、該チャネル領域18cがエッチングによりダメージを受けることがなく、良好な特性のTFT29を得ることができる。また、この実施形態1の構成のTFT基板10は、上述したTFT基板製造工程の如く、計4枚のフォトマスクを用いて製造することができる。したがって、酸化物半導体を用いて良好な特性のTFT29を得ることができると共に、該TFT29を備えたTFT基板10をフォトマスクの枚数を削減して低コストで製造することができる。その結果、液晶表示装置Sとしても低コスト化しながら、表示品位を向上させることができる。

[0085] 《発明の実施形態2》

図13は、この実施形態2に係るTFT基板10の1画素及び各端子部の構成を示す概略平面図である。図14は、図中左側から順に、図13のA-A線、B-B線、C-C線、D-D線における断面構造を示す断面図である。本実施形態では、TFT基板10の構成が上記実施形態1と異なる他は上記実施形態1と同様に構成されているので、構成の異なるTFT基板10についてのみ説明する。なお、以下の実施形態では、図1～図12と同一の構成箇所については、同一符合を付して上記実施形態1の説明に譲ることにし、その詳細な説明を省略する。

[0086] 本実施形態のTFT基板10では、各ゲート配線14gl及び各ゲート電極14gd並びに各保持容量配線14hlが例えばアルミニウム(AI)層、窒化モリブデン(MoN)層及びIZO層が順に積層されて構成されている。そして、図14(A-A断面、C-C断面)に示すように、各ゲート配

線 1 4 g l 及び各保持容量配線 1 4 h l 上には、第 1 絶縁層 1 6 i l 及び第 2 絶縁層 1 7 i l が順に積層され、これら第 1 絶縁層 1 6 i l 及び第 2 絶縁層 1 7 i l により本発明の絶縁層が構成されている。

[0087] すなわち、各ゲート電極 1 4 g d 上にも第 1 ゲート絶縁層 1 6 g i l 及び第 2 ゲート絶縁層 1 7 g i l が順に積層され、これら両ゲート絶縁層 1 6 g i l, 1 7 g i l により本発明のゲート絶縁層が構成されている。また、保持容量電極 1 4 h d 上にも第 1 絶縁層 1 6 i l 及び第 2 絶縁層 1 7 i l が順に積層され、これら両絶縁層 1 6 i l, 1 7 i l と酸化物半導体層 1 8 s l とで保持容量素子 3 1 の誘電層が構成されている。このようにゲート絶縁層は 2 層構造に、保持容量素子 3 1 の誘電層は 3 層構造になっている。上記第 1 ゲート絶縁層 1 6 g i l 及び第 1 絶縁層 1 6 i l は、例えば窒化珪素 (S i N) からなる。上記第 2 ゲート絶縁層 1 7 g i l 及び第 2 絶縁層 1 7 i l は、例えば二酸化珪素 (S i O₂) からなる。

[0088] さらに、各 T F T 2 9 の酸化物半導体層 1 8 t s l には、ソース電極 2 8 s d 及びドレイン電極 2 8 d d の接続部分を除く領域を覆うように第 3 絶縁層 1 9 t i l が積層されている。また、各ゲート配線 1 4 g l 対応箇所の酸化物半導体層 1 8 s l 上にも第 3 絶縁層 1 9 i l が積層されている。そして、S O G 膜 2 2 は、ゲート配線 1 4 g l 及びゲート電極 1 4 g d 上に、第 1 ゲート絶縁層 1 6 g i l 及び第 1 絶縁層 1 6 i l、第 2 ゲート絶縁層 1 7 g i l 及び第 2 絶縁層 1 7 i l、酸化物半導体層 1 8 s l, 1 8 t s l、並びに第 3 絶縁層 1 9 t i l が順に積層されて構成された積層体 2 0 a, 2 0 b を覆うように形成されている。また、上記 S O G 膜 2 2 上には、透明樹脂絶縁膜 2 4 が略全面に亘って設けられている。

[0089] これら第 3 絶縁層 1 9 t i l、S O G 膜 2 2 及び透明樹脂絶縁膜 2 4 には、各 T F T 2 9 の酸化物半導体層 1 8 t s l における突出部 2 0 a p 対応箇所に該酸化物半導体層 1 8 t s l に接続するための一対のコンタクトホール 2 5 c h が形成され、該各コンタクトホール 2 5 c h を介して透明樹脂絶縁膜 2 4 上に形成されたソース電極 2 8 s d 及びドレイン電極 2 8 d d が酸化

物半導体層 18 t s l に接続されている。つまり、本実施形態では、第 3 絶縁層 19 t i l、SOG 膜 22 及び透明樹脂絶縁膜 24 が、本発明のストップパ絶縁膜を構成し、ソース電極 28 s d 及びドレイン電極 28 d d の形成時にチャンネル領域 18 c 上でエッチングストップパとして機能する構造を有している。

[0090] 上記各ソース電極 28 s d 及び各ドレイン電極 28 d d、並びにこれらと共に透明樹脂絶縁膜 24 上に形成された各ソース配線 28 s l は、上記実施形態 1 と同様に、例えば ITO からなる透明導電層 26 s、26 d と遮光導電層 27 s、27 d とが順に積層されて構成されている。遮光導電層 27 s、27 d は、例えば、窒化モリブデン (MoN) 層、アルミニウム (Al) 層及び窒化モリブデン (MoN) 層が積層されて構成されている。

[0091] さらに、SOG 膜 22 及び透明樹脂絶縁膜 24 には、図 14 (B-B 断面) に示すように、上記実施形態 1 の各チャンネル分離用ホール 22 s h に相当する各チャンネル分離用ホール 25 s h が形成されている。これら各チャンネル分離用ホール 25 s h は、図 13 に示すように、SOG 膜 22 及び透明樹脂絶縁膜 24 のゲート配線 14 g l 対応箇所に該ゲート配線 14 g l を配線幅方向に跨るように上記実施形態 1 のチャンネル分離用ホール 22 s h よりも大幅に形成されている。

[0092] また、各画素の保持容量配線 14 h l 対応箇所の第 3 絶縁層 19 i l、SOG 膜 22 及び透明樹脂絶縁膜 24 部分には、図 14 (C-C 断面) に示すように、上記実施形態 1 の保持容量形成用ホール 22 h h に相当する保持容量形成用ホール 25 h h が形成されている。さらに、各ゲート配線 14 g l の端部対応箇所の酸化物半導体層 18 s l、第 3 絶縁層 19 i l、SOG 膜 22 及び透明樹脂絶縁膜 24 部分には、図 14 (D-D 断面) に示すように、上記実施形態 1 の第 1 端子部露出用ホール 22 t h に相当する第 1 端子部露出用ホール 25 t h が形成されている。そして、第 1 絶縁層 16 i l、第 2 絶縁層 17 i l 及び保護絶縁膜 30 には、上記各第 1 端子部露出用ホール 25 t h の内側に穿孔するように第 2 端子部露出用ホール 33 が形成されて

いる。この第2端子部露出用ホール33の内部では、ゲート配線14g lの端部が外部に露出してゲート端子部14g tを構成している。

[0093] －製造方法－

次に、上記TFT基板10の製造するTFT基板製造工程について、図15～図21を参照しながら、一例を挙げて説明する。図15及び図16は、第1のパターニング工程を示す断面図である。図17及び図18は、第2のパターニング工程を示す断面図である。図19は、第3のパターニング工程を示す断面図である。図20及び図21は、第4のパターニング工程を示す断面図である。なお、これら図15～図21は図14対応箇所を示している。

[0094] 本実施形態のTFT基板製造工程も、第1～第4のパターニング工程を含んでいる。

[0095] <第1のパターニング工程>

まず、予め準備したガラス基板などの絶縁性基板12上に、スパッタリング法により、例えばアルミニウム膜、窒化モリブデン膜及びIZO膜を順に成膜して金属積層膜14を形成する。続けて、この金属積層膜14上に、プラズマCVD法により窒化珪素膜などの第1膜16、及び二酸化珪素膜などの第2膜17を順に成膜して、第1絶縁膜である積層絶縁膜16、17を形成する。さらに続けて、この積層絶縁膜16、17上に、スパッタリング法によりIGZO系の酸化物半導体膜18を成膜する。その後続けて、該酸化物半導体膜18上に、プラズマCVD法により二酸化珪素膜などの第3絶縁膜19を成膜する。こうして、図15に示すように積層膜20を形成する。そして、この積層膜20を第1のフォトリソグラフィによりパターニングする。

[0096] すなわち、積層膜20におけるゲート配線14g l及びゲート電極14gd並びに保持容量配線14h lの形成箇所の上にレジストパターンを形成する。続いて、このレジストパターンをマスクとして上記第3絶縁膜19を例えばフッ素系ガスを用いたRIE法によってエッチングしてパターニングす

ることにより、第3絶縁層19i1を形成する。

[0097] 次いで、上記レジストパターン及び第3絶縁層19i1をマスクとして、上記酸化物半導体膜18を例えばシュウ酸液にてエッチングしてパターニングすることにより、酸化物半導体層18s1を形成する。続いて、上記レジストパターン、第3絶縁層19i1及び酸化物半導体層18s1をマスクとして上記積層絶縁膜（第1膜及び第2膜）16、17を例えばフッ素系ガスを用いたRIE法によってエッチングしてパターニングすることにより、第1絶縁層16i1及び第2絶縁層17i1を形成する。

[0098] さらに、上記レジストパターン、第3絶縁層19i1、酸化物半導体層18s1、第2絶縁層17i1及び第1絶縁層16i1をマスクとして上記金属積層膜（アルミニウム膜、窒化モリブデン膜及びIZO膜）14を例えば燐酸、酢酸及び硝酸の混合液にてエッチングしてパターニングする。その後、レジスト剥離液によりレジストパターンを剥離洗浄する。こうして、ゲート配線14g1及びゲート電極14gd、並びに保持容量配線14h1を形成する。

[0099] 以上により、図16に示すように、ゲート配線14g1及びゲート電極14gd、並びに保持容量配線14h1、これらの上に第1絶縁層16i1、第2絶縁層17i1、酸化物半導体層18s1及び第3絶縁層19i1が順に積層された積層体20a、20bを形成する。こうして形成した積層体20aにおいては、上記各ゲート電極14gd対応箇所の第1絶縁層16i1及び第2絶縁層17i1部分により第1ゲート絶縁層16gi1及び第2ゲート絶縁層17gi1が、上記各ゲート電極14gd対応箇所の酸化物半導体層18s1部分によりTFT29の酸化物半導体層18ts1がそれぞれ構成される。

[0100] <第2のパターニング工程>

上記積層体20a、20bが形成された基板上に、上記実施形態1と同様にして、SOG膜22を成膜する。次いで、このSOG膜22上に、スピコート法又はスリットコート法により透明樹脂絶縁材料を塗布し、該塗布膜

を第2のフォトマスクを介して露光した後に現像する。そのことにより、図17に示すように、コンタクトホール25ch及び各種ホール25sh, 25hh, 25thの一部を構成するホール25ch', 25sh', 25hh', 25th'をそれぞれ有する透明樹脂絶縁膜24を成膜する。これらSOG膜22及び透明樹脂絶縁膜24により本実施形態の第2絶縁膜が構成される。

[0101] その後、この透明樹脂絶縁膜24をマスクとしてSOG膜22及び第3絶縁層19i1を例えばフッ素系ガスを用いたRIE法によってエッチングしてパターニングする。そのことにより、図18に示すように、各々、上記透明樹脂絶縁膜24の各ホール25ch', 25sh', 25hh', 25th'に連続するように、各ゲート電極14gd対応箇所に酸化物半導体層18ts1に達する一対のコンタクトホール25chを、共通のゲート配線14glに接続された隣り合うゲート電極14gdの間におけるゲート配線14gl対応箇所に酸化物半導体層18s1に達するチャネル分離用ホール25shを、各ゲート配線14glの端部対応箇所に第1端子部露出用ホール25thをそれぞれ形成して、当該第3絶縁層19i1、SOG膜22及び透明樹脂絶縁膜24をストッパ絶縁膜とする。このとき、各チャネル分離用ホール25shは大幅に形成されるため、該各チャネル分離用ホール25shからゲート配線14glの幅方向全体に亘って酸化物半導体層18s1の一部が露出する。

[0102] <第3のパターニング工程>

上記SOG膜22及び透明樹脂絶縁膜24が形成された基板上に、スパッタリング法により、例えばITO膜などの透明導電膜26を成膜する。続けて、この透明導電膜26上に、スパッタリング法により、例えば窒化モリブデン膜、アルミニウム膜及び窒化モリブデン膜を順に成膜して遮光導電膜27を形成し、透明導電膜26及び遮光導電膜27が順に積層された第2導電膜である積層導電膜28を形成する。

[0103] 次に、上記積層導電膜28上におけるソース配線28s1及びソース電極

28 s d、ドレイン電極 28 d d、並びに画素電極 26 p dの形成箇所の上に第3のフォトマスクを用いてレジストパターンを形成する。そして、このレジストパターンをマスクとして、燐酸、例えば酢酸及び硝酸の混合液にて上記遮光導電膜（窒化モリブデン膜、アルミニウム膜及び窒化モリブデン膜）27をエッチングする。続けて、例えばシュウ酸液にて透明導電膜26をエッチングして積層導電膜28をパターンニングする。その後、レジスト剥離液によってレジストパターンを剥離洗浄する。こうして、図19（A-A断面）に示すように、ソース配線28 s l及びソース電極28 s d並びにドレイン電極28 d dを形成してTFT29を構成すると共に、遮光導電層27 p dが積層された状態の画素電極26 p dを形成する。このとき、第3絶縁層19 i l、SOG膜22及び透明樹脂絶縁膜24がチャネル領域18 c上でエッチングストップとして機能するため、該チャネル領域18 cがエッチングによりダメージを受けない。

[0104] また、透明導電膜26のパターンニングと同時に、図19（B-B断面）に示すように、各チャネル分離用ホール25 s hを介して、ゲート配線14 g l対応箇所に位置する酸化物半導体層18 s lを一部除去して分断する。このとき、各チャネル分離用ホール25 s hからゲート配線14 g lの幅方向全体に亘って酸化物半導体層18 s lの一部が露出しているため、該酸化物半導体層18 s lの一部を除去して、共通のゲート配線14 g lに接続された隣り合うゲート電極14 g d上の酸化物半導体層18 t s lが確実に分離される。またそれと共に、図19（D-D断面）に示すように、各第1端子部露出用ホール25 t hを介して酸化物半導体層18 s lを一部除去して第2絶縁層17 i lを露出させる。

[0105] <第4のパターンニング工程>

ソース配線28 s l及びソース電極28 s d、ドレイン電極28 d d、並びに遮光導電層27 p dが積層された状態の画素電極26 p dが形成された基板の上に、プラズマCVD法により、図20に示すように、例えば二酸化珪素からなる保護絶縁膜30を成膜する。

[0106] 次いで、上記保護絶縁膜 30 における各画素電極 26 p d、各ソース配線 28 s l の端部及び第 1 端子部露出用ホール 25 t h の対応箇所以外の領域上に、第 4 のフォトマスクを用いてレジストパターンを形成する。そして、このレジストパターンをマスクとして、例えばフッ素系ガスを用いた R I E 法により上記保護絶縁膜 30 をエッチングしてパターンニングする。その後、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、図 21 に示すように、該保護絶縁膜 30 の各画素電極 26 p d 対応箇所に開口 30 a を、各ソース配線 28 s l の端部対向箇所に端子部露出用ホール 30 t h を、各第 1 端子部露出用ホール 25 t h 対応箇所における第 1 絶縁層 16 i l、第 2 絶縁層 17 i l 及び保護絶縁膜 30 に第 2 端子部露出用ホール 33 をそれぞれ形成し、上記端子部露出用ホール 30 t h から各ソース配線 28 s l の端部を外部に露出させてソース端子部 28 s t を構成すると共に、上記第 2 端子部露出用ホール 33 から各ゲート配線 14 g l の端部を外部に露出させてゲート端子部 14 g t を構成する。

[0107] 続いて、上記レジストパターン及び保護絶縁膜 30 をマスクとして、例えば塩素系ガスを用いた R I E 法により保護絶縁膜 30 の各開口 30 a を介して各画素電極 26 p d 上の遮光導電層 27 p d をエッチングして除去する。その後、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、各画素電極 26 p d を透明導電層のみで構成すると共に外部に露出させる。

[0108] 以上のようにして、T F T 基板 10 を製造することができる。

[0109] ー実施形態 2 の効果ー

この実施形態 2 によっても、上記実施形態 1 と同様に、酸化物半導体を用いて良好な特性の T F T 29 を得ることができると共に、該 T F T 29 を備えた T F T 基板 10 をフォトマスクの枚数を削減して低コストで製造することができる。

[0110] 《発明の実施形態 3》

図 22 は、この実施形態 3 に係る T F T 基板 10 の 1 画素及び各端子部の

構成を示す概略平面図である。図23は、図中左側から順に、図22のA-A線、B-B線、C-C線、D-D線における断面構造を示す断面図である。本実施形態でも、TFT基板10の構成が上記実施形態1と異なる他は上記実施形態1と同様に構成されているので、構成の異なるTFT基板10についてのみ説明する。

[0111] 本実施形態のTFT基板10は、反射型の液晶表示装置に適用されるTFT基板であって、各画素電極28pdがソース電極28sd及びドレイン電極28ddと同一膜から形成され、例えばアルミニウム(AI)層及び窒化モリブデン(MoN)層が順に積層されて構成されている。そして、これら各画素電極28pdは、保護絶縁膜30によって覆われている。

[0112] ー製造方法ー

次に、上記TFT基板10を製造するTFT基板製造工程について、図24及び図25を参照しながら説明する。図24は、第3のパターニング工程を示す断面図である。図25は、第4のパターニング工程を示す断面図である。なお、これら図24及び図25は図23対応箇所を示している。

[0113] 本実施形態のTFT基板製造工程も、第1～第4のパターニング工程を含んでいる。ここで、第1及び第2のパターニング工程は、上記第1実施形態と同様であるので、その説明を省略する。

[0114] <第3のパターニング工程>

上記SOG膜22が形成された基板上に、スパッタリング法により、例えば窒化モリブデン膜及びアルミニウム膜を順に成膜して第2導電膜である金属積層膜を形成する。

[0115] 次いで、この金属積層膜におけるソース配線28sl及びソース電極28sd、ドレイン電極28dd、並びに画素電極28pdの形成箇所の上に第3のフォトリソマスクを用いてレジストパターンを形成する。そして、このレジストパターンをマスクとして、例えば燐酸、酢酸及び硝酸の混合液にて上記金属積層膜(窒化モリブデン膜及びアルミニウム膜)をエッチングしてパターニングする。その後、レジスト剥離液にてレジストパターンを剥離洗浄

する。こうして、図24（A-A断面）に示すように、ソース配線28s1及びソース電極28sd並びにドレイン電極28ddを形成してTFT29を構成すると共に画素電極28pdを形成する。このとき、SOG膜22がチャンネル領域18c上でエッチングストッパとして機能するため、該チャンネル領域18cがエッチングによりダメージを受けない。

[0116] また、上記金属積層膜のパターニングと同時に、各チャンネル分離用ホール22shを介して酸化物半導体層18slを一部除去して分断し、各TFT29の酸化物半導体層14tslを互いに分離させると共に、各第1端子部露出用ホール22thを介して酸化物半導体層18slを一部除去して絶縁層16ilを露出させる。

[0117] <第4のパターニング工程>

ソース配線28s1及びソース電極28sd、ドレイン電極28dd、並びに画素電極28pdが形成された基板上に、上記実施形態1と同様にして、図25に示すように保護絶縁膜30を成膜する。そして、この保護絶縁膜30における各ソース配線28s1の端部及び第1端子部露出用ホール22th対応箇所以外の領域上に、第4のフォトリソマスクを用いてレジストパターンを形成する。そして、このレジストパターンをマスクとして上記保護絶縁膜30をエッチングしてパターニングする。その後、レジスト剥離液にてレジストパターンを剥離洗浄する。こうして、各ソース配線28s1の端部対応箇所に端子部露出用ホール30thを、各第1端子部露出用ホール22th対応箇所における保護絶縁膜30及び絶縁層16ilに第2端子部露出用ホール32をそれぞれ形成し、上記端子部露出用ホール30thから各ソース配線28s1の端部を外部に露出させてソース端子部28stを構成すると共に、上記第2端子部露出用ホール32から各ゲート配線14glの端部を外部に露出させてゲート端子部14gtを構成する。

[0118] 以上のようにして、TFT基板10を製造することができる。

[0119] ー実施形態3の効果ー

この実施形態3によっても、上記実施形態1と同様に、酸化物半導体を用

いて良好な特性のTFT29を得ることができると共に、該TFT29を備えた反射型の液晶表示装置Sに適用するTFT基板10をフォトマスクの枚数を削減して低コストで製造することができる。

[0120] なお、上記各実施形態では、各チャネル分離用ホール22sh, 25shがゲート電極14gd構成部分を除くゲート配線14gl対応箇所の一部に形成され、該ゲート配線14gl対応箇所の他部においては絶縁層16il, 17il上に酸化物半導体層18slが設けられている形態について説明したが、本発明はこれに限らない。各チャネル分離用ホール22sh, 25shは、ゲート電極14gd構成部分を除くゲート配線14gl対応箇所の全体に形成され、該ゲート配線14gl対応箇所の絶縁層16il, 17il上には酸化物半導体層18slが設けられていなくても構わない。

[0121] また、上記各実施形態では、液晶表示装置Sを構成するTFT基板10について説明したが、本発明はこれに限らず、有機EL (Electro Luminescence) 表示装置などの他の表示装置やそれを構成するTFT基板、及びそれらの製造方法にも適用することができる。

[0122] 以上、本発明の好ましい実施形態について説明したが、本発明の技術的範囲は上記実施形態に記載の範囲に限定されない。上記実施形態が例示であり、それらの各構成要素や各処理プロセスの組合せに、さらにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

産業上の利用可能性

[0123] 以上説明したように、本発明は、TFT基板及びそれを備えた液晶表示装置並びにTFT基板の製造方法について有用であり、特に、酸化物半導体を用いて良好な特性のTFTを得ると共に、該TFTを備えたTFT基板を低コストで製造することが要望されるTFT基板及びそれを備えた液晶表示装置並びにTFT基板の製造方法に適している。

符号の説明

[0124] S 液晶表示装置

1 0	T F T 基板（薄膜トランジスタ基板）
1 2	絶縁性基板（ベース基板）
1 4	金属積層膜（第 1 導電膜）
1 4 g l	ゲート配線
1 4 g d	ゲート電極
1 6	第 1 絶縁膜
1 6 i l	絶縁層、第 1 絶縁層
1 6 g i l	ゲート絶縁層、第 1 ゲート絶縁層
1 7 i l	第 2 絶縁層
1 7 g i l	第 2 ゲート絶縁層
1 8	酸化物半導体膜
1 8 c	チャネル領域
1 8 s l , 1 8 t s l	酸化物半導体層
2 0	積層膜
2 0 a	積層体
2 2	S O G 膜（第 2 絶縁膜、ストッパ絶縁膜）
2 4	透明樹脂絶縁膜
2 2 c h , 2 5 c h	コンタクトホール
2 2 s h , 2 5 s h	チャネル分離用ホール
2 2 t h , 2 5 t h	第 1 端子部露出用ホール（端子部露出用ホール
)	
2 6 s , 2 6 d	透明導電層
2 6 p d	画素電極
2 7 s , 2 7 d	遮光導電層
2 8	積層導電膜（第 2 導電膜）
2 8 s l	ソース配線
2 8 g d	ソース電極
2 8 d d	ドレイン電極

29	TFT（薄膜トランジスタ）
30	保護絶縁膜
30a	開口
50	対向基板
51	液晶層

請求の範囲

[請求項1]

ベース基板と、

上記ベース基板上に互いに平行に延びるように設けられた複数のゲート配線と、

上記各ゲート配線と交差する方向に互いに平行に延びるように設けられた複数のソース配線と、

上記各ゲート配線と上記各ソース配線との交差部毎に設けられた薄膜トランジスタと、

上記各薄膜トランジスタ毎に設けられた画素電極とを備え、

上記各薄膜トランジスタが、対応する交差部を構成するゲート配線に接続されたゲート電極と、該ゲート電極上に設けられたゲート絶縁層と、該ゲート絶縁層上に設けられ、上記ゲート電極に重なるチャンネル領域を有する酸化物半導体層と、該酸化物半導体層の一方側に接続されると共に対応する交差部を構成するソース配線に接続されたソース電極と、該ソース電極に対峙するように上記酸化物半導体層の他方側に接続されたドレイン電極とを備えた薄膜トランジスタ基板であって、

上記各薄膜トランジスタでは、上記ゲート電極、ゲート絶縁層及び酸化物半導体層は互いの側端面が一致するように形成されて積層体を構成し、該積層体を覆うようにストッパ絶縁膜が設けられ、該ストッパ絶縁膜に上記酸化物半導体層に接続するための一対のコンタクトホールが形成されて、一方のコンタクトホールを介して上記ソース電極が、他方のコンタクトホールを介して上記ドレイン電極が上記酸化物半導体層にそれぞれ接続され、上記ストッパ絶縁膜が上記ソース電極及びドレイン電極の形成時に上記チャンネル領域上でエッチングストッパとして機能する構造を有しており、

上記各ゲート配線上にも上記ゲート絶縁層と同一膜からなる絶縁層が積層され、

上記ストッパ絶縁膜は、上記各ゲート配線及び絶縁層の側端面の少なくとも一部をも覆うように形成され、且つ共通の上記ゲート配線に接続された隣り合う薄膜トランジスタの間におけるゲート配線対応箇所にチャンネル分離用ホールを有し、該各チャンネル分離用ホールの内部で上記隣り合う薄膜トランジスタの酸化物半導体層が分断されて互いのチャンネル領域が分離されていると共に、上記各ゲート配線の端部対応箇所に端子部露出用ホールを有し、該各端子部露出用ホールの内部で上記ゲート配線の端部が上記絶縁層から露出して端子部を構成し、

上記各画素電極は、上記ドレイン電極を構成する少なくとも一層と同一膜から形成されている

ことを特徴とする薄膜トランジスタ基板。

[請求項2]

請求項1に記載の薄膜トランジスタ基板において、

上記各チャンネル分離用ホールは、上記ストッパ絶縁膜のゲート配線対応箇所に全体が収まるように形成され、

上記各酸化物半導体層は、上記ストッパ絶縁膜に対するチャンネル分離用ホールの形成時に、上記各ゲート配線対応箇所にも形成されておりエッチングストッパとして機能する

ことを特徴とする薄膜トランジスタ基板。

[請求項3]

請求項1に記載の薄膜トランジスタ基板において、

上記各チャンネル分離用ホールは、上記ストッパ絶縁膜のゲート配線対応箇所に該ゲート配線を配線幅方向に跨るように形成されている

ことを特徴とする薄膜トランジスタ基板。

[請求項4]

請求項1～3のいずれか1項に記載の薄膜トランジスタ基板において、

上記各薄膜トランジスタは、保護絶縁膜によって覆われている

ことを特徴とする薄膜トランジスタ基板。

[請求項5]

請求項4に記載の薄膜トランジスタ基板において、

上記各ドレイン電極は、透明導電層及び遮光導電層が順に積層され

て構成され、

上記各画素電極は、上記透明導電層と同一膜から形成され、
上記保護絶縁膜の各画素電極対応箇所には開口が形成され、
上記各ドレイン電極の遮光導電層は、対応する上記画素電極側の端面が上記保護絶縁膜の開口内面に一致するように形成されている
ことを特徴とする薄膜トランジスタ基板。

[請求項6] 請求項 1～5 のいずれか 1 項に記載の薄膜トランジスタ基板において、

上記ストッパ絶縁膜は、スピノンガラス材料からなる
ことを特徴とする薄膜トランジスタ基板。

[請求項7] 請求項 1～6 のいずれか 1 項に記載の薄膜トランジスタ基板において、

上記酸化物半導体層は、インジウムガリウム亜鉛酸化物系の金属酸化物からなる
ことを特徴とする薄膜トランジスタ基板。

[請求項8] 請求項 1～7 のいずれか 1 項に記載の薄膜トランジスタ基板と、
上記薄膜トランジスタ基板に対向して配置された対向基板と、
上記薄膜トランジスタ基板と上記対向基板との間に設けられた液晶層とを備える
ことを特徴とする液晶表示装置。

[請求項9] 請求項 1 に記載の薄膜トランジスタ基板を製造する方法であって、
上記ベース基板上に第 1 導電膜、第 1 絶縁膜及び酸化物半導体膜を順に成膜することで積層膜を形成した後、該積層膜を第 1 のフォトマスクを用いてパターニングすることにより、上記第 1 導電膜から上記ゲート配線及びゲート電極を、上記第 1 絶縁膜から上記絶縁層を、上記酸化物半導体膜から上記酸化物半導体層をそれぞれ形成して、上記ゲート配線及びゲート電極、これらの上に絶縁層及び酸化物半導体層が順に積層された積層体を形成し、上記各ゲート電極対応箇所の絶縁

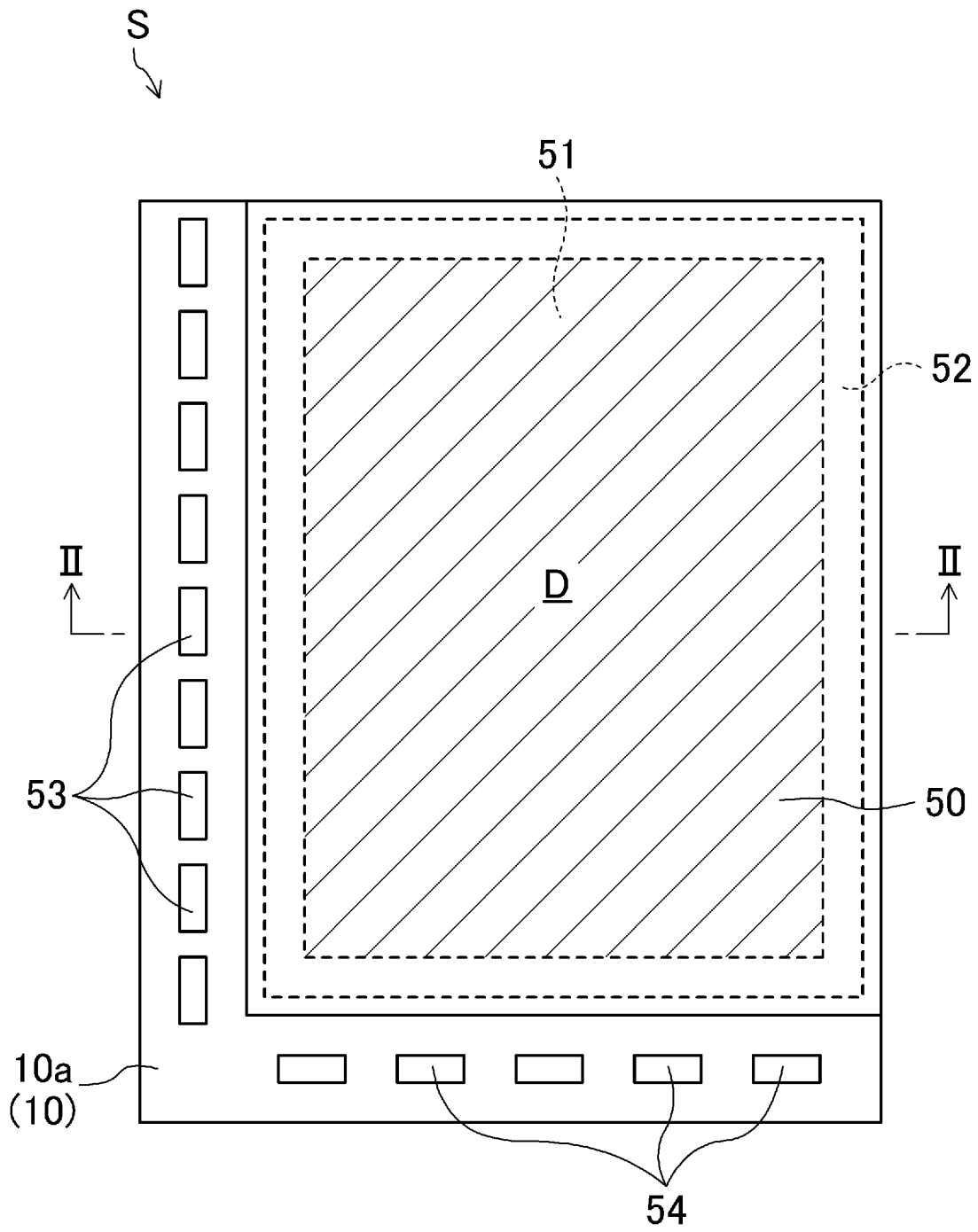
層部分で上記ゲート絶縁層を構成する第1のパターニング工程と、

上記積層体を覆うように第2絶縁膜を成膜した後、該第2絶縁膜を第2のフォトリソを用いてパターニングすることにより、上記各ゲート電極対応箇所に上記酸化物半導体層に達する一対のコンタクトホールを、共通の上記ゲート配線に接続された隣り合うゲート電極の間におけるゲート配線対応箇所に上記酸化物半導体層に達するチャンネル分離用ホールを、上記各ゲート配線の端部対応箇所に端子部露出用ホールをそれぞれ形成して、当該第2絶縁膜を上記ストッパ絶縁膜とする第2のパターニング工程と、

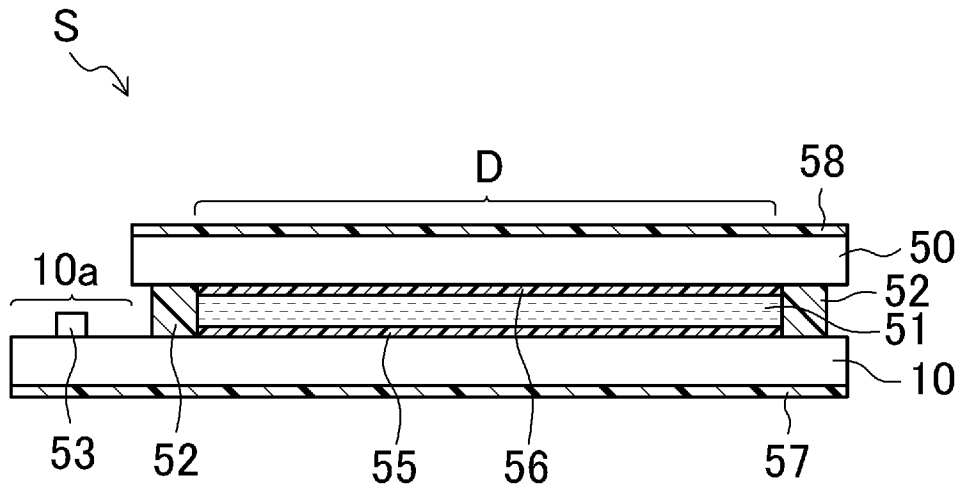
上記ストッパ絶縁膜上に第2導電膜を成膜した後、上記ストッパ絶縁膜をエッチングストッパとして上記第2導電膜を第3のフォトリソを用いてパターニングすることにより、上記ソース配線及びソース電極、ドレイン電極、並びに画素電極を形成すると共に、上記各チャンネル分離用ホールを介して上記酸化物半導体層を一部除去して分断することで、上記共通のゲート配線に接続された隣り合うゲート電極上の酸化物半導体層を互いに分離し、且つ、上記端子部露出用ホールを介して上記酸化物半導体層を一部除去して上記絶縁層を露出させる第3のパターニング工程と、

上記各端子部露出用ホールを介して上記ストッパ絶縁膜から露出した絶縁層を第4のフォトリソを用いてパターニングすることにより、該各絶縁層から上記各ゲート配線の端部を外部に露出させて、該各ゲート配線の端子部を構成する第4のパターニング工程とを含むことを特徴とする薄膜トランジスタ基板の製造方法。

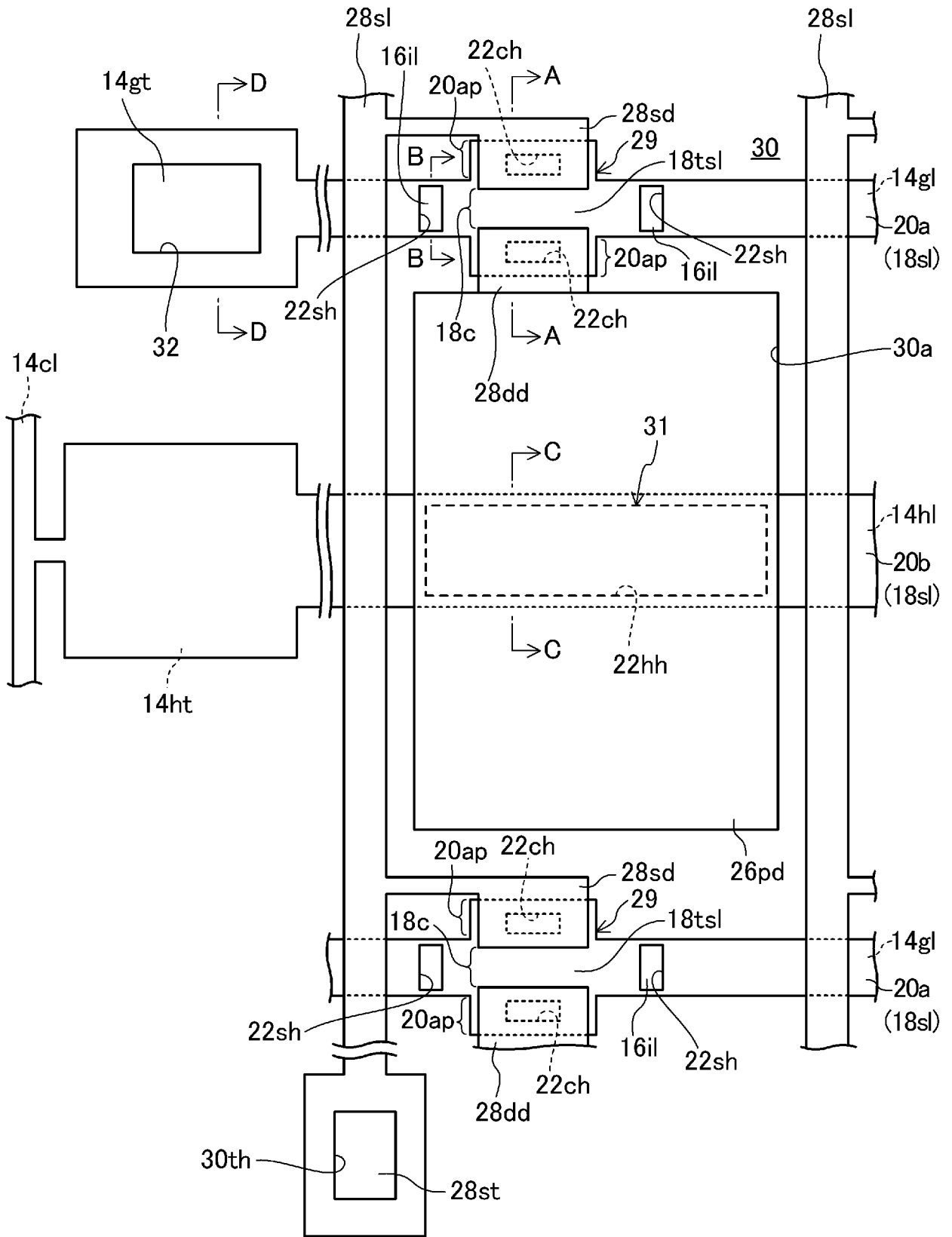
[図1]



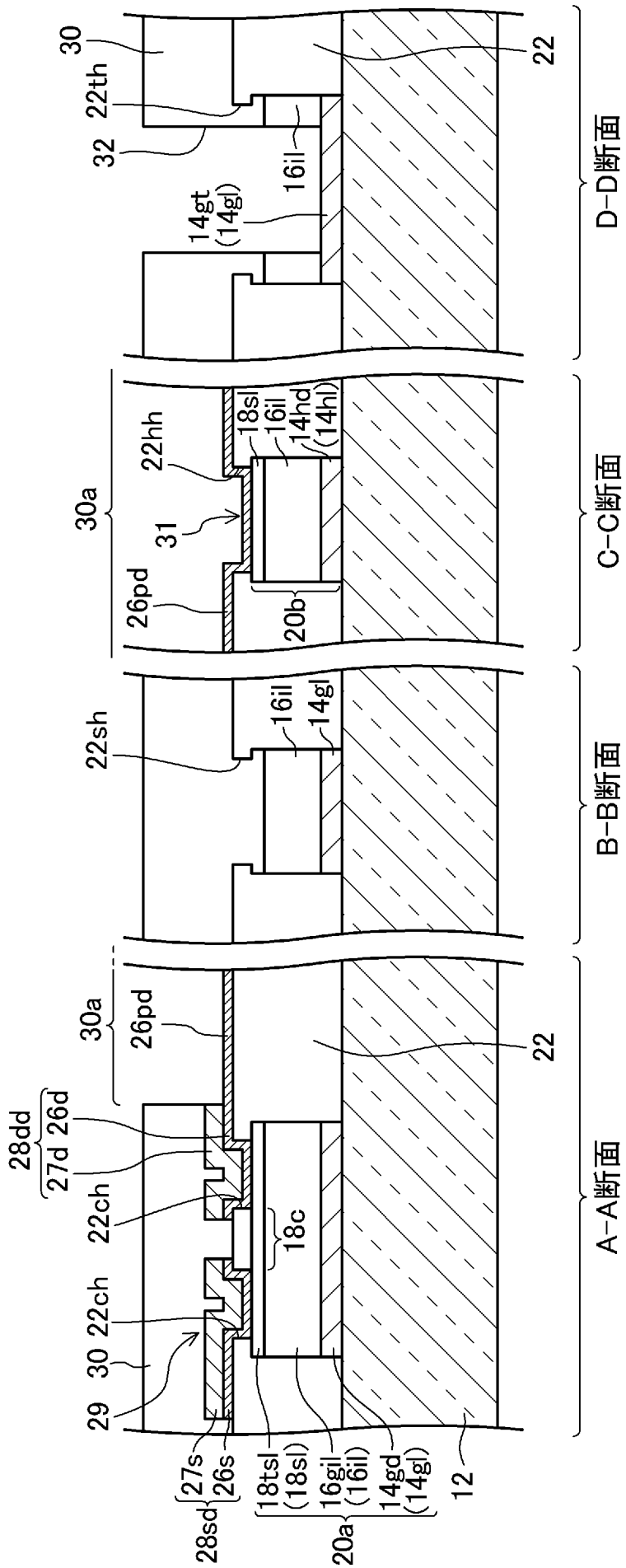
[図2]



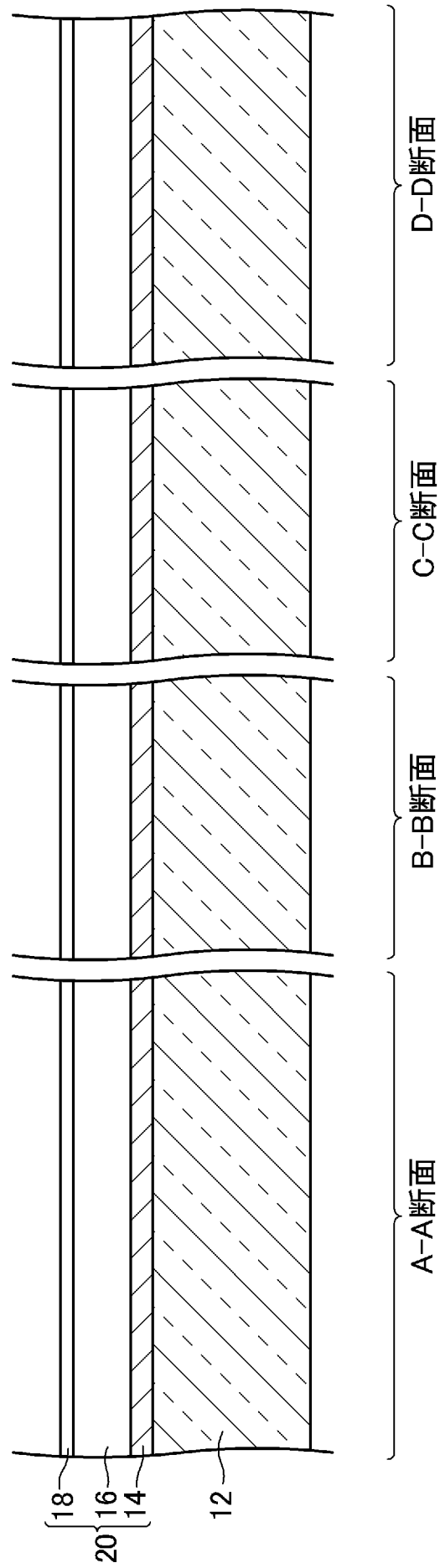
[図3]



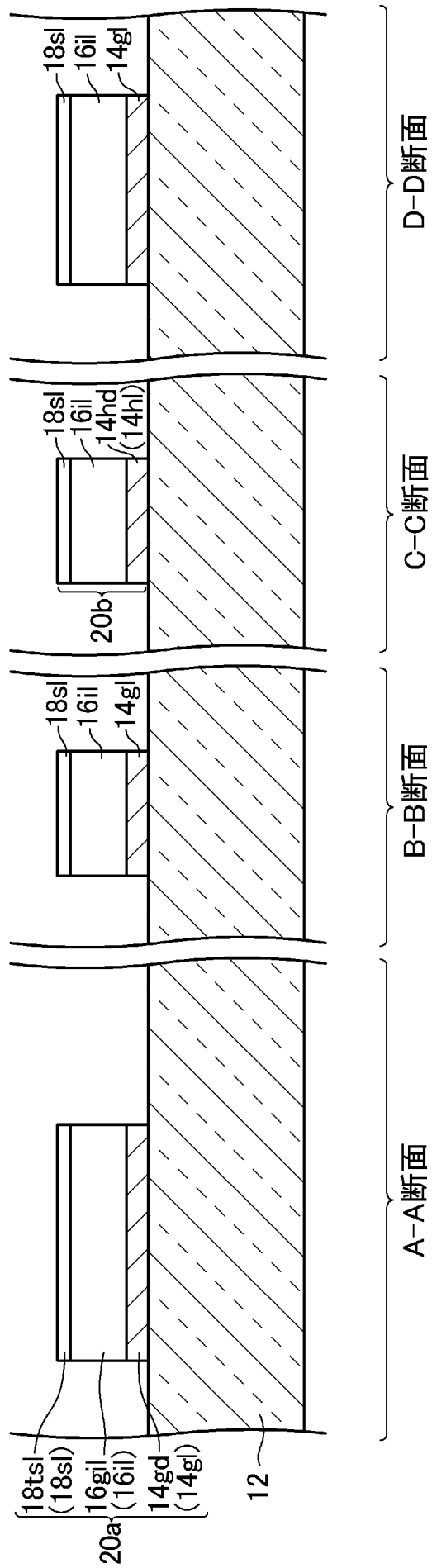
[図4]



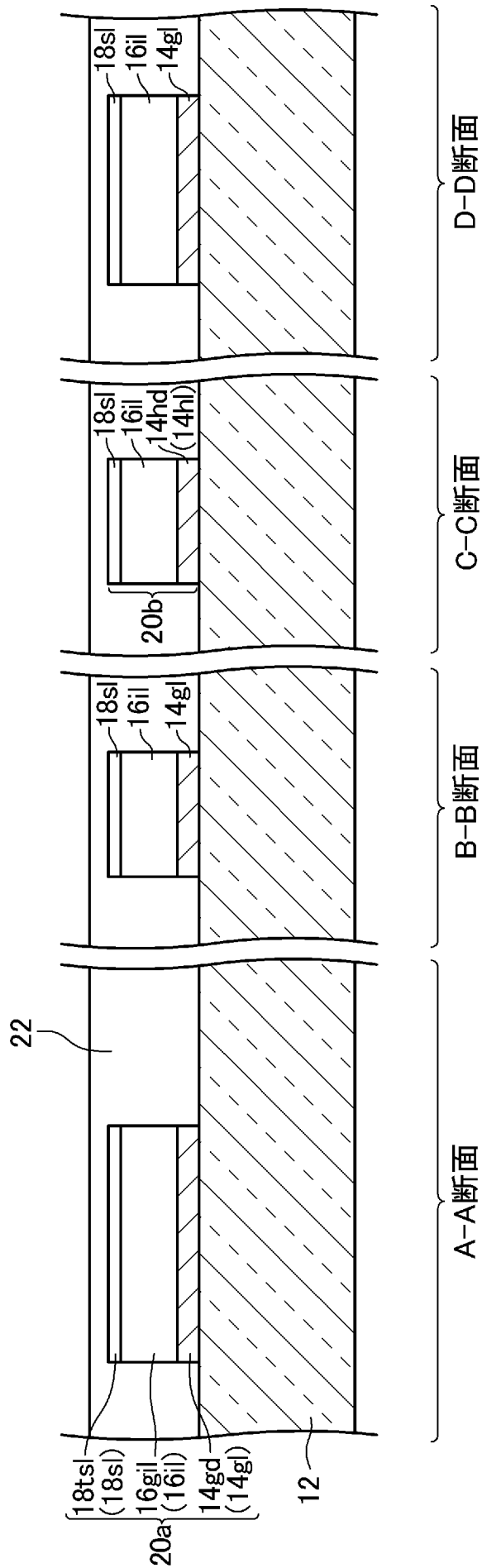
[図5]



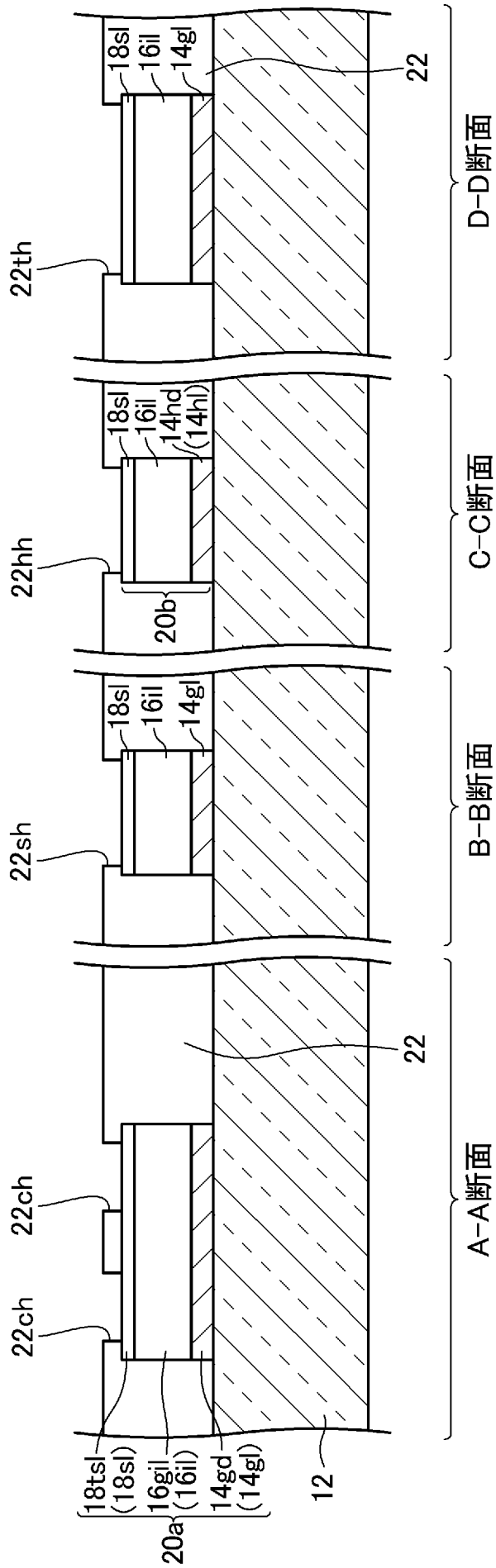
[図6]



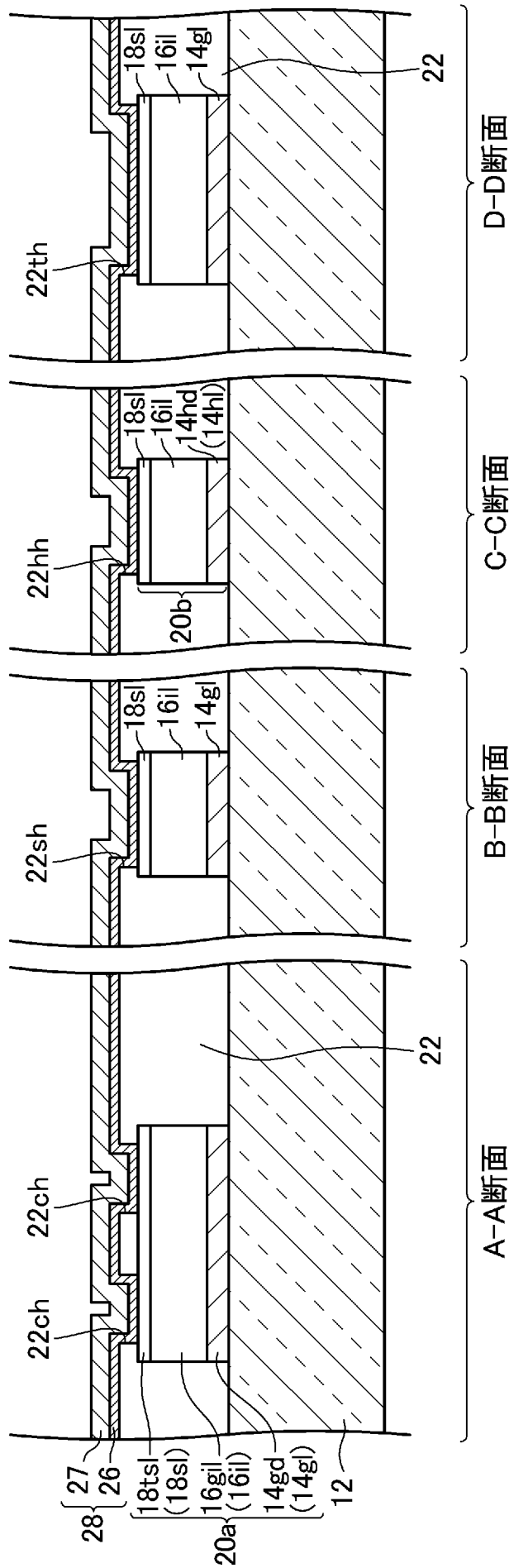
[図7]



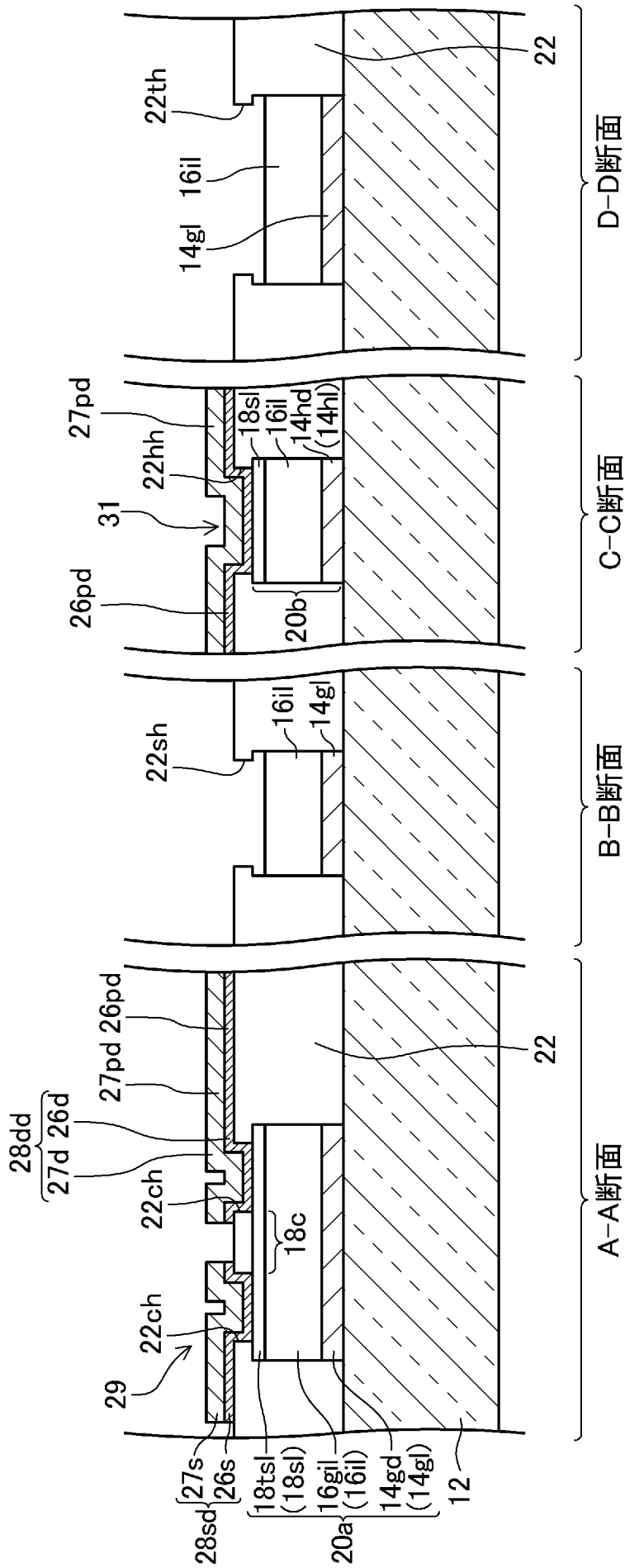
[図8]



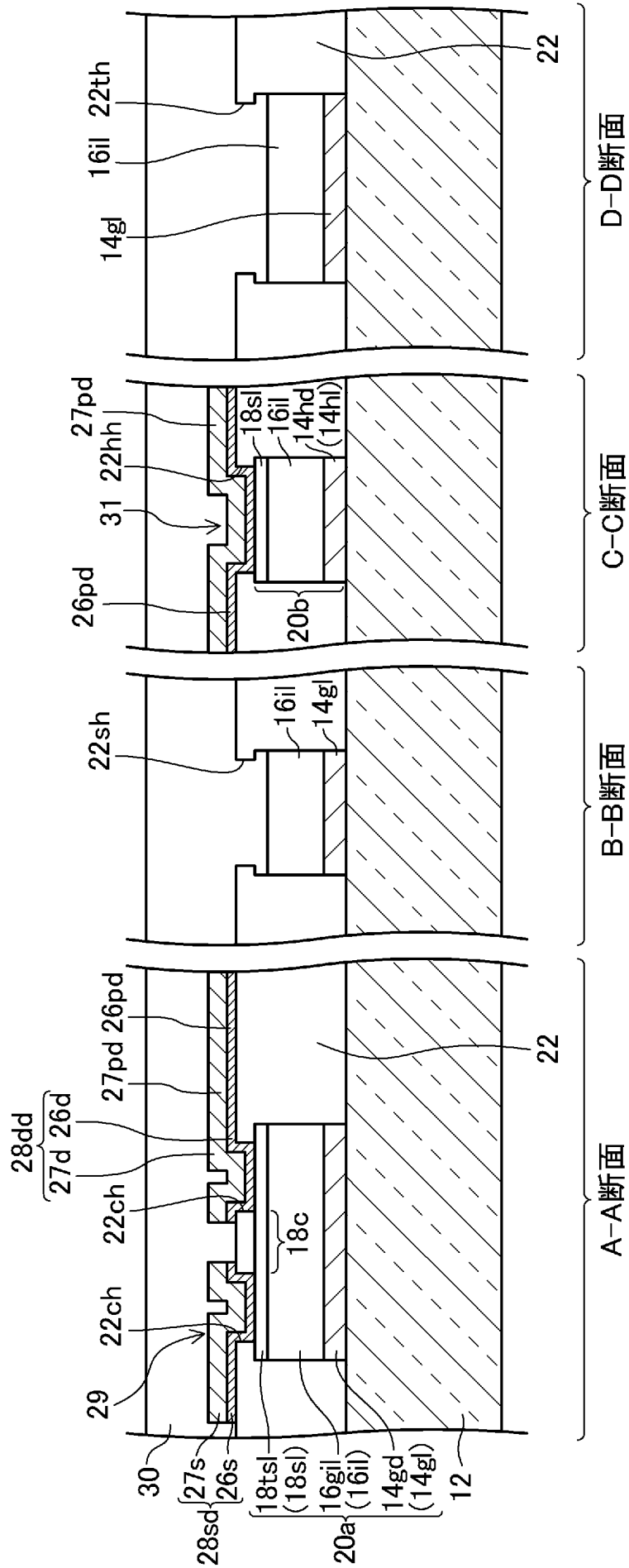
[図9]



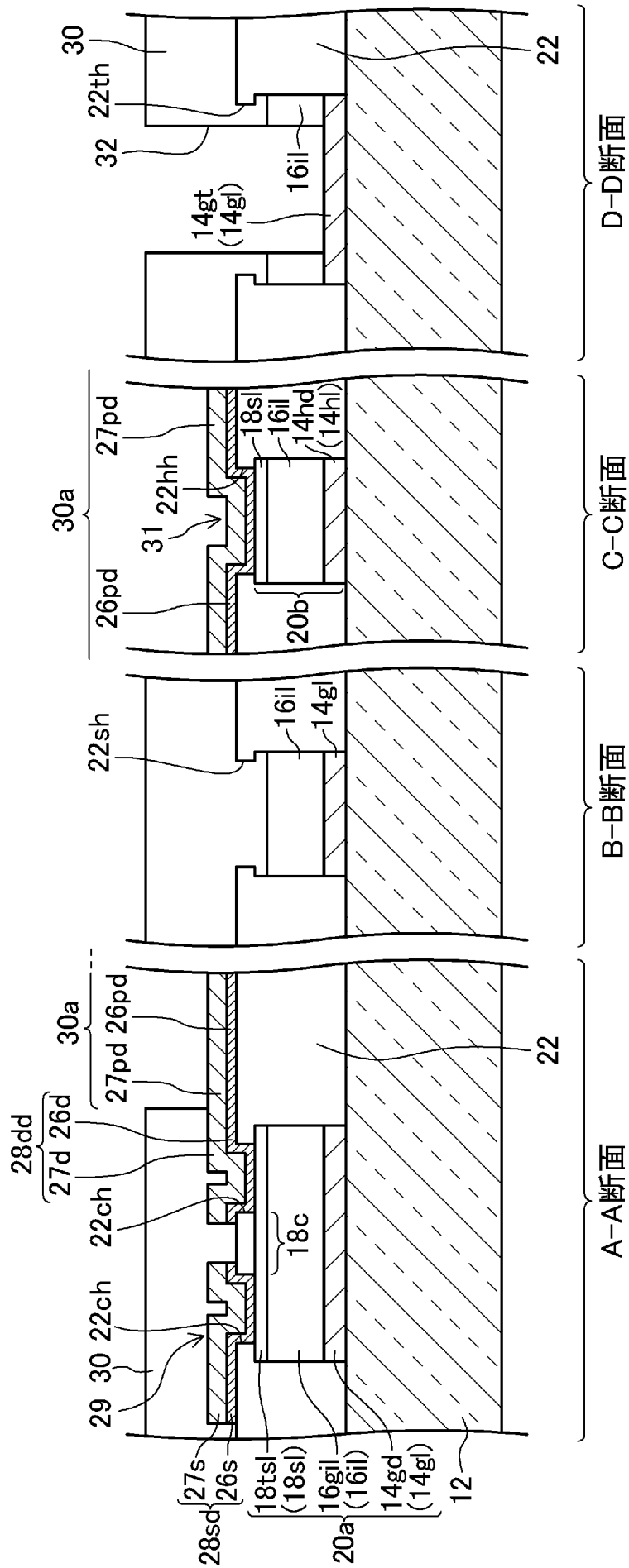
[図10]



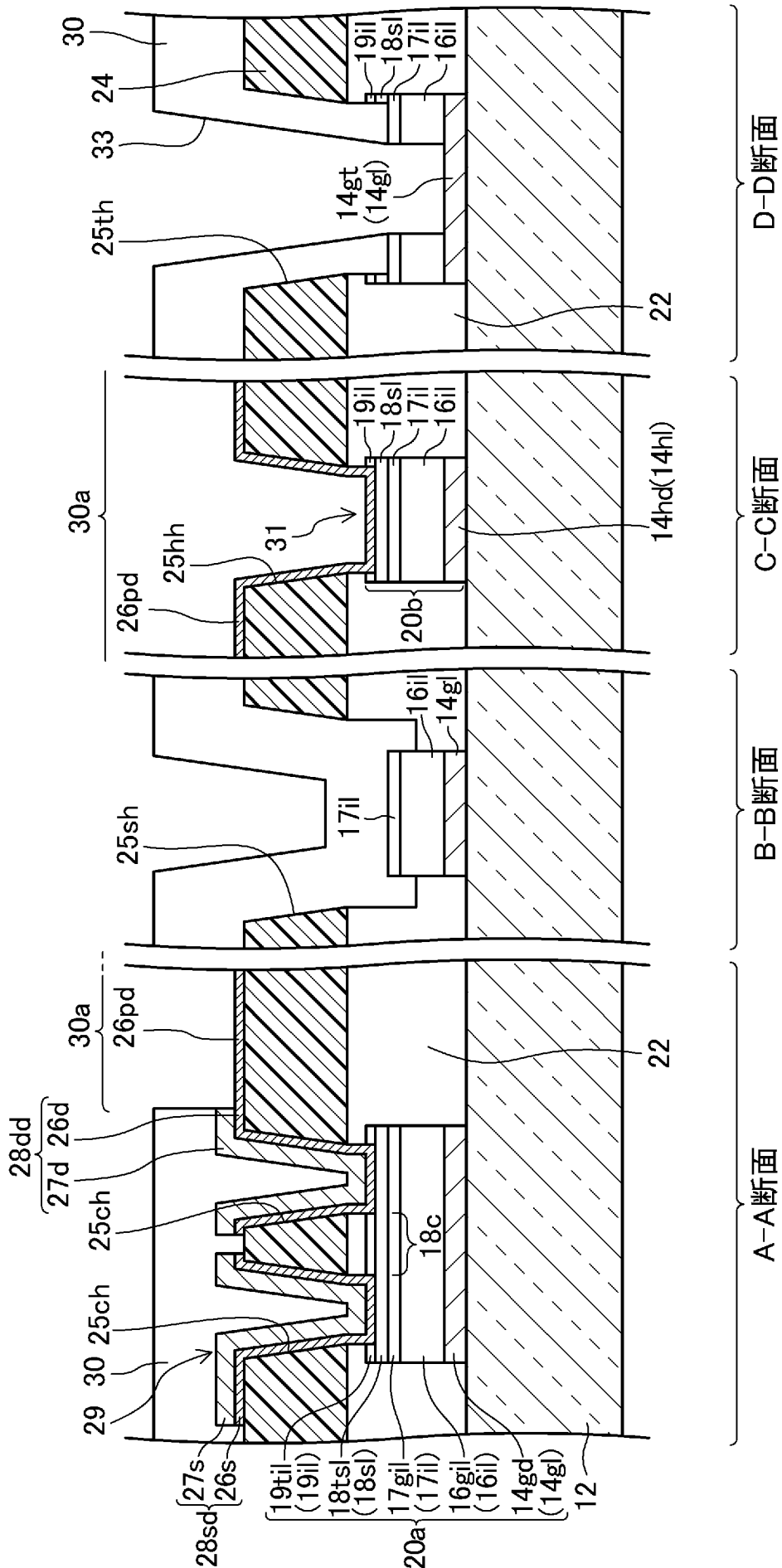
[図11]



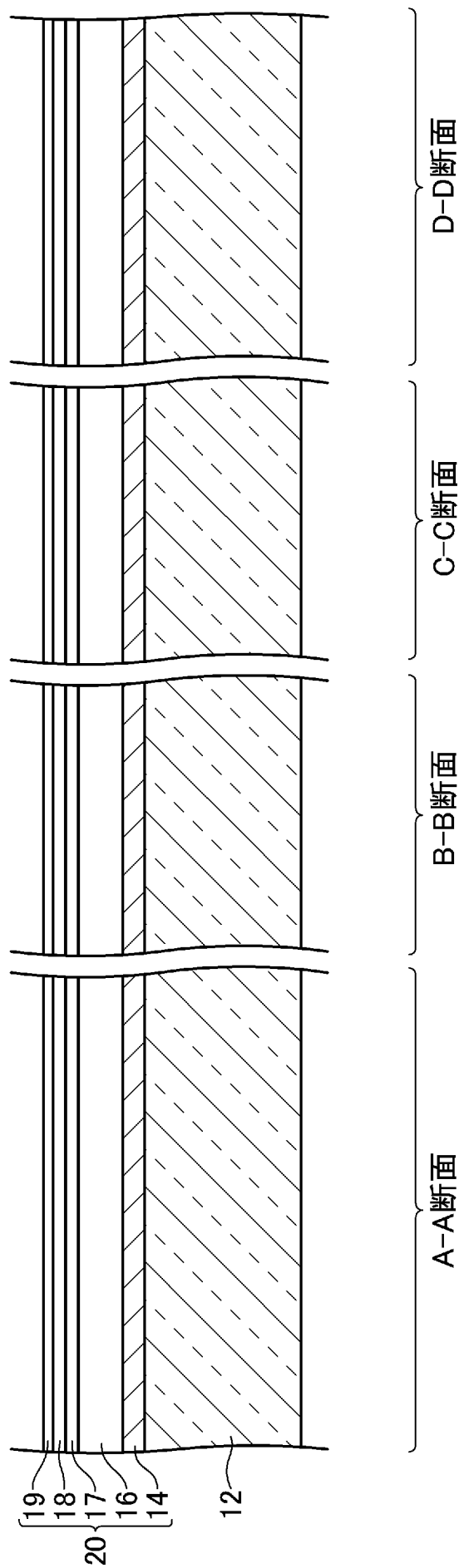
[図12]



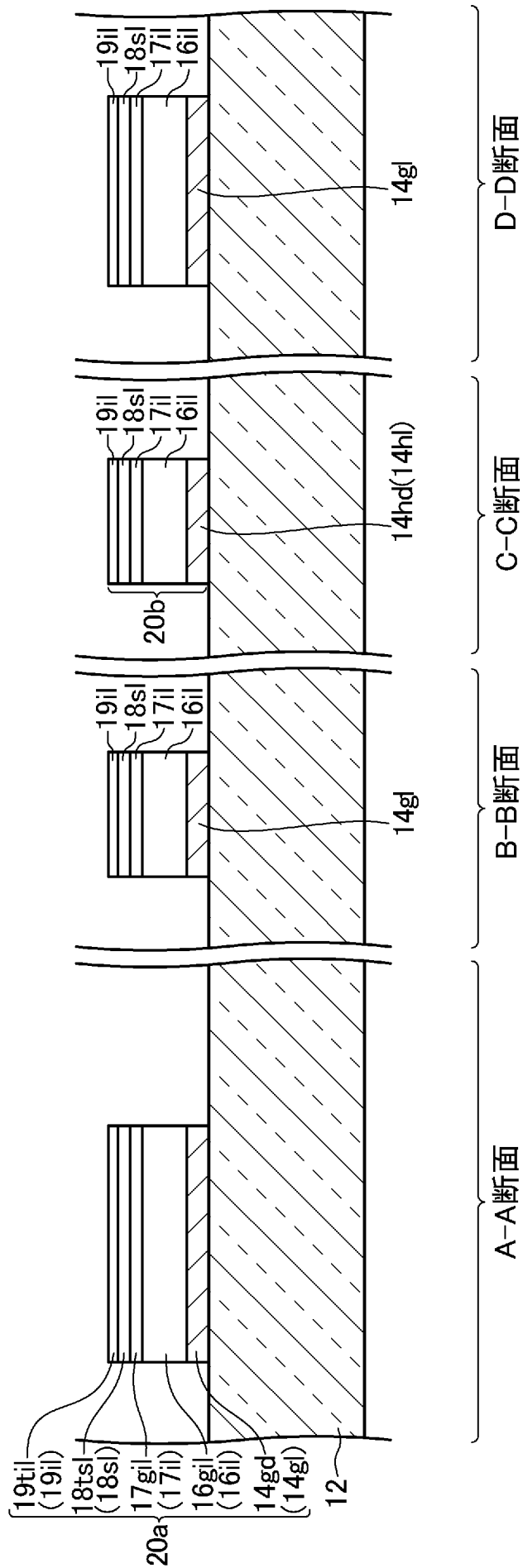
[図14]



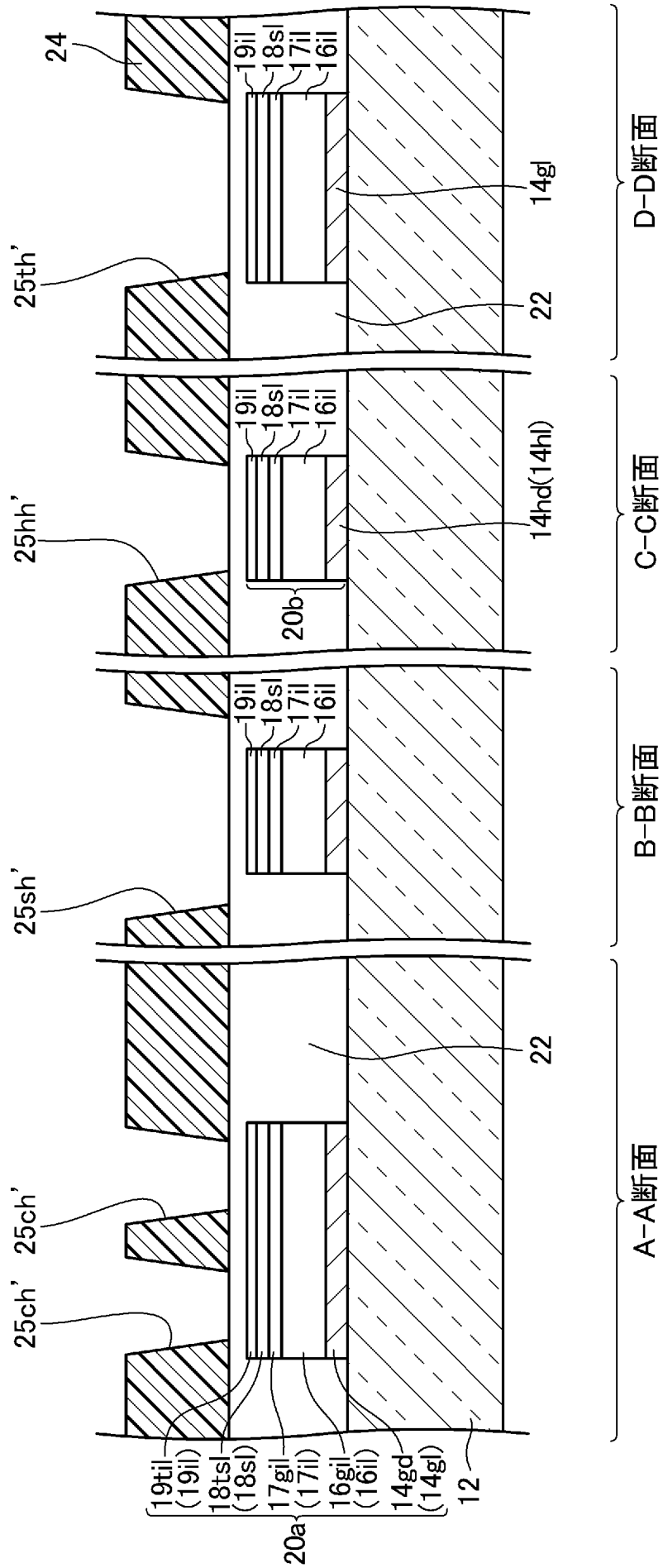
[図15]



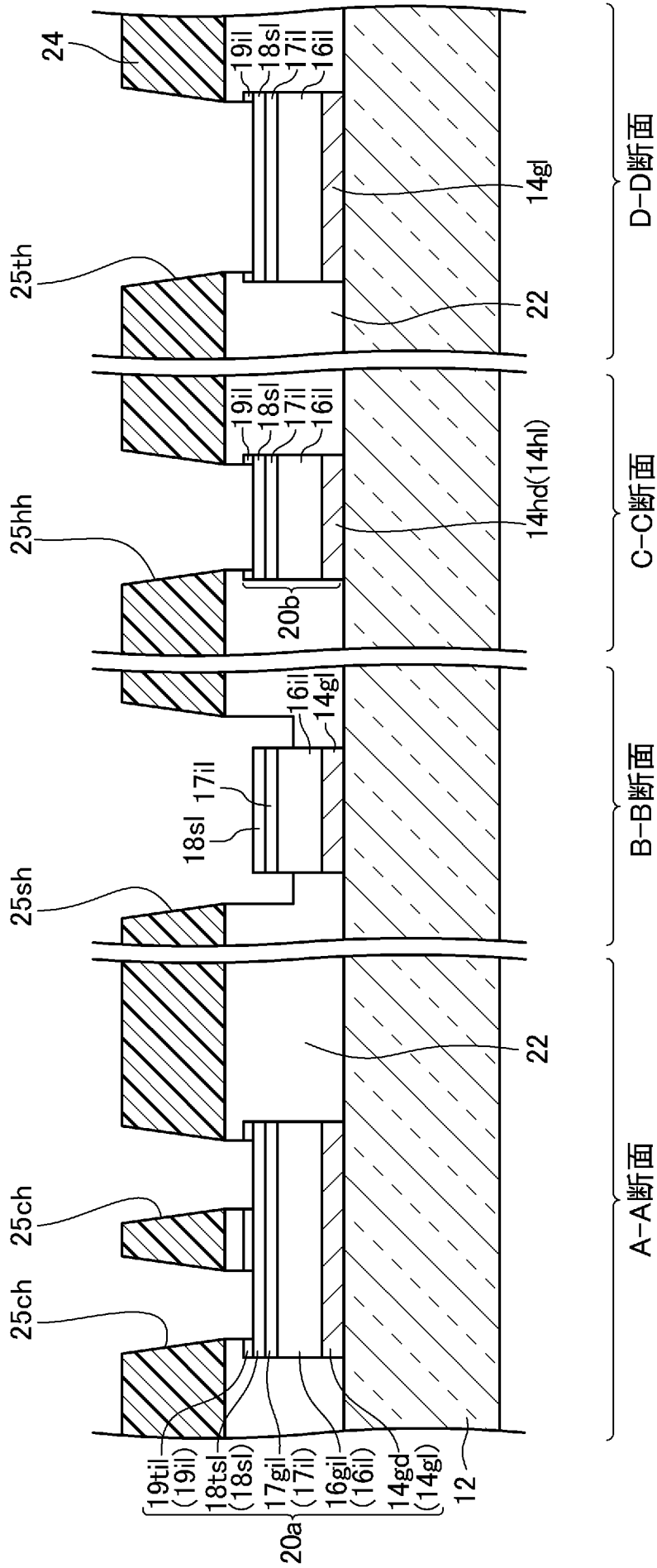
[図16]



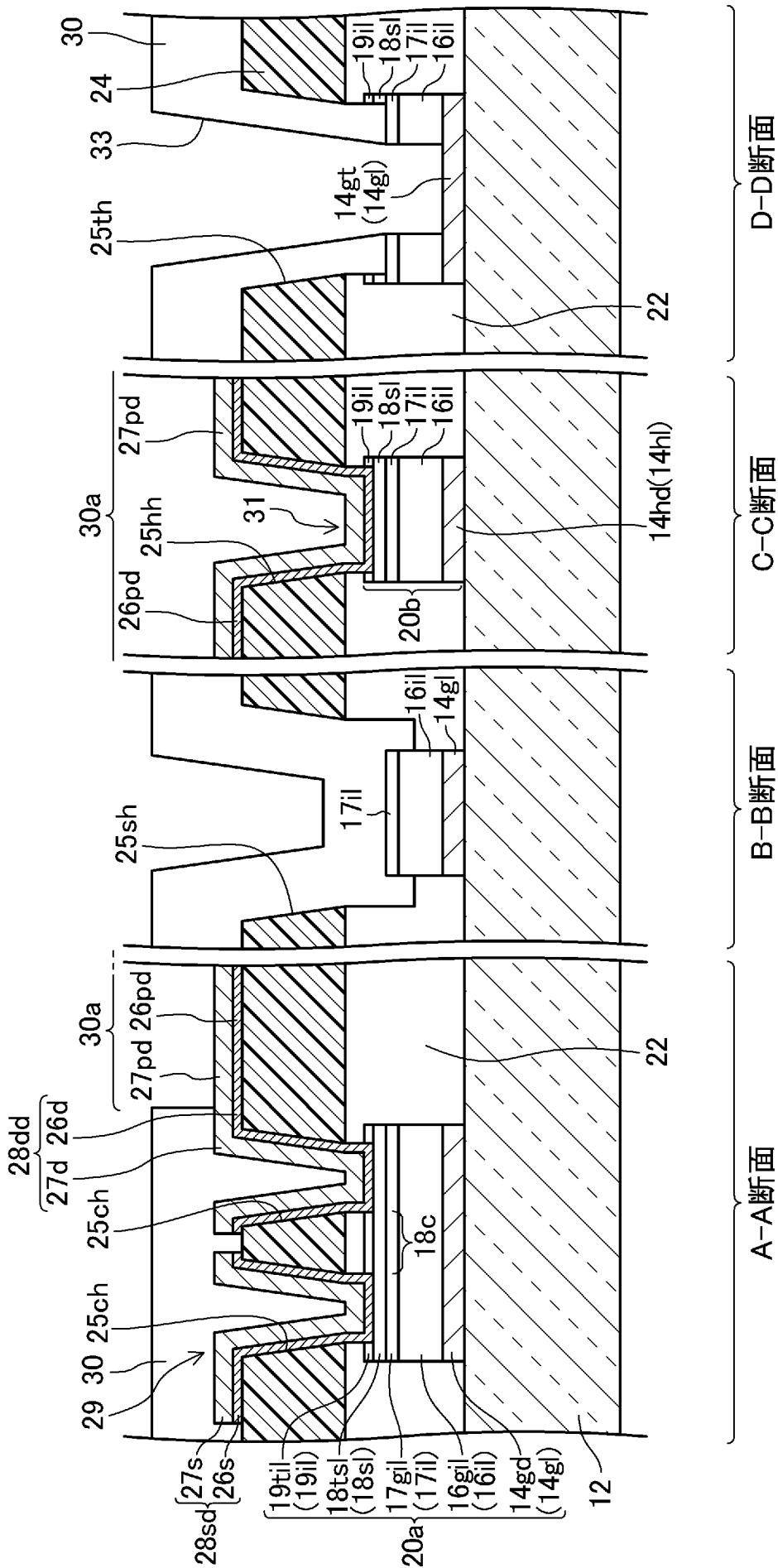
[図17]



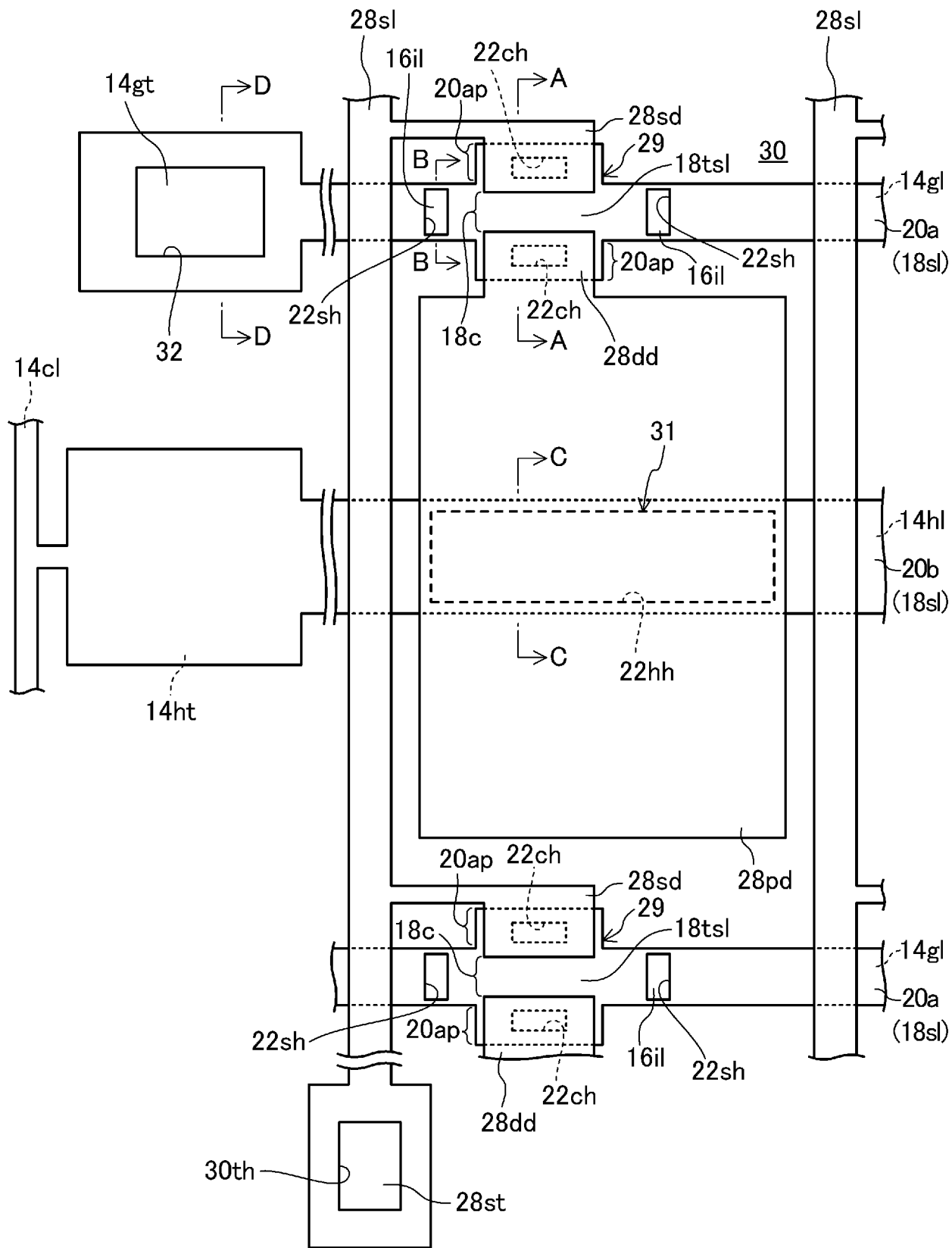
[図18]



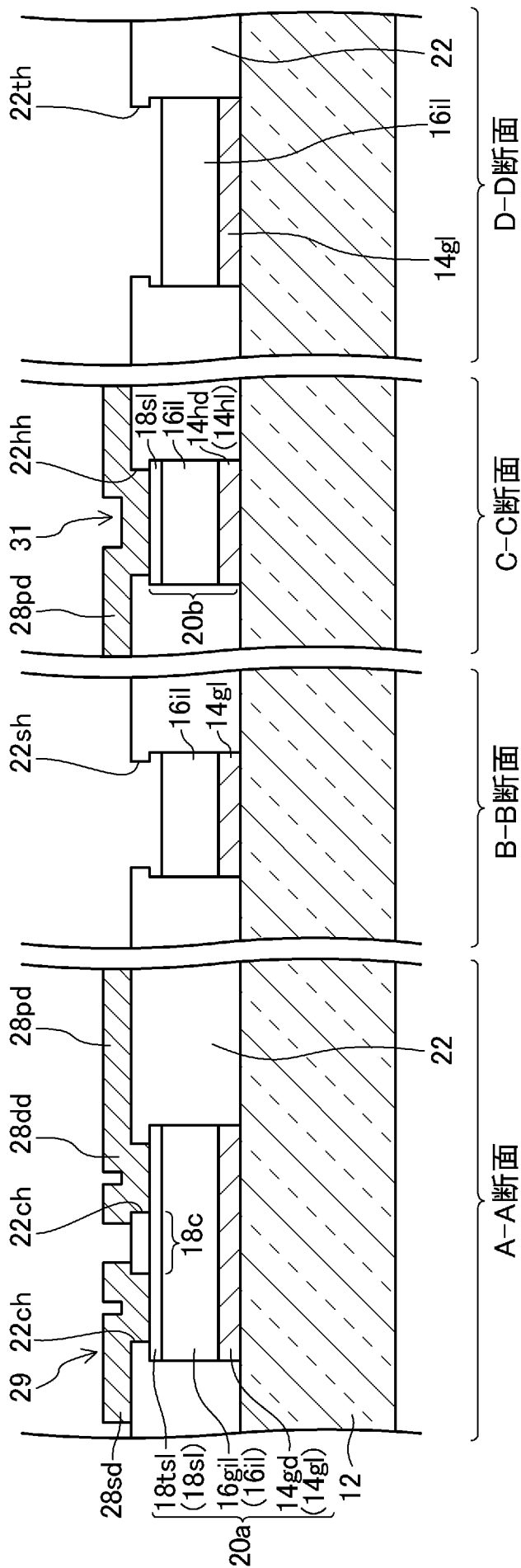
[図21]



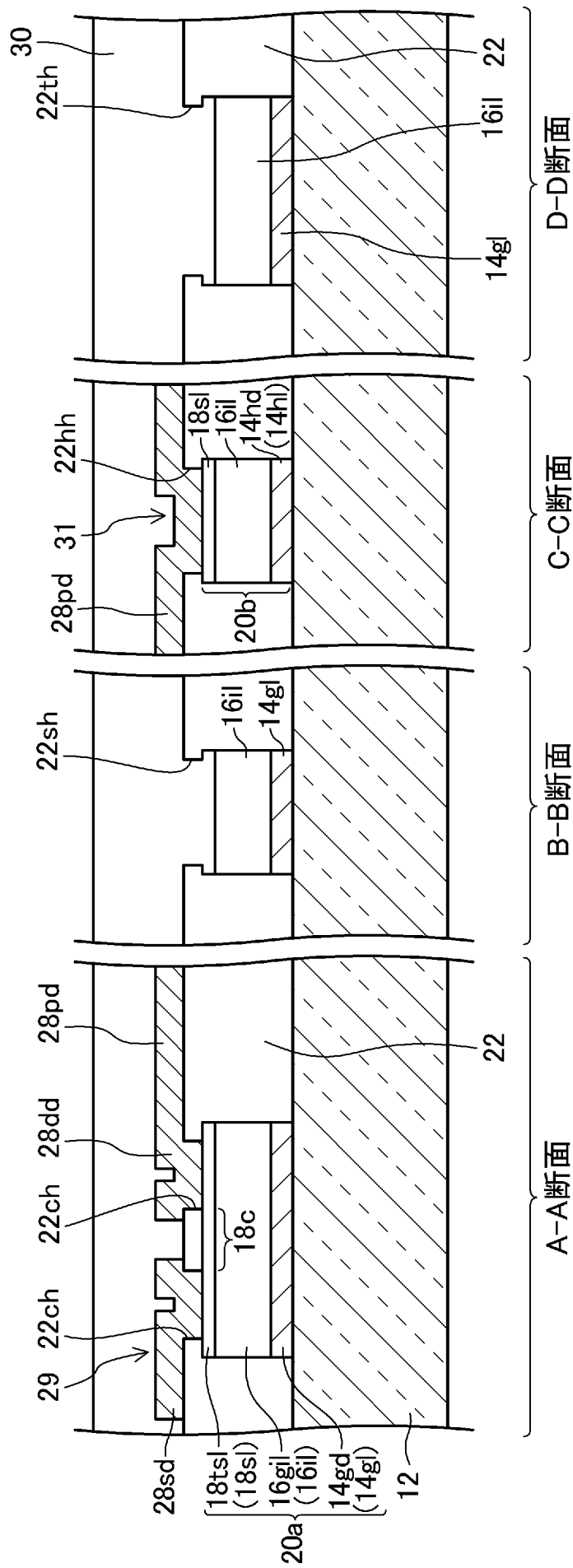
[図22]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002077

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i,
H01L29/417(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/28, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-258675 A (Idemitsu Kosan Co., Ltd.), 04 October 2007 (04.10.2007), paragraphs [0003], [0031], [0033], [0038], [0051], [0057] to [0059], [0065] to [0067]; fig. 2, 4, 6, 9, 10 & US 2009/0001374 A1 & KR 10-2008-0108223 A	1-9
Y	JP 2006-332661 A (Samsung SDI Co., Ltd.), 07 December 2006 (07.12.2006), paragraph [0025] & US 2006/0267094 A1 & US 2009/0170291 A1 & EP 1727206 A1 & DE 602006008527 D & KR 10-0647693 B1 & CN 1874023 A	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April, 2011 (27.04.11)

Date of mailing of the international search report
17 May, 2011 (17.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002077

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-179069 A (Matsushita Electric Industrial Co., Ltd.), 27 June 2003 (27.06.2003), paragraphs [0083] to [0089]; fig. 1 (Family: none)	5-8
Y	JP 2006-106110 A (Semiconductor Energy Laboratory Co., Ltd.), 20 April 2006 (20.04.2006), paragraph [0228] (Family: none)	6-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/786, G02F1/1368, H01L21/28, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-258675 A (出光興産株式会社) 2007. 10. 04, 段落【0003】、【0031】、【0033】、【0038】、【0051】、【0057】～【0059】、【0065】～【0067】、図2、図4、図6、図9、図10 & US 2009/0001374 A1 & KR 10-2008-0108223 A	1-9
Y	JP 2006-332661 A (三星エスディアイ株式会社) 2006. 12. 07, 段落【0025】 & US 2006/0267094 A1 & US 2009/0170291 A1 & EP 1727206 A1 & DE 602006008527 D & KR 10-0647693 B1 & CN 1874023 A	1-9

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 27. 04. 2011 国際調査報告の発送日 17. 05. 2011

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 聡一郎 電話番号 03-3581-1101 内線 3498	4L	3864
---	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-179069 A (松下電器産業株式会社) 2003.06.27, 段落【0083】～【0089】、図1 (ファミリーなし)	5-8
Y	JP 2006-106110 A (株式会社半導体エネルギー研究所) 2006.04.20, 段落【0228】 (ファミリーなし)	6-8