

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-38974

(P2015-38974A)

(43) 公開日 平成27年2月26日(2015.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 E	4 M 1 1 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 8 3
HO 1 L 27/146 (2006.01)	HO 1 L 29/78 6 2 6 C	5 F 1 0 1
HO 1 L 21/8242 (2006.01)	HO 1 L 27/14 C	5 F 1 1 0
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 3 2 1	

審査請求 未請求 請求項の数 5 O L (全 52 頁) 最終頁に続く

(21) 出願番号 特願2014-141867 (P2014-141867)
 (22) 出願日 平成26年7月10日 (2014.7.10)
 (31) 優先権主張番号 特願2013-147332 (P2013-147332)
 (32) 優先日 平成25年7月16日 (2013.7.16)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 松林 大介
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小林 由幸
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 4M118 AB01 BA05 CA05 FB03 FB09
 FB13 GA03 HA26

最終頁に続く

(54) 【発明の名称】 半導体装置

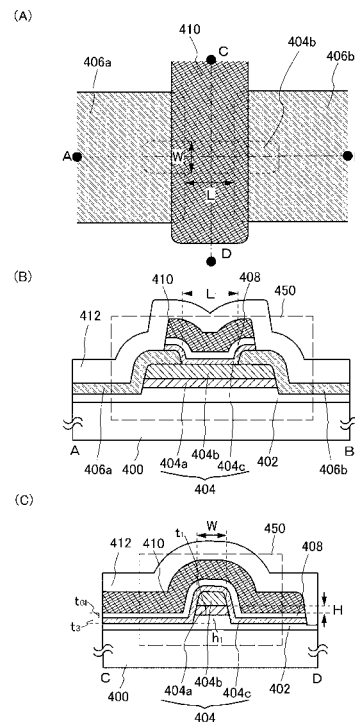
(57) 【要約】

【課題】 微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供する。

【解決手段】

絶縁表面上の第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の酸化物半導体膜と、絶縁表面の上面、第1の酸化物半導体膜の側面、第2の酸化物半導体膜の側面および第2の酸化物半導体膜の上面と接する第3の酸化物半導体膜と、第3の酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜に接し、第2の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、第1の酸化物半導体膜の厚さが、第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計よりも大きく、第1の酸化物半導体膜の厚さと第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計の差は、20nm以上である構成とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面上の第 1 の酸化物半導体膜と、
 前記第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、
 前記絶縁表面の上面、前記第 1 の酸化物半導体膜の側面、前記第 2 の酸化物半導体膜の側面および前記第 2 の酸化物半導体膜の上面と接する第 3 の酸化物半導体膜と、
 前記第 3 の酸化物半導体膜上のゲート絶縁膜と、
 前記ゲート絶縁膜に接し、前記第 2 の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、
 前記第 1 の酸化物半導体膜の厚さが、前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計よりも大きく、
 前記第 1 の酸化物半導体膜の厚さと前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計の差は、20 nm 以上であることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、
 前記第 1 の酸化物半導体膜の厚さと前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計の差は、20 nm 以上 50 nm 以下であることを特徴とする半導体装置。

【請求項 3】

凹部および凸部を有する絶縁表面の前記凸部に設けられた第 1 の酸化物半導体膜と、
 前記第 1 の酸化物半導体膜上の第 2 の酸化物半導体膜と、
 前記絶縁表面の上面、前記第 1 の酸化物半導体膜の側面、前記第 2 の酸化物半導体膜の側面および前記第 2 の酸化物半導体膜の上面と接する第 3 の酸化物半導体膜と、
 前記第 3 の酸化物半導体膜上のゲート絶縁膜と、
 前記ゲート絶縁膜に接し、前記第 2 の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、
 前記絶縁表面の前記凸部の高さおよび前記第 1 の酸化物半導体膜の厚さの合計が、前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計よりも大きく、
 前記絶縁表面の前記凸部の高さおよび前記第 1 の酸化物半導体膜の厚さの合計と前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計の差は、20 nm 以上であることを特徴とする半導体装置。

20

30

【請求項 4】

請求項 3 において、
 前記絶縁表面の前記凸部の高さおよび前記第 1 の酸化物半導体膜の厚さの合計と前記第 3 の酸化物半導体膜の厚さおよび前記ゲート絶縁膜の厚さの合計の差は、20 nm 以上 50 nm 以下であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかにおいて、
 チャンネル幅は、40 nm 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、または半導体装置の製造方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、半導体回路および電気機器は、半導体装置を有している場合がある。

【背景技術】

50

【0003】

絶縁表面を有する基板の上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物半導体膜を用いたトランジスタが特許文献1に開示されている。

【0005】

また、酸化物半導体膜を、積層構造とすることで、キャリアの移動度を向上させる技術が特許文献2、特許文献3に開示されている。

【0006】

ところで、酸化物半導体膜を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体膜を用いたトランジスタの低いリーク特性を応用した低消費電力のCPUなどが開示されている（特許文献4参照。）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165528号公報

【特許文献2】特開2011-124360号公報

【特許文献3】特開2011-138934号公報

【特許文献4】特開2012-257187号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

回路の高集積化に伴い、トランジスタのサイズも微細化している。トランジスタを微細化すると、オン電流、オフ電流、しきい値電圧、S値（サブスレッショルドスイング値）などのトランジスタの電気特性が悪化する場合がある。一般に、チャンネル長を縮小すると、オフ電流の増大、しきい値電圧の変動の増大、S値の増大が起こる。また、チャンネル幅を縮小すると、オン電流が小さくなる。

【0009】

したがって、本発明の一態様は、微細化に伴い顕著となる電気特性の悪化を抑制できる構成の半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、オン電流の悪化を低減した半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、特性の良い半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

酸化物半導体膜を用いたトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタと比較して短チャンネル効果の一つであるDIBL（Drain-Induced Barrier Lowering

10

20

30

40

50

)の影響が小さい。酸化物半導体膜を用いたトランジスタは、短チャネル効果に対する耐性を有すると言い換えることもできる。

【0012】

また、トランジスタのチャネル幅を縮小すると、オン電流が小さくなる。オン電流の向上を目的として、半導体膜の上面のほかに側面にもチャネルが形成されるよう半導体膜を厚膜化する方法も知られているが、チャネルが形成される表面積が増大することで、チャネル形成領域とゲート絶縁膜との界面にキャリアの散乱が増加するため、十分なオン電流の向上を見込むのは容易ではない。

【0013】

本発明の一態様では、上記のような課題を解決するため、下記のような半導体装置の構成を見出した。

【0014】

本発明の一態様は、絶縁表面上の第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の酸化物半導体膜と、絶縁表面の上面、第1の酸化物半導体膜の側面、第2の酸化物半導体膜の側面および第2の酸化物半導体膜の上面と接する第3の酸化物半導体膜と、第3の酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜に接し、第2の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、第1の酸化物半導体膜の厚さが、第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計よりも大きく、第1の酸化物半導体膜の厚さと第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計の差は、20nm以上であることを特徴とする半導体装置である。

【0015】

また、上記構成において、第1の酸化物半導体膜の厚さと第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計の差は、20nm以上50nm以下であると好ましい。

【0016】

本発明の他の一態様は、凹部および凸部を有する絶縁表面の前記凸部に設けられた第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の酸化物半導体膜と、絶縁表面の上面、第1の酸化物半導体膜の側面、第2の酸化物半導体膜の側面および第2の酸化物半導体膜の上面と接する第3の酸化物半導体膜と、第3の酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜に接し、第2の酸化物半導体膜の上面および側面に面するゲート電極と、を有し、絶縁表面の凸部の高さおよび第1の酸化物半導体膜の厚さの合計が、第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計よりも大きく、絶縁表面の凸部の高さおよび第1の酸化物半導体膜の厚さの合計と第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計の差は、20nm以上であることを特徴とする半導体装置である。

【0017】

また、上記構成において、絶縁表面の凸部の高さおよび第1の酸化物半導体膜の厚さの合計と第3の酸化物半導体膜の厚さおよびゲート絶縁膜の厚さの合計の差は、20nm以上50nm以下であると好ましい。

【0018】

また、上記構成において、チャネル幅は、40nm以下であると好ましい。

【発明の効果】

【0019】

本発明の一態様を用いることにより、微細化に伴い顕著となる電気特性の低下を抑制できる構成の半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、オン電流の悪化を低減した半導体装置を提供することができる。または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、電源が遮断されてもデータが保持される半導体装置を提供することができる。

【図面の簡単な説明】

【0020】

【図1】トランジスタを説明する上面図および断面図。

10

20

30

40

50

- 【図 2】多層膜のバンド構造を説明する図。
- 【図 3】トランジスタのチャネル長方向の断面図。
- 【図 4】トランジスタを説明する上面図および断面図。
- 【図 5】トランジスタを説明する上面図および断面図。
- 【図 6】トランジスタの作製方法を説明する図。
- 【図 7】トランジスタの作製方法を説明する図。
- 【図 8】トランジスタを説明する上面図および断面図。
- 【図 9】トランジスタを説明する上面図および断面図。
- 【図 10】トランジスタを説明する上面図および断面図。
- 【図 11】トランジスタの作製方法を説明する図。 10
- 【図 12】トランジスタの作製方法を説明する図。
- 【図 13】本発明の一態様の半導体装置を用いたインバータを説明する図。
- 【図 14】半導体装置の一例を説明する等価回路図。
- 【図 15】実施の形態に係る、半導体装置の回路図。
- 【図 16】実施の形態に係る、半導体装置のブロック図。
- 【図 17】実施の形態に係る、記憶装置を説明する回路図。
- 【図 18】実施の形態に係る、電子機器。
- 【図 19】トランジスタの断面図。
- 【図 20】トランジスタの電気特性を説明する図。 20
- 【図 21】トランジスタの電気特性を説明する図。
- 【図 22】トランジスタの電気特性を説明する図。
- 【図 23】トランジスタの断面図。
- 【図 24】トランジスタの電気特性を説明する図。
- 【図 25】トランジスタの電気特性を説明する図。
- 【図 26】トランジスタの電気特性を説明する図。
- 【図 27】トランジスタの電気特性を説明する図。
- 【図 28】トランジスタの断面図。
- 【図 29】多層膜のバンド構造を説明する図。
- 【図 30】トランジスタの電気特性を説明する図。
- 【発明を実施するための形態】 30
- 【0021】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。
- 【0022】
- なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。 40
- 【0023】
- (実施の形態 1)
- 本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。
- 【0024】
- 図 1 (A) 乃至図 1 (C) は、本発明の一態様のトランジスタの上面図および断面図である。図 1 (A) は上面図であり、図 1 (A) に示す一点鎖線 A - B の断面が図 1 (B)、一点鎖線 C - D の断面が図 1 (C) に相当する。なお、図 1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線 A - B 方向をチャネル 50

長方向、一点鎖線 C - D 方向をチャンネル幅方向と呼称する場合がある。

【0025】

図1(A)乃至図1(C)に示すトランジスタ450は、基板400上の凹部および凸部を有する下地絶縁膜402と、下地絶縁膜402の凸部上の第1の酸化物半導体膜404aおよび第2の酸化物半導体膜404bと、第1の酸化物半導体膜404aおよび第2の酸化物半導体膜404b上のソース電極406aおよびドレイン電極406bと、下地絶縁膜402の上面、第1の酸化物半導体膜404aの側面、第2の酸化物半導体膜404bの側面および第2の酸化物半導体膜404bの上面、ソース電極406aおよびドレイン電極406bと接する第3の酸化物半導体膜404cと、第3の酸化物半導体膜404c上のゲート絶縁膜408と、ゲート絶縁膜408に接し、第2の酸化物半導体膜404bの上面および側面に面するゲート電極410と、ソース電極406a、ドレイン電極406b、およびゲート電極410上の酸化物絶縁膜412と、を有する。また、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、および第3の酸化物半導体膜404cを総称して多層膜404と呼称する。

10

【0026】

なお、チャンネル長とは、上面図において、半導体膜とゲート電極とが重なる領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との距離をいう。すなわち、図1(A)では、チャンネル長(L)は、第2の酸化物半導体膜404bとゲート電極410とが重なる領域における、ソース電極406aとドレイン電極406bとの距離となる。チャンネル幅とは、半導体膜とゲート電極とが重なる領域における、ソース又はドレインの幅をいう。すなわち、図1(A)では、チャンネル幅(W)は、第2の酸化物半導体膜404bとゲート電極410とが重なる領域における、ソース電極406a又はドレイン電極406bの幅をいう。

20

【0027】

また、下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ t_1 の合計 $h_1 + t_1$ と第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ の差である垂直距離Hは、チャンネル幅Wの5%以上300%未満、好ましくはチャンネル幅Wの10%以上300%未満、より好ましくはチャンネル幅Wの20%以上250%未満、さらに好ましくはチャンネル幅Wの50%以上200%未満、さらに好ましくはチャンネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとよい。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

30

【0028】

また、微細化により短チャンネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b(チャンネル部分)を電気的に取り囲む、すなわち、ゲート電極410が第2の酸化物半導体膜404b(チャンネル部分)を電気的に取り囲み、電圧が印加された場合には第2の酸化物半導体膜404b(チャンネル部分)の上面および側面から第2の酸化物半導体膜404b(チャンネル部分)に電界が印加されるためキャリアを制御しやすくなり、短チャンネル効果で生じた電気特性の悪化を抑制することができる。

40

【0029】

このような構成にすることで、ゲート電極410は、チャンネル幅方向において第2の酸化物半導体膜404bを電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。なお、s-channel構造では、電流は第2の酸化物半導体膜404bの全体(バルク)を流れる。多層膜404の内部(第2の酸化物半導体膜404bの全体)を電流が流れることで、界面散乱の影響を受けにくいため、高いオン電流を得ることができる。なお、第2の酸化物半導体膜404bを厚くすると、オン電流を向上させることができる

50

。このため、ゲート電極 410 が第 1 の酸化物半導体膜 404 a と第 2 の酸化物半導体膜 404 b の界面より下地絶縁膜 402 側まで延伸していてもチャネル幅 W には関与せず、チャネル幅 W を小さくすることができるため、高密度化（高集積化）を実現することができる。

【0030】

また、トランジスタのチャネル長およびチャネル幅を微細化するとき、レジストマスクを後退させながら電極や半導体膜等を加工すると電極や半導体膜等の端部が丸みを帯びる（曲面を有する）場合がある。このような構成になることで、第 2 の酸化物半導体膜 404 b、ソース電極 406 a およびドレイン電極 406 b の上に形成されるゲート絶縁膜 408、ゲート電極 410 および酸化物絶縁膜 412 の被覆性を向上させることができる。また、ソース電極 406 a およびドレイン電極 406 b の端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

10

【0031】

また、トランジスタを微細化することで、集積度を高め、高密度化することができる。例えば、トランジスタのチャネル長を、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とし、かつ、トランジスタのチャネル幅を、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とする。本発明の一態様に係るトランジスタは、チャネル幅が上記のように縮小していても、s-channel 構造を有することでオン電流を高めることができる。

20

【0032】

基板 400 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ 450 のゲート電極 410、ソース電極 406 a、およびドレイン電極 406 b の少なくとも一つは、上記の他のデバイスと電気的に接続されていてもよい。

【0033】

下地絶縁膜 402 は、基板 400 からの不純物の拡散を防止する役割を有するほか、多層膜 404 に酸素を供給する役割を担うことができる。したがって、下地絶縁膜 402 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板 400 が他のデバイスが形成された基板である場合、下地絶縁膜 402 は、層間絶縁膜としての機能も有する。その場合、下地絶縁膜 402 の表面には凹凸が形成されるため、トランジスタ 450 を形成する前に表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

30

【0034】

また、トランジスタ 450 のチャネルが形成される領域において多層膜 404 は、基板 400 側から第 1 の酸化物半導体膜 404 a、第 2 の酸化物半導体膜 404 b、第 3 の酸化物半導体膜 404 c が積層された構造を有している。また、第 2 の酸化物半導体膜 404 b は、第 1 の酸化物半導体膜 404 a および第 3 の酸化物半導体膜 404 c で取り囲まれている構造となっている。また、図 1 (C) に示すようにゲート電極 410 は、チャネル幅方向において第 2 の酸化物半導体膜 404 b を電気的に取り囲む構造になっている。

40

【0035】

ここで、一例としては、第 2 の酸化物半導体膜 404 b には、第 1 の酸化物半導体膜 404 a および第 3 の酸化物半導体膜 404 c よりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

【0036】

第 1 の酸化物半導体膜 404 a および第 3 の酸化物半導体膜 404 c は、第 2 の酸化物半導体膜 404 b を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが第 2 の酸化物半導体膜 404 b よりも、0.05 eV、0.07 eV、0.1 eV、0

50

．15 eVのいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

【0037】

このような構造において、ゲート電極410に電界を印加すると、多層膜404のうち、伝導帯下端のエネルギーが最も小さい第2の酸化物半導体膜404bにチャンネルが形成される。すなわち、第2の酸化物半導体膜404bとゲート絶縁膜408との間に第3の酸化物半導体膜404cが形成されていることよって、トランジスタのチャンネルがゲート絶縁膜408と接しない領域に形成される構造となる。

【0038】

また、第1の酸化物半導体膜404aは、第2の酸化物半導体膜404bを構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体膜404bと下地絶縁膜402が接した場合の界面と比較して、第2の酸化物半導体膜404bと第1の酸化物半導体膜404aの界面に界面準位を形成しにくくなる。該界面準位はチャンネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、第1の酸化物半導体膜404aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0039】

また、第3の酸化物半導体膜404cは、第2の酸化物半導体膜404bを構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体膜404bとゲート絶縁膜408が接した場合の界面と比較して、第2の酸化物半導体膜404bと第3の酸化物半導体膜404cとの界面ではキャリアの散乱が起こりにくくなる。したがって、第3の酸化物半導体膜404cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0040】

第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを第2の酸化物半導体膜404bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体膜に生じることを抑制する機能を有する。すなわち、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cは、第2の酸化物半導体膜404bよりも酸素欠損が生じにくいとすることができる。

【0041】

なお、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cが、少なくともインジウム、亜鉛およびM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、第1の酸化物半導体膜404aを $In : M : Zn = x_1 : y_1 : z_1$ [原子数比]、第2の酸化物半導体膜404bを $In : M : Zn = x_2 : y_2 : z_2$ [原子数比]、第3の酸化物半導体膜404cを $In : M : Zn = x_3 : y_3 : z_3$ [原子数比]とすると、 y_1 / x_1 および y_3 / x_3 が y_2 / x_2 よりも大きくなるのが好ましい。 y_1 / x_1 および y_3 / x_3 は y_2 / x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、第2の酸化物半導体膜404bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

【0042】

第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50 atomic %未満、Mが50 atomic %以上、さらに好ましくはInが25 atomic %未満、Mが75 atomic %以上とする。また、第2の酸化物半導体膜404bのZnおよびOを除いて

10

20

30

40

50

の In および M の原子数比率は、好ましくは In が 25 atomic % 以上、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % 以上、M が 66 atomic % 未満とする。

【0043】

第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の酸化物半導体膜404bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。また、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cは、第2の酸化物半導体膜404bより薄い方が好ましい。

10

【0044】

第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cには、例えば、インジウム、亜鉛およびガリウムを含んだ酸化物半導体を用いることができる。特に、第2の酸化物半導体膜404bにインジウムを含ませると、キャリア移動度が高くなるため好ましい。

【0045】

なお、酸化物半導体膜を用いたトランジスタに安定した電気特性を付与するためには、酸化物半導体膜中の不純物濃度を低減し、酸化物半導体膜を真性または実質的に真性にするのが有効である。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

20

【0046】

また、酸化物半導体膜において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体膜中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cの膜中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0047】

酸化物半導体膜を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体膜のある深さにおいて、または、酸化物半導体膜のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していることが好ましい。また、水素濃度は、例えば、酸化物半導体膜のある深さにおいて、または、酸化物半導体膜のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする部分を有していることが好ましい。また、窒素濃度は、例えば、酸化物半導体膜のある深さにおいて、または、酸化物半導体膜のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする部分を有していることが好ましい。

30

40

【0048】

また、酸化物半導体膜が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体膜の結晶性を低下させることがある。酸化物半導体膜の結晶性を低下させないためには、例えば、酸化物半導体膜のある深さにおいて、または、酸化物半導体膜のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満と

50

する部分を有していればよい。また、例えば、酸化物半導体膜のある深さにおいて、または、酸化物半導体膜のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

【0049】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V 、 5 V 、または、 10 V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数 $y \text{ A}/\mu\text{m}$ 乃至数 $z \text{ A}/\mu\text{m}$ にまで低減することが可能となる。

【0050】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により多層膜のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート絶縁膜と多層膜との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも、多層膜のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

【0051】

したがって、多層膜404を第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cの積層構造とすることで、第2の酸化物半導体膜404bにチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0052】

次に、多層膜404のバンド構造を説明する。バンド構造の解析は、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cに相当する層としてエネルギーギャップが 3.5 eV である In-Ga-Zn 酸化物、第2の酸化物半導体膜404bに相当する層としてエネルギーギャップが 3.15 eV である In-Ga-Zn 酸化物を用い、多層膜404に相当する積層を作製して行っている。

【0053】

第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cの膜厚はそれぞれ 10 nm とし、エネルギーギャップは、分光エリプソメータ (HORIBA JOBIN YVON社 UT-300) を用いて測定した。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (PHI社 VersaProbe) を用いて測定した。

【0054】

図2(A)は、真空準位と価電子帯上端のエネルギー差と、各層のエネルギーギャップとの差分として算出される真空準位と伝導帯下端のエネルギー差 (電子親和力) から模式的に示されるバンド構造の一部である。図2(A)は、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cと接して、酸化シリコン膜を設けた場合のバンド図である。ここで、 E_{vac} は真空準位のエネルギー、 E_{cI1} および E_{cI2} は酸化シリコン膜の伝導帯下端のエネルギー、 E_{cS1} は第1の酸化物半導体膜404aの伝導帯下端のエネルギー、 E_{cS2} は第2の酸化物半導体膜404bの伝導帯下端のエネルギー、 E_{cS3} は第3の酸化物半導体膜404cの伝導帯下端のエネルギーである。

【0055】

図2(A)に示すように、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cにおいて、伝導帯下端のエネルギーが連続的に変化する。これは、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cを構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cは組成が異なる層の積層体ではあるが、物

10

20

30

40

50

性的に連続であるということもできる。

【0056】

主成分を共通として積層された多層膜404は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造）が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層膜の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0057】

なお、図2(A)では、 E_{cS1} と E_{cS3} が同様である場合について示したが、それぞれが異なってもよい。例えば、 E_{cS3} よりも E_{cS1} が高いエネルギーを有する場合、バンド構造の一部は、図2(B)のように示される。

10

【0058】

例えば、 $E_{cS1} = E_{cS3}$ である場合は、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cに $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ 、 $1 : 6 : 4$ または $1 : 9 : 6$ （原子数比）、第2の酸化物半導体膜404bに $In : Ga : Zn = 1 : 1 : 1$ または $3 : 1 : 2$ （原子数比）の $In - Ga - Zn$ 酸化物などを用いることができる。また、 $E_{cS1} > E_{cS3}$ である場合は、第1の酸化物半導体膜404aに $In : Ga : Zn = 1 : 6 : 4$ または $1 : 9 : 6$ （原子数比）、第2の酸化物半導体膜404bに $In : Ga : Zn = 1 : 1 : 1$ または $3 : 1 : 2$ （原子数比）、第3の酸化物半導体膜404cに $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ （原子数比）の $In - Ga - Zn$ 酸化物などを用いることができる。

20

【0059】

図2(A)、図2(B)より、多層膜404における第2の酸化物半導体膜404bがウェル（井戸）となり、多層膜404を用いたトランジスタにおいて、チャンネルが第2の酸化物半導体膜404bに形成されることがわかる。なお、多層膜404は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸（U Shape Well）とも呼ぶことができる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

【0060】

なお、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cと、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cがあることにより、第2の酸化物半導体膜404bと当該トラップ準位とを遠ざけることができる。ただし、 E_{cS1} または E_{cS3} と、 E_{cS2} とのエネルギー差が小さい場合、第2の酸化物半導体膜404bの電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

30

【0061】

したがって、トランジスタのしきい値電圧の変動を低減するには、 E_{cS1} および E_{cS3} と、 E_{cS2} との間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、 $0.1 eV$ 以上が好ましく、 $0.15 eV$ 以上がより好ましい。

40

【0062】

なお、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0063】

なお、多層膜404に $In - Ga - Zn$ 酸化物を用いる場合は、 In のゲート絶縁膜への拡散を防ぐために、第3の酸化物半導体膜404cは第2の酸化物半導体膜404bよりも In が少ない組成とすることが好ましい。

50

【0064】

ソース電極406aおよびドレイン電極406bには、酸素と結合し得る導電材料を用いることが好ましい。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどを用いることができる。上記材料において、特に酸素と結合し易いTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。なお、酸素と結合し得る導電材料には、酸素が拡散し得る材料も含まれる。

【0065】

酸素と結合し得る導電材料と多層膜を接触させると、多層膜中の酸素が、酸素と結合し得る導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、多層膜のソース電極またはドレイン電極と接触した近傍の領域に酸素欠損が発生し、膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソース領域またはドレイン領域として作用させることができる。

10

【0066】

上記n型化した領域は、図3のトランジスタの拡大断面図(チャンネル長方向の断面)に示される。第1の酸化物半導体膜404aと第2の酸化物半導体膜404b中に点線で示される境界435は、真性半導体領域とn型半導体領域の境界であり、第1の酸化物半導体膜404aと第2の酸化物半導体膜404bにおけるソース電極406aまたはドレイン電極406bと接触した近傍の領域がn型化した領域となる。なお、境界435は模式的に示したものであり、実際には明瞭ではない場合がある。また、図3では、境界435が第2の酸化物半導体膜404b中で横方向に延びているように位置している状態を示したが、第2の酸化物半導体膜404bのソース電極406aまたはドレイン電極406bと第1の酸化物半導体膜404aとの間に挟まれた領域の膜厚方向全体がn型化することもある。また、図示はしていないが、第3の酸化物半導体膜404cにもn型化領域が形成される場合もある。

20

【0067】

なお、チャンネル長が極短いトランジスタを形成する場合、上記酸素欠損の発生によってn型化した領域がトランジスタのチャンネル長方向に延在することで短絡してしまうことがある。この場合、トランジスタの電気特性には、しきい値電圧のシフトにより、実用的なゲート電圧でオンオフの制御ができない状態(導通状態)が現れる。そのため、チャンネル長が極短いトランジスタを形成する場合は、ソース電極およびドレイン電極に酸素と結合しやすい導電材料を用いることが必ずしも好ましいとはいえない場合がある。

30

【0068】

このような場合にはソース電極406aおよびドレイン電極406bには、上述した材料よりも酸素と結合しにくい導電材料を用いることが好ましい。当該導電材料としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む材料などを用いることができる。なお、当該導電材料を第2の酸化物半導体膜404bと接触させる構成として、当該導電材料と前述した酸素と結合しやすい導電材料を積層してもよい。

【0069】

ゲート絶縁膜408には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜408は上記材料の積層であってもよい。

40

【0070】

なお、特定の材料をゲート絶縁膜に用いると、特定の条件でゲート絶縁膜に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁膜408の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度(半導体装置の使

50

用温度あるいは保管温度よりも高い温度、あるいは、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極の電位をソースやドレインの電位より高い状態を、1秒以上、代表的には1分以上維持することで、酸化物半導体膜からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

【0071】

このように電子捕獲準位に必要な量の電子を捕獲させた半導体装置は、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、半導体装置の作製過程におこなえばよい。

【0072】

例えば、半導体装置のソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程(ウェハー処理)の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階でおこなうとよい。いずれの場合にも、その後125 以上の温度に1時間以上さらされないことが好ましい。

【0073】

そこで、簡略化した断面図を用いて、ゲート絶縁膜を電子捕獲層(電子捕獲準位を有する層)としても利用した場合の例を示す。

【0074】

図28(A)は、半導体層101と電子捕獲層102とゲート電極103を有する半導体装置である。

【0075】

ここで、半導体層101は、図1の多層膜404に対応している。電子捕獲層102は、図1のゲート絶縁膜408に対応している。ゲート電極103は、図1のゲート電極410に対応している。

【0076】

ここで、電子捕獲層102としては、内部に電子を捕獲する準位(電子捕獲準位)を有する。なお、同じ構成元素で構成されていても、形成方法・形成条件の違いにより、そのような準位が形成されないこともある。

【0077】

例えば、図28(B)に示されるような、第1の形成方法(あるいは形成条件)で形成された第1の絶縁層102aと、第2の形成方法(あるいは形成条件)で形成された第2の絶縁層102bの積層体でもよいし、図28(C)に示されるような、第1の形成方法(あるいは形成条件)で形成された第1の絶縁層102a、第2の形成方法(あるいは形成条件)で形成された第2の絶縁層102bと第3の形成方法(あるいは形成条件)で形成された第3の絶縁層102cの積層体、あるいは、さらに多層の絶縁層の積層体でもよい。

【0078】

ここで、第1の絶縁層乃至第3の絶縁層の構成元素は同じであるとする。なお、第1の形成方法(あるいは形成条件)と第3の形成方法(あるいは形成条件)は同じでもよい。この際、半導体層101に接しない層(例えば、第2の絶縁層)には、電子捕獲準位が多く形成されることが望ましい。例えば、スパッタリング法で形成された絶縁層はCVD法やALD法で形成された絶縁層に比べて、組成が同じでも、電子捕獲準位密度が高い。

【0079】

したがって、例えば、スパッタリング法で形成された絶縁層を第2の絶縁層102bとし、CVD法やALD法で形成された絶縁層を第1の絶縁層102aとしてもよく、図28(C)の場合には、第3の絶縁層102cも第1の絶縁層102aと同様としてもよい。ただし、本発明の実施形態の一態様はこれに限定されず、CVD法やALD法で形成された絶縁層を第2の絶縁層102bとし、スパッタリング法で形成された絶縁層を第1の絶縁層102aとしてもよく、図28(C)の場合には、第3の絶縁層102cも第1の絶縁層102aと同様としてもよい。

10

20

30

40

50

【0080】

ここで、CVD法で形成された絶縁層は、通常のゲート絶縁層としての機能を有することができる。したがって、ゲートとドレイン間、または、ゲートとソース間のリーク電流を低減することができる。一方、スパッタリング法で形成された絶縁層は、電子捕獲準位密度が高いため、トランジスタのしきい値電圧をより大きく変化させることができる。そのため、このような構成とすることにより、リーク電流が少なく、かつ、しきい値電圧も十分に制御された構成とすることが出来る。よって、異なる形成方法（あるいは形成条件）を用いて、積層構造を構成することが好適である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0081】

また、半導体層101の成層方法と、半導体層101と接する第1の絶縁層102aとは、連続的に製造しやすくなるため、同じ製造方法を用いてもよい。たとえば、半導体層101をスパッタリング法で形成した場合、第1の絶縁層102aもスパッタリング法で形成し、第2の絶縁層102bは、CVD法やALD法で形成してもよい。図28(C)の場合には、第3の絶縁層102cもスパッタリング法で形成してもよい。同様に、半導体層101をCVD法で形成した場合、第1の絶縁層102aもCVD法で形成し、第2の絶縁層102bは、スパッタリング法で形成してもよい。図28(C)の場合には、第3の絶縁層102cもCVD法で形成してもよい。このような構成とすることにより、リーク電流が少なく、かつ、しきい値電圧も十分に制御された構成とし、さらに、製造しやすくなる事が出来る。ただし、本発明の実施形態の一態様は、これらに限定されない。

【0082】

なお、CVD法やALD法で形成する絶縁層は、スパッタリング法で形成した絶縁層よりも、厚くすることが好適である。これにより、絶縁破壊を低減し、耐圧を上げたり、リーク電流を低減することが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0083】

なお、CVD法としても、様々な方法を用いることが出来る。熱CVD法、光CVD法、プラズマCVD法、MOCVD法、LPCVD法などの方法を用いることが出来る。よって、ある絶縁層と別の絶縁層とにおいて、異なるCVD法を用いて、絶縁層を形成してもよい。

【0084】

図28(A)に示す半導体装置の点Aから点Bにかけてのバンド図の例を図29(A)に示す。図中、Ecは伝導帯下端、Evは価電子帯上端を示す。図29(A)では、ゲート電極103の電位はソース電極あるいはドレイン電極（いずれも図示せず）と同じである。

【0085】

電子捕獲層102の内部に電子捕獲準位106が存在する。ゲート電極103の電位を、ソース電極あるいはドレイン電極より高くすると、図29(B)に示すようになる。ここで、ゲート電極103の電位は、ソース電極あるいはドレイン電極より1V以上高くしてもよい。また、この処理の終了した後にゲート電極103に印加される最高電位よりも低くてもよい。代表的には、4V未満とするとよい。

【0086】

半導体層101に存在する電子107は、より電位の高いゲート電極103の方向に移動しようとする。そして、半導体層101からゲート電極103の方向に移動した電子107のいくらかは、電子捕獲準位106に捕獲される。

【0087】

なお、図28(C)のように、電子捕獲層102を、同じ構成元素であるが、形成方法（あるいは形成条件）の異なる3層の絶縁層で形成し第2の絶縁層102bの電子捕獲準位が、他よりも十分に大きくすることは第2の絶縁層102bの内部、あるいは、他の絶縁層との界面にある電子捕獲準位に捕獲された電子を保持する上で効果的である。

10

20

30

40

50

【 0 0 8 8 】

この場合には、第2の絶縁層102bが薄くても、第3の絶縁層102cが物理的に十分に厚ければ、電子捕獲準位106に捕獲された電子を保持できる。図29(C)には、図28(C)に示す半導体装置の点Cから点Dにかけてのバンド図の例を示す。なお、形成方法(あるいは形成条件)が異なれば、構成元素が同じであっても、酸素欠損量等が異なることにより、フェルミ準位が異なる場合もあるが、以下の例では同じものとする。

【 0 0 8 9 】

第2の絶縁層102bは電子捕獲準位106がより多くなるような形成方法(あるいは形成条件)で形成されるが、そのため、第1の絶縁層102aと第2の絶縁層102bの界面、第2の絶縁層102bと第3の絶縁層102cの界面にも多くの電子捕獲準位が形成される。

10

【 0 0 9 0 】

そして、ゲート電極103の電位および温度を上記に示したものとすると、図29(B)で説明したように、半導体層101から電子捕獲準位106に電子が捕獲され、電子捕獲層102は負に帯電する(図29(D)参照)。

【 0 0 9 1 】

このように電子捕獲層102が電子を捕獲すると、図30に示すように半導体装置のしきい値が増加する。特に、半導体層101が、バンドギャップが大きな材料(ワイドバンドギャップ半導体)であると、ゲート電極103の電位をソース電極あるいはドレイン電極の電位と同じとしたときのソースドレイン間の電流(I_{cut}電流)を大幅に低下させることができる。

20

【 0 0 9 2 】

例えば、バンドギャップ3.2電子ボルトのIn-Ga-Zn系酸化物であれば、I_{cut}電流密度(チャンネル幅1μmあたりの電流値)は1zA/μm(1×10⁻²¹A/μm)以下、代表的には、1yA/μm(1×10⁻²⁴A/μm)以下とできる。

【 0 0 9 3 】

図30(A)は電子捕獲層102での電子の捕獲をおこなう前と、電子の捕獲をおこなった後での、室温でのソース電極ドレイン電極間のチャンネル幅1μmあたりの電流(I_d/A)のゲート電極103の電位(V_g)依存性を模式的に示したものである。なお、ソース電極とゲート電極103の電位を0V、ドレイン電極の電位を+1Vとする。1fAより小さな電流は、直接は測定できないが、その他の方法で測定した値、サブスレシヨールド値等をもとに推定できる。

30

【 0 0 9 4 】

最初、曲線108で示すように、半導体装置のしきい値はV_{th1}であったが、電子の捕獲をおこなった後では、しきい値が増加し(プラス方向に移動し)、V_{th2}となる。また、この結果、V_g=0での電流密度は、1aA/μm(1×10⁻¹⁸A/μm)以下、例えば、1zA/μm乃至1yA/μmとなる。

【 0 0 9 5 】

例えば、図30(B)のように、容量素子111に蓄積される電荷をトランジスタ110で制御する回路を考える。ここで、容量素子111の電極間のリーク電流は無視する。容量素子111の容量が1fFであり、容量素子111のトランジスタ110側の電位が+1V、V_dの電位が0Vであるとする。

40

【 0 0 9 6 】

トランジスタ110のI_d-V_g特性が図30(A)中の曲線108で示されるもので、チャンネル幅が0.1μmであると、I_{cut}電流密度は約1fAであり、トランジスタ110のこのときの抵抗は約1×10¹⁵である。したがって、トランジスタ110と容量素子111よりなる回路の時定数は約1秒である。すなわち、約1秒で、容量素子111に蓄積されていた電荷の多くが失われてしまうことを意味する。

【 0 0 9 7 】

トランジスタ110のI_d-V_g特性が図30(A)中の曲線109で示されるもので

50

、チャネル幅が $0.1 \mu\text{m}$ であると、 I_{cut} 電流密度は約 1 yA であり、トランジスタ 110 のこのときの抵抗は約 1×10^{24} である。したがって、トランジスタ 110 と容量素子 111 よりなる回路の時定数は約 1×10^9 秒 (= 約 31 年) である。すなわち、10 年経過後でも、容量素子 111 に蓄積されていた電荷の $1/3$ は残っていることを意味する。

【0098】

すなわち、トランジスタと容量素子という単純な回路で、かつ、それほど過大な電圧を印加しなくても、10 年間の電荷の保持が可能である。このことは各種記憶装置に用いることができる。例えば、後で説明する図 15 に示すようなメモリセルに用いることもできる。

10

【0099】

なお、半導体層 101 は、真性または実質的に真性な酸化物半導体膜のように、ホールの有効質量が極めて大きい、あるいは、実質的に局在化している層を用いることが有効である。この場合には、半導体層 101 から電子捕獲層 102 へのホールの注入がなく、したがって、電子捕獲準位 106 に捕獲された電子がホールと結合して消滅することもない。そのため、電荷の保持特性を向上させることが出来る。

【0100】

ゲート電極 410 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta および W などの導電膜を用いることができる。また、当該ゲート電極は、上記材料の積層であってもよい。また、ゲート電極 410 には、窒素を含んだ導電膜を用いてもよい。

20

【0101】

ゲート絶縁膜 408、およびゲート電極 410 上には酸化物絶縁膜 412 が形成されていてもよい。当該酸化物絶縁膜には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該酸化物絶縁膜は上記材料の積層であってもよい。

【0102】

ここで、酸化物絶縁膜 412 は過剰酸素を有することが好ましい。過剰酸素を含む酸化物絶縁膜とは、加熱処理などによって酸素を放出することができる酸化物絶縁膜をいう。好ましくは、昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。なお、上記昇温脱離ガス分光法分析時における基板温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。当該酸化物絶縁膜から放出される酸素はゲート絶縁膜 408 を経由して多層膜 404 のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損が形成された場合においても酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

30

【0103】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流が低下する。

40

【0104】

しかしながら、本発明の一態様のトランジスタでは、前述したように、第 2 の酸化物半導体膜 404b のチャネルが形成される領域を覆うように第 3 の酸化物半導体膜 404c が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタの電界効果移動度を高くすることができる。

【0105】

また、酸化物半導体膜を真性または実質的に真性とする、酸化物半導体膜に含まれる

50

キャリア数の減少により、電界効果移動度の低下が懸念される。しかしながら、本発明の一態様のトランジスタにおいては、酸化物半導体膜に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、酸化物半導体膜の全体的にゲート電界が印加させることとなり、電流は酸化物半導体膜のバルクを流れる。これによって、高純度真性化による、電気特性の変動の抑制を達成しつつ、トランジスタの電界効果移動度の向上を図ることが可能となる。

【0106】

また、本発明の一態様のトランジスタは、第2の酸化物半導体膜404bを第1の酸化物半導体膜404a上に形成することで界面準位を形成しにくくする効果や、第2の酸化物半導体膜404bを三層構造の中間層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、第2の酸化物半導体膜404bは第1の酸化物半導体膜404aと第3の酸化物半導体膜404cで取り囲まれた構造（また、ゲート電極410で電氣的に取り囲まれた構造）となり、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値を小さくすることができる。したがって、 I_{cut} （ゲート電圧が0V時のドレイン電流）を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。

10

【0107】

また、図4に示すようなトランジスタ460を用いることもできる。図4(A)乃至図4(C)は、トランジスタ460の上面図および断面図である。図4(A)は上面図であり、図4(A)に示す一点鎖線A-Bの断面が図4(B)、一点鎖線C-Dの断面が図4(C)に相当する。なお、図4(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

20

【0108】

図4に示すトランジスタ460は、下地絶縁膜402と基板400との間に導電膜401を備えている。当該導電膜401を第2のゲート電極として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、図4に示すようにゲート電極410と導電膜401を電氣的に接続して同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、ゲート電極410と導電膜401が電氣的に接続しないようにし、ゲート電極410とは異なる定電位を導電膜401に供給すればよい。

30

【0109】

また、図5に示すトランジスタ470を用いることもできる。図5(A)乃至図5(C)は、トランジスタ470の上面図および断面図である。図5(A)は上面図であり、図5(A)に示す一点鎖線A-Bの断面が図5(B)、一点鎖線C-Dの断面が図5(C)に相当する。なお、図5(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0110】

トランジスタ470は、ソース電極406aおよびドレイン電極406bを形成するとき、下地絶縁膜402のオーバーエッチングがなく、下地絶縁膜402がエッチングされていない形状となっている。

40

【0111】

ソース電極406aおよびドレイン電極406bとなる導電膜のエッチングの際に、下地絶縁膜402をエッチングさせないようにするには、導電膜と下地絶縁膜402のエッチングでの選択比を大きくすればよい。

【0112】

なお、第1の酸化物半導体膜404aの厚さ t_1 と第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ の差である垂直距離Hは、チャンネル幅Wの5%以上300%未満、好ましくはチャンネル幅Wの10%以上300%未満、より好ましくはチャンネル幅Wの20%以上250%未満、さらに好ましくはチャ

50

ネル幅Wの50%以上200%未満、さらに好ましくはチャネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとする。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

【0113】

また、微細化により短チャネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b(チャネル部分)を電気的に取り囲むためキャリアを制御しやすくなり、短チャネル効果で生じた電気特性の悪化を抑制することができる。

10

【0114】

また、本実施の形態では、第2の酸化物半導体膜を第1の酸化物半導体膜および第3の酸化物半導体膜で挟んでいる構成であったがこれに限られず、第1の酸化物半導体膜および第3の酸化物半導体膜を有さず第2の酸化物半導体膜のみがゲート電極に電気的に取り囲まれている構成としてもよい。

【0115】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0116】

(実施の形態2)

本実施の形態では、実施の形態1で説明した図1に示すトランジスタ450の作製方法について、図6および図7を用いて説明する。

20

【0117】

まず、基板400上に下地絶縁膜402を形成する(図6(A)参照)。

【0118】

基板400には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

30

【0119】

下地絶縁膜402は、プラズマCVD法またはスパッタ法等により、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁材料、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁材料、またはこれらの混合材料を用いて形成することができる。また、上記材料の積層であってもよく、少なくとも多層膜404と接する上層は多層膜404への酸素の供給源となりえる過剰な酸素を含む材料で形成することが好ましい。

【0120】

また、下地絶縁膜402にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、下地絶縁膜402から多層膜404への酸素の供給をさらに容易にすることができる。

40

【0121】

なお、基板400の表面が絶縁体であり、後に設ける多層膜404への不純物拡散の影響が無い場合は、下地絶縁膜402を設けない構成とすることができる。

【0122】

次に、下地絶縁膜402上に第1の酸化物半導体膜404a、第2の酸化物半導体膜404bをスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成

50

する（図6（B）参照）。このとき、図示するように下地絶縁膜402を若干過度にエッチングしてもよい。下地絶縁膜402を過度にエッチングすることで、後に形成するゲート電極410で第3の酸化物半導体膜404cを覆いやすくすることができる。

【0123】

なお、第1の酸化物半導体膜404a、第2の酸化物半導体膜404bを島状に形成する際に、まず、第2の酸化物半導体膜404b上にハードマスクとなる膜（たとえばタンゲステン膜）およびレジストマスクを設け、ハードマスクとなる膜をエッチングしてハードマスクを形成し、その後、レジストマスクを除去し、ハードマスクをマスクとして第1の酸化物半導体膜404a、第2の酸化物半導体膜404bをエッチングする。その後、ハードマスクを除去する。この時、エッチングするにつれて徐々にハードマスクの端部が縮小していくため、自然にハードマスクの端部が丸みを帯び、曲面を有する。これに伴い、第2の酸化物半導体膜404bの形状も端部が丸みを帯び、曲面を有する。このような構成になることで、第2の酸化物半導体膜404b上に形成される、第3の酸化物半導体膜404c、ゲート絶縁膜408、ゲート電極410、酸化物絶縁膜412の被覆性が向上し、段切れ等の形状不良の発生を防ぐことができる。また、ソース電極406aおよびドレイン電極406bの端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

10

【0124】

また、第1の酸化物半導体膜404a、第2の酸化物半導体膜404bの積層、および後の工程で形成する第3の酸化物半導体膜404cを含めた積層において連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが必要となる。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）できること、かつ、成膜される基板を100以上、好ましくは500以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。

20

【0125】

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が-40以下、好ましくは-80以下、より好ましくは-100以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

30

【0126】

第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、および後の工程で形成される第3の酸化物半導体膜404cには、実施の形態1で説明した材料を用いることができる。例えば、第1の酸化物半導体膜404aにIn:Ga:Zn=1:3:4または1:3:2[原子数比]のIn-Ga-Zn酸化物、第2の酸化物半導体膜404bにIn:Ga:Zn=1:1:1[原子数比]のIn-Ga-Zn酸化物、第3の酸化物半導体膜404cにIn:Ga:Zn=1:3:4または1:3:2[原子数比]のIn-Ga-Zn酸化物を用いることができる。

40

【0127】

また、第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cとして用いることのできる酸化物半導体は、少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0128】

スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、ア

50

ルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

【0129】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

10

【0130】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

20

【0131】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、MnおよびCoから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0132】

ただし、実施の形態1に詳細を記したように、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cは、第2の酸化物半導体膜404bよりも電子親和力が小さくなるように材料を選択する。

30

【0133】

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。特に、成膜時に発生するゴミを低減でき、かつ膜厚分布も均一とすることからDCスパッタ法を用いることが好ましい。

【0134】

第1の酸化物半導体膜404a、第2の酸化物半導体膜404b、第3の酸化物半導体膜404cとしてIn-Ga-Zn酸化物を用いる場合、In、Ga、Znの原子数比としては、例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=2:2:1、In:Ga:Zn=3:1:2、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:4、In:Ga:Zn=1:4:3、In:Ga:Zn=1:5:4、In:Ga:Zn=1:6:6、In:Ga:Zn=2:1:3、In:Ga:Zn=1:6:4、In:Ga:Zn=1:9:6、In:Ga:Zn=1:1:4、In:Ga:Zn=1:1:2のいずれかの材料を用い、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cの電子親和力が第2の酸化物半導体膜404bよりも小さくなるようにすればよい。

40

【0135】

50

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$)である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0136】

また、第2の酸化物半導体膜404bは、第1の酸化物半導体膜404aおよび第3の酸化物半導体膜404cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがGaよりも多い組成となる酸化物はInがGaと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、第2の酸化物半導体膜404bにインジウムの含有量が多い酸化物を用いることで、高い移動度のトランジスタを実現することができる。

10

【0137】

以下では、酸化物半導体膜の構造について説明する。

【0138】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

20

【0139】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0140】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0141】

まずは、CAAC-OS膜について説明する。

30

【0142】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100nm 未満の立方体内に収まる大きさである。したがって、CAAC-OS膜に含まれる結晶部は、一辺が 10nm 未満、 5nm 未満または 3nm 未満の立方体内に収まる大きさの場合も含まれる。

【0143】

CAAC-OS膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0144】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0145】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察) すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

50

【0146】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0147】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0148】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0149】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

20

【0150】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0151】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなる場合がある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

30

【0152】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0153】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

50

【0154】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0155】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

10

【0156】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0157】

次に、微結晶酸化物半導体膜について説明する。

20

【0158】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

30

【0159】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

40

【0160】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

50

【0161】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0162】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを用い、スパッタ法によって成膜することができる。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタ粒子は帯電しているためプラズマ中で凝集せず、結晶状態を維持したまま基板に到達し、C A A C - O S 膜を成膜することができる。

10

【0163】

第2の酸化物半導体膜404bの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、第2の酸化物半導体膜404bの結晶性を高め、さらに下地絶縁膜402、第1の酸化物半導体膜404aから水素や水などの不純物を除去することができる。なお、第2の酸化物半導体膜404bを形成するエッチングの前に第1の加熱工程を行ってもよい。

20

【0164】

次に、第1の酸化物半導体膜404aおよび第2の酸化物半導体膜404b上にソース電極406aおよびドレイン電極406bとなる第1の導電膜を形成する。第1の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタ法などにより100nmのチタン膜を形成する。またCVD法によりタングステン膜を形成してもよい。

【0165】

次に、第1の導電膜を第2の酸化物半導体膜404b上で分断するようにエッチングし、ソース電極406aおよびドレイン電極406bを形成する(図6(C)参照)。

30

【0166】

次に、第2の酸化物半導体膜404b、ソース電極406aおよびドレイン電極406b上に、第3の酸化物半導体膜403cを成膜する。

【0167】

なお、第3の酸化物半導体膜403cを成膜後に第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、第3の酸化物半導体膜403cから水素や水などの不純物を除去することができる。また、第1の酸化物半導体膜404aおよび第2の酸化物半導体膜404bから、さらに水素や水などの不純物を除去することができる。

【0168】

次に、第3の酸化物半導体膜403c上にゲート絶縁膜408となる絶縁膜407を形成する(図7(A)参照)。絶縁膜407には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。なお、絶縁膜407は、上記材料の積層であってもよい。絶縁膜407は、スパッタ法、CVD法、MBE法、ALD法またはPLD法などを用いて形成することができる。

40

【0169】

次に、絶縁膜407上にゲート電極410となる第2の導電膜409を形成する(図7(B)参照)。第2の導電膜409としては、Al、Ti、Cr、Co、Ni、Cu、Y

50

、Zr、Mo、Ru、Ag、Ta、W、またはこれらを主成分とする合金材料を用いることができる。第2の導電膜409は、スパッタ法やCVD法などにより形成することができる。また、第2の導電膜409としては、窒素を含んだ導電膜を用いてもよく、上記導電膜と窒素を含んだ導電膜の積層を用いてもよい。

【0170】

次に、ゲート電極410を形成するためのレジストマスクを用いて、第2の導電膜409を選択的にエッチングし、ゲート電極410を形成する(図7(C)参照)。なお、図1(C)に示すように、下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ t_1 の合計 $h_1 + t_1$ が、第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ よりも大きくなるように形成されているため、ゲート電極410は、第2の酸化物半導体膜404bを電氣的に取り囲むように形成される。

10

【0171】

下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ t_1 の合計 $h_1 + t_1$ と第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ の差である垂直距離Hは、チャネル幅Wの5%以上300%未満、好ましくはチャネル幅Wの10%以上300%未満、より好ましくはチャネル幅Wの20%以上250%未満、さらに好ましくはチャネル幅Wの50%以上200%未満、さらに好ましくはチャネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとよい。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

20

【0172】

また、微細化により短チャネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b(チャネル部分)を電氣的に取り囲むためキャリアを制御しやすくなり、短チャネル効果で生じた電気特性の悪化を抑制することができる。

【0173】

続いて、上記レジストマスクまたはゲート電極410をマスクとして絶縁膜407を選択的にエッチングし、ゲート絶縁膜408を形成する。

30

【0174】

続いて、上記レジストマスクまたはゲート電極410をマスクとして第3の酸化物半導体膜403cをエッチングし、第3の酸化物半導体膜404cを形成する。

【0175】

つまり、第3の酸化物半導体膜404cの上端部はゲート絶縁膜408の下端部と一致し、ゲート絶縁膜408の上端部はゲート電極410の下端部と一致する。なお、ゲート電極410をマスクとしてゲート絶縁膜408および第3の酸化物半導体膜404cを形成しているがこれに限られず、第2の導電膜409の成膜前にゲート絶縁膜408および第3の酸化物半導体膜404cを形成してもよい。

40

【0176】

次に、ソース電極406a、ドレイン電極406b、ゲート電極410上に酸化物絶縁膜412を形成する(図1(B)、図1(C)参照)。酸化物絶縁膜412は、下地絶縁膜402と同様の材料、方法を用いて形成することができる。酸化物絶縁膜412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、もしくは窒素を含む酸化物絶縁膜を用いるとよい。酸化物絶縁膜412は、スパッタ法、CVD法、MBE法、ALD法またはPLD法を用いて形成することができ、多層膜404に対し酸素を供給できるよう過剰に酸素を含む膜とすることが好ましい。

50

【0177】

また、酸化物絶縁膜412にイオン注入法、イオンドーピング法、プラズマイメージョ
ンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加するこ
とによって、酸化物絶縁膜412から多層膜404への酸素の供給をさらに容易にすること
ができる。

【0178】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条
件で行うことができる。第3の加熱処理により、下地絶縁膜402、ゲート絶縁膜408
、酸化物絶縁膜412から過剰酸素が放出されやすくなり、多層膜404の酸素欠損を低
減することができる。

10

【0179】

以上の工程で、図1に示すトランジスタ450を作製することができる。

【0180】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができ
る。

【0181】

(実施の形態3)

本実施の形態では、実施の形態1で説明したトランジスタとは異なる構造のトランジス
タについて説明する。

【0182】

図8(A)乃至図8(C)は、本発明の一態様のトランジスタの上面図および断面図で
ある。図8(A)は上面図であり、図8(A)に示す一点鎖線A-Bの断面が図8(B)
、一点鎖線C-Dの断面が図8(C)に相当する。なお、図8(A)の上面図では、図の
明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャネル
長方向、一点鎖線C-D方向をチャネル幅方向と呼称する場合がある。

20

【0183】

図8(A)乃至図8(C)に示すトランジスタ550は、基板400上の凹部および凸
部を有する下地絶縁膜402と、下地絶縁膜402の凸部上の第1の酸化物半導体膜40
4aおよび第2の酸化物半導体膜404bと、第1の酸化物半導体膜404aおよび第2
の酸化物半導体膜404b上のソース電極406aおよびドレイン電極406bと、下地
絶縁膜402の上面、第1の酸化物半導体膜404aの側面、第2の酸化物半導体膜40
4bの側面および第2の酸化物半導体膜404bの上面、ソース電極406aおよびドレ
イン電極406bと接する第3の酸化物半導体膜404cと、第3の酸化物半導体膜40
4c上のゲート絶縁膜408と、ゲート絶縁膜408に接し、第2の酸化物半導体膜40
4bの上面および側面に面するゲート電極410と、ソース電極406a、ドレイン電極
406b、およびゲート電極410上の酸化物絶縁膜412と、を有する。また、第1の
酸化物半導体膜404a、第2の酸化物半導体膜404b、および第3の酸化物半導体膜
404cを総称して多層膜404と呼称する。

30

【0184】

なお、チャネル長とは、上面図において、半導体膜とゲート電極とが重なる領域におけ
る、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電
極)との距離をいう。すなわち、図8(A)では、チャネル長(L)は、第2の酸化物半
導体膜404bとゲート電極410とが重なる領域における、ソース電極406aとドレ
イン電極406bとの距離となる。チャネル幅とは、半導体膜とゲート電極とが重なる領
域における、ソース又はドレインの幅をいう。すなわち、図8(A)では、チャネル幅(W)
は、第2の酸化物半導体膜404bとゲート電極410とが重なる領域における、ソ
ース電極406a又はドレイン電極406bの幅をいう。

40

【0185】

また、下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ
 t_1 の合計 $h_1 + t_1$ と第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜4

50

08の厚さ t_{GI} の合計 $t_3 + t_{GI}$ の差である垂直距離Hは、チャンネル幅Wの5%以上300%未満、好ましくはチャンネル幅Wの10%以上300%未満、より好ましくはチャンネル幅Wの20%以上250%未満、さらに好ましくはチャンネル幅Wの50%以上200%未満、さらに好ましくはチャンネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとよい。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

【0186】

また、微細化により短チャンネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b（チャンネル部分）を電気的に取り囲むためキャリアを制御しやすくなり、短チャンネル効果で生じた電気特性の悪化を抑制することができる。

10

【0187】

このような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404bを電気的に取り囲み、オン電流が高められる。

【0188】

また、トランジスタを微細化することで、集積度を高め、高密度化することができる。例えば、トランジスタのチャンネル長を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とする。本発明の一態様に係るトランジスタは、チャンネル幅が上記のように縮小していても、s-channel構造を有することでオン電流を高めることができる。

20

【0189】

また、本実施の形態では、酸化物半導体の端部の形状が角ばっている。このような構成にするためには、レジストマスクやハードマスクを用いて膜を加工する際に、レジストマスクやハードマスクと加工する膜とのエッチングでの選択比を大きくすればよい。

【0190】

また、図9に示すようなトランジスタ560を用いることもできる。図9(A)乃至図9(C)は、トランジスタ560の上面図および断面図である。図9(A)は上面図であり、図9(A)に示す一点鎖線A-Bの断面が図9(B)、一点鎖線C-Dの断面が図9(C)に相当する。なお、図9(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0191】

図9に示すトランジスタ560は、下地絶縁膜402と基板400との間に導電膜401を備えている。当該導電膜401を第2のゲート電極として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、ゲート電極410と導電膜401を電気的に接続して同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、ゲート電極410と導電膜401が電気的に接続しないようにし、ゲート電極410とは異なる定電位を導電膜401に供給すればよい。

40

【0192】

また、図10に示すトランジスタ570を用いることもできる。図10(A)乃至図10(C)は、トランジスタ570の上面図および断面図である。図10(A)は上面図であり、図10(A)に示す一点鎖線A-Bの断面が図10(B)、一点鎖線C-Dの断面が図10(C)に相当する。なお、図10(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0193】

トランジスタ570は、ソース電極406aおよびドレイン電極406bを形成するとき、下地絶縁膜402のオーバーエッチングがなく、下地絶縁膜402がエッチングされ

50

ていない形状となっている。

【0194】

ソース電極406aおよびドレイン電極406bとなる導電膜のエッチングの際に、下地絶縁膜402をエッチングさせないようにするには、導電膜と下地絶縁膜402のエッチングでの選択比を大きくすればよい。

【0195】

なお、第1の酸化物半導体膜404aの厚さ t_1 と、第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ との差である垂直距離Hは、チャンネル幅Wの5%以上300%未満、好ましくはチャンネル幅Wの10%以上300%未満、より好ましくはチャンネル幅Wの20%以上250%未満、さらに好ましくはチャンネル幅Wの50%以上200%未満、さらに好ましくはチャンネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとよい。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

10

【0196】

また、微細化により短チャンネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b(チャンネル部分)を電気的に取り囲むためキャリアを制御しやすくなり、短チャンネル効果で生じた電気特性の悪化を抑制することができる。

20

【0197】

また、本実施の形態では、第2の酸化物半導体膜を第1の酸化物半導体膜および第3の酸化物半導体膜で挟んでいる構成であったがこれに限られず、第1の酸化物半導体膜および第3の酸化物半導体膜を有さず第2の酸化物半導体膜のみがゲート電極に電気的に取り囲まれている構成としてもよい。

【0198】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0199】

(実施の形態4)

本実施の形態では、実施の形態3で説明した図8に示すトランジスタ550の作製方法について、図11および図12を用いて説明する。

30

【0200】

まず、基板400上に下地絶縁膜402を形成する(図11(A)参照)。基板400、下地絶縁膜402の材料および作製方法は、先の実施の形態を参酌することができる。

【0201】

次に、下地絶縁膜402上に第1の酸化物半導体膜404a、第2の酸化物半導体膜404bをスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成する(図11(B)参照)。このとき、図示するように下地絶縁膜402を若干過度にエッチングしてもよい。下地絶縁膜402を過度にエッチングすることで、後に形成するゲート電極410で第3の酸化物半導体膜404cを覆いやすくすることができる。第1の酸化物半導体膜404a、第2の酸化物半導体膜404bの材料および作製方法は、先の実施の形態を参酌することができる。

40

【0202】

なお、第1の酸化物半導体膜404a、第2の酸化物半導体膜404bを島状に形成する際に、まず、第2の酸化物半導体膜404b上にハードマスクとなる膜およびレジストマスクを設け、ハードマスクとなる膜をエッチングしてハードマスクを形成し、その後、レジストマスクを除去し、ハードマスクをマスクとして第1の酸化物半導体膜404a、第2の酸化物半導体膜404bをエッチングする。その後、ハードマスクを除去する。この時、エッチングでの選択比を大きくしておくことでハードマスクの端部が縮小しないよ

50

うにすることができる。これに伴い、第2の酸化物半導体膜404bの端部は角ばっている形状になる。

【0203】

次に、第1の導電膜を成膜し、第1の導電膜を第2の酸化物半導体膜404b上で分断するようにエッチングし、ソース電極406aおよびドレイン電極406bを形成する(図11(C)参照)。ソース電極406aおよびドレイン電極406bの材料および作製方法は、先の実施の形態を参酌することができる。

【0204】

次に、第2の酸化物半導体膜404b、ソース電極406aおよびドレイン電極406b上に、第3の酸化物半導体膜403cを成膜し、第3の酸化物半導体膜403c上にゲート絶縁膜408となる絶縁膜407を形成する(図12(A)参照)。第3の酸化物半導体膜403c、絶縁膜407の材料および作製方法は、先の実施の形態を参酌することができる。

10

【0205】

次に、絶縁膜407上にゲート電極410となる第2の導電膜409を形成する(図12(B)参照)。第2の導電膜409の材料および作製方法は、先の実施の形態を参酌することができる。

【0206】

次に、ゲート電極410を形成するためのレジストマスクを用いて、第2の導電膜409を選択的にエッチングし、ゲート電極410を形成する(図12(C)参照)。なお、図8(C)に示すように、下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ t_1 の合計 $h_1 + t_1$ が、第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ よりも大きくなるように形成されているため、ゲート電極410は、第2の酸化物半導体膜404bを電気的に取り囲むように形成される。

20

【0207】

下地絶縁膜402の凸部の高さ h_1 および第1の酸化物半導体膜404aの厚さ t_1 の合計 $h_1 + t_1$ と第3の酸化物半導体膜404cの厚さ t_3 およびゲート絶縁膜408の厚さ t_{GI} の合計 $t_3 + t_{GI}$ の差である垂直距離Hは、チャネル幅Wの5%以上300%未満、好ましくはチャネル幅Wの10%以上300%未満、より好ましくはチャネル幅Wの20%以上250%未満、さらに好ましくはチャネル幅Wの50%以上200%未満、さらに好ましくはチャネル幅Wの100%以上150%未満であるとする。また、トランジスタのばらつきを考慮すると垂直距離Hは、具体的には20nm以上、好ましくは30nm以上、さらに好ましくは40nm以上であるとよい。垂直距離Hが大きくなるにつれて特性値が収束していくため垂直距離Hの誤差による特性変動を低減することができる。

30

【0208】

また、微細化により短チャネル効果が生じ、しきい値電圧などの電気特性が悪化するが、上記のような構成にすることで、ゲート電極410は、第2の酸化物半導体膜404b(チャネル部分)を電気的に取り囲むためキャリアを制御しやすくなり、短チャネル効果で生じた電気特性の悪化を抑制することができる。

40

【0209】

続いて、上記レジストマスクまたはゲート電極410をマスクとして絶縁膜407を選択的にエッチングし、ゲート絶縁膜408を形成する。

【0210】

続いて、上記レジストマスクまたはゲート電極410をマスクとして第3の酸化物半導体膜403cをエッチングし、第3の酸化物半導体膜404cを形成する。

【0211】

つまり、第3の酸化物半導体膜404cの上端部はゲート絶縁膜408の下端部と一致し、ゲート絶縁膜408の上端部はゲート電極410の下端部と一致する。なお、ゲート

50

電極 410 をマスクとしてゲート絶縁膜 408 および第 3 の酸化物半導体膜 404c を形成しているがこれに限られず、第 2 の導電膜 409 の成膜前にゲート絶縁膜 408 および第 3 の酸化物半導体膜 404c を形成してもよい。

【0212】

次に、ソース電極 406a、ドレイン電極 406b、ゲート電極 410 上に酸化物絶縁膜 412 を形成する(図 8(B)、図 8(C)参照)。酸化物絶縁膜 412 の材料および作製方法は、先の実施の形態を参酌することができる。

【0213】

以上の工程で、図 8 に示すトランジスタ 550 を作製することができる。

【0214】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0215】

(実施の形態 5)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について、図面を参照して説明する。

【0216】

図 13(A)、図 13(B) に半導体装置の回路図を、図 13(C)、図 13(D) に半導体装置の断面図をそれぞれ示す。図 13(C)、図 13(D) はそれぞれ、左側にトランジスタ 450 のチャンネル長方向の断面図を示し、右側にチャンネル幅方向の断面図を示している。また回路図には、酸化物半導体が適用されたトランジスタであることを明示するために、「OS」の記載を付している。

【0217】

図 13(C)、図 13(D) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 2200 を有し、上部に第 2 の半導体材料を用いたトランジスタを有する。ここでは、第 2 の半導体材料を用いたトランジスタとして、実施の形態 1 で例示したトランジスタ 450 を適用した例について説明する。

【0218】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料(シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など)とし、第 2 の半導体材料を実施の形態 1 で説明した酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0219】

ここでは、トランジスタ 2200 が p チャンネル型のトランジスタであるものとして説明するが、n チャンネル型のトランジスタを用いて異なる回路を構成できることは言うまでもない。また、酸化物半導体を用いた実施の形態 1 に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0220】

図 13(A)、図 13(C)、図 13(D) に示す構成は、p チャンネル型のトランジスタと n チャンネル型のトランジスタを直列に接続し、且つ、それぞれのゲートを接続した、CMOS 回路の構成例について示している。

【0221】

本発明の一態様の酸化物半導体が適用されたトランジスタは、オン電流が高められているため、回路の高速動作が可能となる。

【0222】

図 13(C) に示す構成では、トランジスタ 2200 の上部に、絶縁膜 2201 を介してトランジスタ 450 が設けられている。また、トランジスタ 2200 とトランジスタ 4

10

20

30

40

50

50の間には複数の配線2202が設けられている。また各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ450を覆う絶縁膜2204と、絶縁膜2204上に配線2205と、トランジスタの一对の電極と同一の導電膜を加工して形成された配線2206と、が設けられている。

【0223】

このように、2つのトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0224】

図13(C)では、トランジスタ450のソースまたはドレインの一方と、トランジスタ2200のソースまたはドレインの一方が配線2202やプラグ2203によって電氣的に接続されている。また、トランジスタ450のゲートは、配線2205、配線2206、プラグ2203および配線2202などを経由して、トランジスタ2200のゲートと電氣的に接続されている。

10

【0225】

図13(D)に示す構成では、トランジスタ450のゲート絶縁層にプラグ2203を埋め込むための開口部が設けられ、トランジスタ450のゲートとプラグ2203とが接する構成となっている。このような構成とすることで回路の集積化が容易であるのに加え、図13(C)に示す構成と比較して経由する配線やプラグの数や長さを低減できるため、回路をより高速に動作させることができる。

20

【0226】

ここで、図13(C)、図13(D)に示す構成において、トランジスタ450やトランジスタ2200の電極の接続構成を異ならせることにより、様々な回路を構成することができる。例えば図13(B)に示すように、それぞれのトランジスタのソースとドレインを接続した回路構成とすることにより、いわゆるアナログスイッチとして機能させることができる。

【0227】

また、先の実施の形態のトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。

【0228】

図14に、イメージセンサ機能を有する半導体装置の等価回路の一例を示す。

30

【0229】

フォトダイオード602は、一方の電極がフォトダイオードリセット信号線658に、他方の電極がトランジスタ640のゲートに電氣的に接続されている。トランジスタ640は、ソースまたはドレインの一方がフォトセンサ基準信号線672に、ソースまたはドレインの他方がトランジスタ656のソースまたはドレインの一方に電氣的に接続されている。トランジスタ656は、ゲートがゲート信号線659に、ソースまたはドレインの他方がフォトセンサ出力信号線671に電氣的に接続されている。

【0230】

フォトダイオード602には、例えば、p型の導電性を有する半導体層と、高抵抗な(i型の導電性を有する)半導体層と、n型の導電性を有する半導体層を積層するpin型のフォトダイオードを適用することができる。

40

【0231】

フォトダイオード602に入射する光を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際に、バックライトなどの光源を用いることができる。

【0232】

なお、トランジスタ640およびトランジスタ656には、先の実施の形態のいずれかで一例を示した、酸化物半導体にチャンネルが形成されるトランジスタを用いることができる。図14では、トランジスタ640およびトランジスタ656が、酸化物半導体を含む

50

ことを明確に判明できるよう、トランジスタの記号に「OS」と付記している。

【0233】

トランジスタ640およびトランジスタ656は、上記実施の形態で一例を示したトランジスタであり、酸化物半導体膜をゲート電極によって電氣的に囲い込む構成を有することが好ましい。また、端部が丸みを帯び、曲面を有する酸化物半導体膜を用いたトランジスタであると、酸化物半導体膜上に形成される膜の被覆性を向上させることができる。また、ソース電極およびドレイン電極の端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。よって、トランジスタ640およびトランジスタ656は、電氣的特性変動が抑制された電氣的に安定なトランジスタである。該トランジスタを含むことで、図14で示すイメージセンサ機能を有する半導体装置として信頼性の高い半導体装置を提供することができる。

10

【0234】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0235】

(実施の形態6)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を、図面を用いて説明する。

【0236】

図15に半導体装置の回路図をそれぞれ示す。

20

【0237】

図15に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、実施の形態1で説明したトランジスタを用いることができる。

【0238】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

30

【0239】

図15において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

40

【0240】

図15に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0241】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電

50

荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0242】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

【0243】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

10

20

【0244】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

30

【0245】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0246】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

40

【0247】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

【0248】

50

(実施の形態7)

本実施の形態では、少なくとも先の実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0249】

図16は、実施の形態1で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0250】

図16に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic Logic Unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198 (Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189 (ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図16に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図16に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0251】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0252】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

【0253】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0254】

図16に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0255】

図16に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われ

10

20

30

40

50

る。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0256】

図17は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子700は、電源遮断で記憶データが揮発する回路701と、電源遮断で記憶データが揮発しない回路702と、スイッチ703と、スイッチ704と、論理素子706と、容量素子707と、選択機能を有する回路720と、を有する。回路702は、容量素子708と、トランジスタ709と、トランジスタ710と、を有する。なお、記憶素子700は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

10

【0257】

ここで、回路702には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子700への電源電圧の供給が停止した際、回路702のトランジスタ709のゲートには接地電位(0V)、またはトランジスタ709がオフする電位が入力され続ける構成とする。例えば、トランジスタ709のゲートが抵抗等の負荷を介して接地される構成とする。

【0258】

スイッチ703は、一導電型(例えば、nチャネル型)のトランジスタ713を用いて構成され、スイッチ704は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ714を用いて構成した例を示す。ここで、スイッチ703の第1の端子はトランジスタ713のソースとドレインの一方に対応し、スイッチ703の第2の端子はトランジスタ713のソースとドレインの他方に対応し、スイッチ703はトランジスタ713のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ713のオン状態またはオフ状態)が選択される。スイッチ704の第1の端子はトランジスタ714のソースとドレインの一方に対応し、スイッチ704の第2の端子はトランジスタ714のソースとドレインの他方に対応し、スイッチ704はトランジスタ714のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ714のオン状態またはオフ状態)が選択される。

20

30

【0259】

トランジスタ709のソースとドレインの一方は、容量素子708の一对の電極のうちの一方、およびトランジスタ710のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ710のソースとドレインの一方は、低電位電源を供給することのできる配線(例えばGND線)に電氣的に接続され、他方は、スイッチ703の第1の端子(トランジスタ713のソースとドレインの一方)と電氣的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)はスイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と電氣的に接続される。スイッチ704の第2の端子(トランジスタ714のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)と、スイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と、論理素子706の入力端子と、容量素子707の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子707の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子707の一对の電極のうちの他方は、低電位電源を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子708の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子708の一对の電極のうちの他方は、低電位電源を

40

50

供給することのできる配線（例えばGND線）と電氣的に接続される。

【0260】

なお、容量素子707および容量素子708は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0261】

トランジスタ709の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ703およびスイッチ704は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

10

【0262】

トランジスタ709のソースとドレインの他方には、回路701に保持されたデータに対応する信号が入力される。図17では、回路701から出力された信号が、トランジスタ709のソースとドレインの他方に入力される例を示した。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号は、論理素子706によってその論理値が反転された反転信号となり、回路720を介して回路701に入力される。

【0263】

なお、図17では、スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号は、論理素子706および回路720を介して回路701に入力する例を示したがこれに限定されない。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路701に入力されてもよい。例えば、回路701内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

20

【0264】

図17におけるトランジスタ709は、実施の形態1で説明したトランジスタを用いることができる。また、第2ゲート（第2のゲート電極）を有する構成とすることが好ましい。第1ゲートには制御信号WEを入力し、第2ゲートには制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位GNDやトランジスタ709のソース電位よりも小さい電位などが選ばれる。制御信号WE2は、トランジスタ709のしきい値電圧を制御するための電位信号であり、トランジスタ709のIcut（ゲート電圧が0V時のドレイン電流）をより低減することができる。なお、トランジスタ709としては、第2ゲートを有さないトランジスタを用いることもできる。

30

【0265】

また、図17において、記憶素子700に用いられるトランジスタのうち、トランジスタ709以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子700に用いられるトランジスタ全てを、チャンネルが酸化物半導体膜で形成されるトランジスタとすることもできる。または、記憶素子700は、トランジスタ709以外にも、チャンネルが酸化物半導体膜で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

40

【0266】

図17における回路701には、例えばフリップフロップ回路を用いることができる。また、論理素子706としては、例えばインバータやクロックドインバータ等を用いることができる。

50

【0267】

本発明の一態様における半導体装置では、記憶素子700に電源電圧が供給されない間は、回路701に記憶されていたデータを、回路702に設けられた容量素子708によって保持することができる。

【0268】

また、酸化物半導体膜にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ709として用いることによって、記憶素子700に電源電圧が供給されない間も容量素子708に保持された信号は長期間にわたり保たれる。こうして、記憶素子700は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

10

【0269】

また、スイッチ703およびスイッチ704を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路701が元のデータを保持しなおすまでの時間を短くすることができる。

【0270】

また、回路702において、容量素子708によって保持された信号はトランジスタ710のゲートに入力される。そのため、記憶素子700への電源電圧の供給が再開された後、容量素子708によって保持された信号を、トランジスタ710の状態（オン状態、またはオフ状態）に変換して、回路702から読み出すことができる。それ故、容量素子708に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

20

【0271】

このような記憶素子700を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

30

【0272】

本実施の形態では、記憶素子700をCPUに用いる例として説明したが、記憶素子700は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0273】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0274】

(実施の形態8)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す

40

50

。

【0275】

図18(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0276】

図18(B)は携帯データ端末であり、第1の筐体911、第2の筐体912、第1の表示部913、第2の表示部914、接続部915、操作キー916等を有する。第1の表示部913は第1の筐体911に設けられており、第2の表示部914は第2の筐体912に設けられている。そして、第1の筐体911と第2の筐体912とは、接続部915により接続されており、第1の筐体911と第2の筐体912の間の角度は、接続部915により変更が可能である。第1の表示部913における映像を、接続部915における第1の筐体911と第2の筐体912との間の角度に従って、切り替える構成としても良い。また、第1の表示部913および第2の表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

10

20

【0277】

図18(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0278】

図18(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0279】

図18(E)はビデオカメラであり、第1の筐体941、第2の筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1の筐体941に設けられており、表示部943は第2の筐体942に設けられている。そして、第1の筐体941と第2の筐体942とは、接続部946により接続されており、第1の筐体941と第2の筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1の筐体941と第2の筐体942との間の角度に従って切り替える構成としても良い。

30

【0280】

図18(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0281】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【実施例】

【0282】

本実施例では、ゲート電極の側面のチャンネルが形成される酸化半導体膜の下面より下側の突き出し長さ(先の実施の形態の垂直距離Hと同様。ここではひさし長さという)が特性に与える影響について、計算を行い、評価した。

【0283】

まず、トランジスタの構造について説明する。

【0284】

図19(A)は、トランジスタのチャンネル幅方向の断面図である。図中のWは、チャンネル幅を示している。図19(B)は、トランジスタのチャンネル長方向の断面図である。図

50

中のLは、チャンネル長を示している。

【0285】

次に、計算条件について説明する。

【0286】

計算には、synopsysのSentaurusを用い、表1に示す条件にて計算を行った。

【0287】

【表1】

サイズ	チャンネル長L	40nm
	チャンネル幅W	40nm
G1	比誘電率	4.1
	S3上の膜厚	10nm
	S3側面の膜厚	8nm
	組成比	IGZO(132)
S3	電子親和力	4.4eV
	E _g	3.6eV
	比誘電率	15
	ドナー密度	6.60E-9cm ⁻³
	電子移動度	0.1cm ² /Vs
	正孔移動度	0.01cm ² /Vs
	N _c	5.00E+18cm ⁻³
	N _v	5.00E+18cm ⁻³
	S2上の膜厚	5nm
	S2側面の膜厚	4nm
	組成比	IGZO(111)
	S2	電子親和力
E _g		3.2eV
比誘電率		15
チャンネル部分のドナー密度		6.60E-9cm ⁻³
ソース・ドレイン電極下のドナー密度		5.00E+18cm ⁻³
電子移動度		15cm ² /Vs
正孔移動度		0.01cm ² /Vs
N _c		5.00E+18cm ⁻³
N _v		5.00E+18cm ⁻³
膜厚		15nm
S1	組成比	IGZO(132)
	電子親和力	4.4eV
	E _g	3.6eV
	比誘電率	15
	ドナー密度	6.60E-9cm ⁻³
	電子移動度	0.1cm ² /Vs
	正孔移動度	0.01cm ² /Vs
	N _c	5.00E+18cm ⁻³
	N _v	5.00E+18cm ⁻³
	膜厚	条件振り[nm]
下地絶縁膜	比誘電率	4.1
	膜厚	400nm
ひさし長さ		0~55nm
GE	仕事関数	5eV
S/D	仕事関数	4.6eV

※IGZO(111)…In:Ga:Zn=1:1:1(原子数比)の酸化物ターゲット
 ※IGZO(132)…In:Ga:Zn=1:3:2(原子数比)の酸化物ターゲット

【0288】

酸化物半導体膜S1の膜厚を変化させてひさし長さを0nmから55nmまで5nm刻みに振り(12条件)、ドレイン電圧(V_d: [V])が0.1Vおよび1VのときのI_d-V_g特性を図20に示す。なお、図中の矢印は、矢印の根本から矢印の先に向かうにつれてひさし長さが長くなることを表している。

【0289】

図20より、ひさし長さが長くなるほどS値およびシフト値が大きく改善していることが分かった。なお、ここで、ドレイン電流が1.0×10⁻¹²Aのときのゲート電圧の値をシフト値と定義する。

【0290】

また、図21および図22に図20のI_d-V_g特性から求めたトランジスタの各種特性値を示す。

【0291】

図21(A)は、ひさし長さとシフト値の関係を示すグラフであり、図21(B)は、

10

20

30

40

50

ひさし長さとしきい値電圧の関係を示すグラフであり、図 2 2 (A) は、ひさし長さとしきい値の関係を示すグラフであり、図 2 2 (B) は、ひさし長さとおん電流の関係を示すグラフである。

【 0 2 9 2 】

図 2 1 および図 2 2 より、ひさし長さが 2 0 n m 程度あれば、ゲート電極の側面の電界が酸化物半導体膜 S 2 に十分及び、トランジスタの各種特性値が良好であることが確認できた。また、ばらつきを考慮すると、各種特性値が収束する、ひさし長さが 3 0 n m 以上が好ましく、4 0 n m 以上がより好ましいことが確認できた。

【 0 2 9 3 】

また、酸化物半導体膜 S 1 と酸化物半導体膜 S 3 の構成を有さない、かつ、下地絶縁膜凸型であるトランジスタについても計算を行い、評価した。

【 0 2 9 4 】

まず、トランジスタの構造について説明する。

【 0 2 9 5 】

図 2 3 (A) は、トランジスタのチャネル幅方向の断面図である。図中の W は、チャネル幅を示している。図 2 3 (B) は、トランジスタのチャネル長方向の断面図である。図中の L は、チャネル長を示している。

【 0 2 9 6 】

次に、計算条件について説明する。

【 0 2 9 7 】

計算には、s y n o p s y s の S e n t a u r u s を用い、表 2 に示す条件にて計算を行った。

【 0 2 9 8 】

【表 2】

サイズ	チャネル長L	40nm
	チャネル幅W	40nm
GI	比誘電率	4.1
	膜厚	10nm
S2	組成比	IGZO(111)
	電子親和力	4.6eV
	Eg	3.2eV
	比誘電率	15
	チャネル部分のドナー密度	6.60E-9cm ⁻³
	ソース・ドレイン電極下のドナー密度	5.00E+18cm ⁻³
	電子移動度	15cm ² /Vs
	正孔移動度	0.01cm ² /Vs
	Nc	5.00E+18cm ⁻³
	Nv	5.00E+18cm ⁻³
下地絶縁膜 (可変)	膜厚	15nm
	比誘電率	4.1
下地絶縁膜	膜厚	条件振り[nm]
	比誘電率	4.1
ひさし長さ	膜厚	400nm
GE	仕事関数	0~140nm
S/D	仕事関数	5eV
		4.6eV

※IGZO(111)…In:Ga:Zn=1:1:1(原子数比)の酸化物ターゲット

【 0 2 9 9 】

下地絶縁膜(可変)の膜厚を変化させてひさし長さを 0 n m から 1 4 0 n m まで 2 0 n m 刻みに振り(8条件)、ドレイン電圧(V_d: [V])が 0 . 1 V および 1 V のときの

$I_d - V_g$ 特性を図 2 4 に示す。なお、図中の矢印は、矢印の根本から矢印の先に向かうにつれてひさし長さが長くなることを表している。

【0300】

図 2 4 より、ひさし長さが長くなるほど S 値およびシフト値が大きく改善していることが分かった。

【0301】

また、図 2 5 および図 2 6 に図 2 4 の $I_d - V_g$ 特性から求めたトランジスタの各種特性値を示す。

【0302】

図 2 5 (A) は、ひさし長さとシフト値の関係を示すグラフであり、図 2 5 (B) は、ひさし長さとしきい値電圧の関係を示すグラフであり、図 2 6 (A) は、ひさし長さと S 値の関係を示すグラフであり、図 2 6 (B) は、ひさし長さとオン電流の関係を示すグラフである。

【0303】

図 2 5 および図 2 6 より、ひさし長さが 20 nm 程度あれば、ゲート電極の側面の電界が酸化物半導体膜 S_2 に十分及び、トランジスタの各種特性値が良好であることが確認できた。また、ばらつきを考慮すると、各種特性値が収束する、ひさし長さが 30 nm 以上が好ましく、40 nm 以上がより好ましいことが確認できた。

【0304】

この理由として、図 2 3 に示すトランジスタを用いて説明する。ひさし部分（側面のゲート電極が酸化物半導体膜 S_2 の下面より突き出している部分：図 2 3 中の破線で囲んだ部分）と酸化物半導体膜 S_2 下部により形成される容量の、ひさし長さの依存性が関係していると考えられる。

【0305】

図 2 3 に示すように、ひさし長さを h 、チャネル幅を W 、ゲート絶縁膜の膜厚を t_{GI} 、ひさし部分下端と酸化物半導体膜 S_2 の下部中央点とでなす角度を θ とすると、ひさし部分と酸化物半導体膜 S_2 の下部により形成される容量は、下記の式で近似的に表される。

【0306】

【数 1】

$$\frac{\theta}{\pi/2} C_0$$

【0307】

ここで、 C_0 は、無限に長いひさし部分と酸化物半導体膜 S_2 の下部により形成される容量である。このとき、 θ は下記の式で表される。

【0308】

【数 2】

$$\theta = \arctan \left\{ \frac{h}{(t_{GI} + W/2)} \right\}$$

【0309】

次に、数式 1 の C_0 の係数とひさし長さ h の関係を表したグラフを図 2 7 に示す。

【0310】

図 2 7 より、チャネル幅 W が 40 nm では、係数 $(\theta / (\pi/2))$ はひさし長さが 50 nm 程度までは大きく増加し、50 nm 以降はあまり大きくならないことが確認できた。これは、ひさし長さが 40 nm 以降でほとんど特性変化が起こらなくなる計算結果と完全な一致ではないが傾向は再現できているということが出来る。また、チャネル幅 W が大きいほどひさし長さを長くしないとばらつきを抑制できないことが分かった。

【符号の説明】

【0311】

10

20

30

40

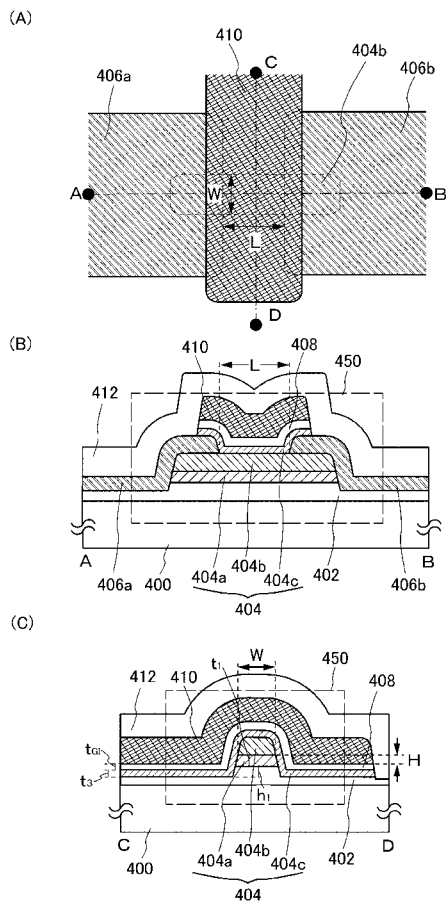
50

1 0 1	半 導 体 層	
1 0 2	電 子 捕 獲 層	
1 0 2 a	絶 縁 層	
1 0 2 b	絶 縁 層	
1 0 2 c	絶 縁 層	
1 0 3	ゲ ー ト 電 極	
1 0 6	電 子 捕 獲 準 位	
1 0 7	電 子	
1 0 8	曲 線	
1 0 9	曲 線	10
1 1 0	ト ラ ン ジ ス タ	
1 1 1	容 量 素 子	
4 0 0	基 板	
4 0 1	導 電 膜	
4 0 2	下 地 絶 縁 膜	
4 0 3 c	第 3 の 酸 化 物 半 導 体 膜	
4 0 4	多 層 膜	
4 0 4 a	第 1 の 酸 化 物 半 導 体 膜	
4 0 4 b	第 2 の 酸 化 物 半 導 体 膜	
4 0 4 c	第 3 の 酸 化 物 半 導 体 膜	20
4 0 6 a	ソ ー ス 電 極	
4 0 6 b	ド レ イ ン 電 極	
4 0 7	絶 縁 膜	
4 0 8	ゲ ー ト 絶 縁 膜	
4 0 9	導 電 膜	
4 1 0	ゲ ー ト 電 極	
4 1 2	酸 化 物 絶 縁 膜	
4 3 5	境 界	
4 5 0	ト ラ ン ジ ス タ	
4 6 0	ト ラ ン ジ ス タ	30
4 7 0	ト ラ ン ジ ス タ	
5 5 0	ト ラ ン ジ ス タ	
5 6 0	ト ラ ン ジ ス タ	
5 7 0	ト ラ ン ジ ス タ	
6 0 2	フ ォ ト ダ イ オ ー ド	
6 4 0	ト ラ ン ジ ス タ	
6 5 6	ト ラ ン ジ ス タ	
6 5 8	フ ォ ト ダ イ オ ー ド リ セ ッ ト 信 号 線	
6 5 9	ゲ ー ト 信 号 線	
6 7 2	フ ォ ト セ ン サ 基 準 信 号 線	40
7 0 0	記 憶 素 子	
7 0 1	回 路	
7 0 2	回 路	
7 0 3	ス イ ッ チ	
7 0 4	ス イ ッ チ	
7 0 6	論 理 素 子	
7 0 7	容 量 素 子	
7 0 8	容 量 素 子	
7 0 9	ト ラ ン ジ ス タ	
7 1 0	ト ラ ン ジ ス タ	50

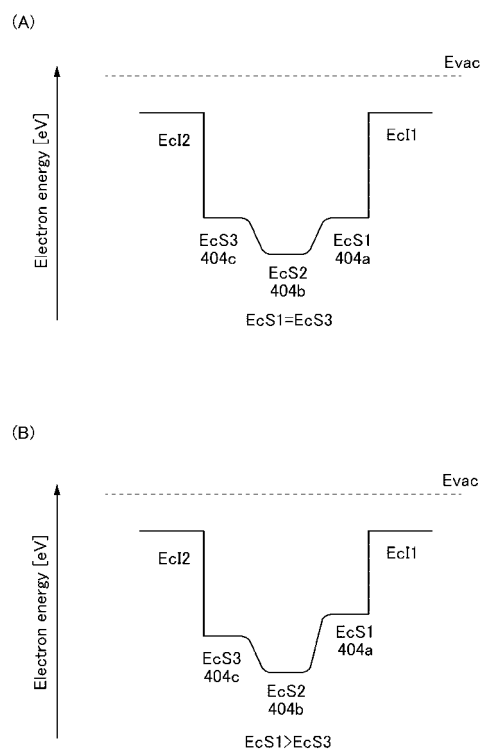
7 1 3	トランジスタ	
7 1 4	トランジスタ	
7 2 0	回路	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	10
9 0 8	スタイラス	
9 1 1	第 1 の筐体	
9 1 2	第 2 の筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	20
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	第 1 の筐体	
9 4 2	第 2 の筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	30
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	40
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁膜	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁膜	50

- 2 2 0 5 配線
- 2 2 0 6 配線
- 3 0 0 1 配線
- 3 0 0 2 配線
- 3 0 0 3 配線
- 3 0 0 4 配線
- 3 0 0 5 配線
- 3 2 0 0 トランジスタ
- 3 3 0 0 トランジスタ
- 3 4 0 0 容量素子

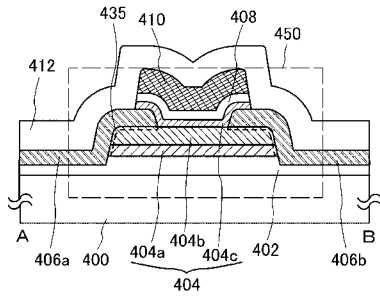
【 図 1 】



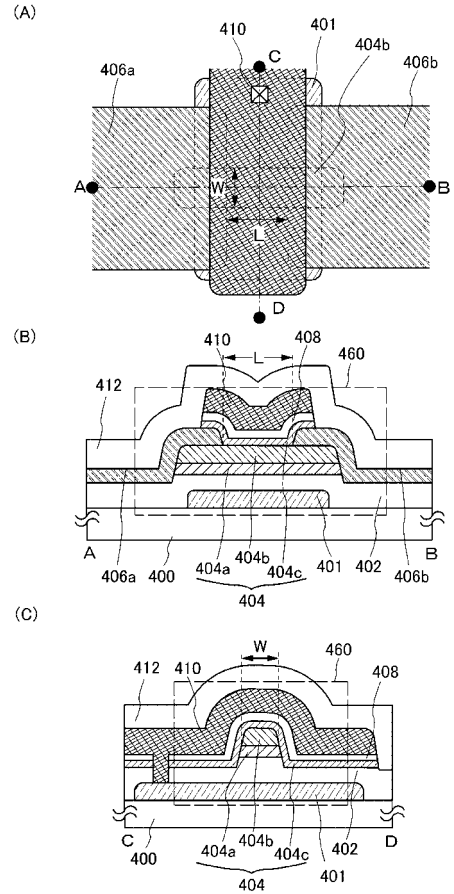
【 図 2 】



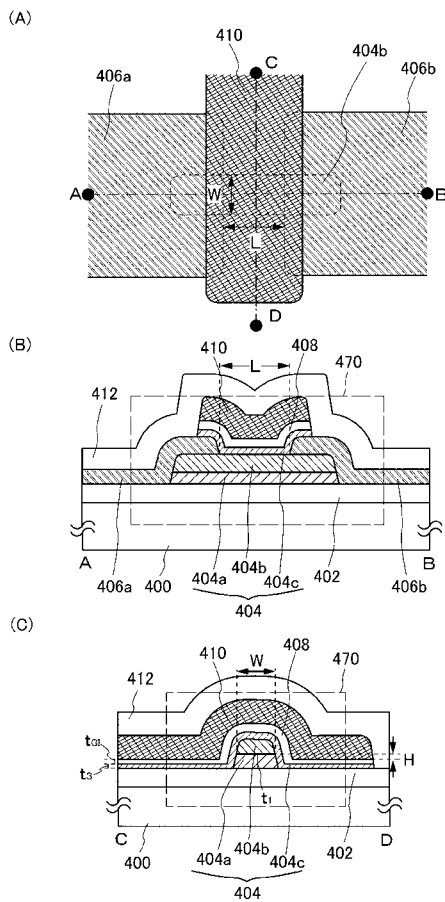
【 図 3 】



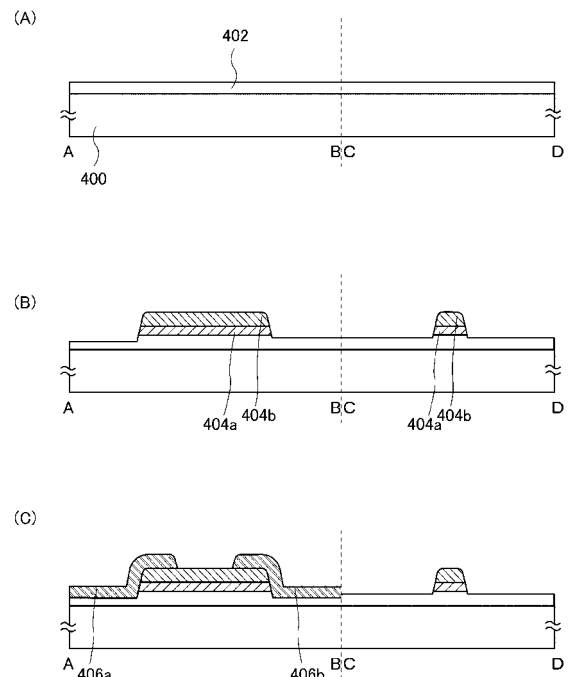
【 図 4 】



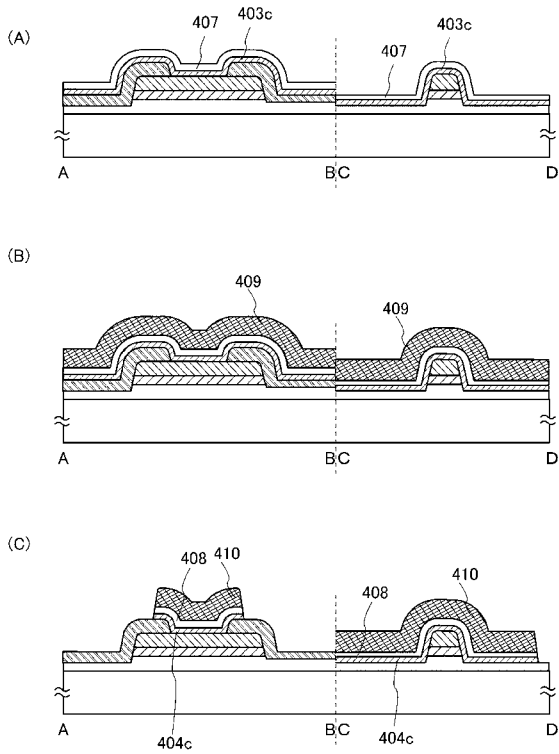
【 図 5 】



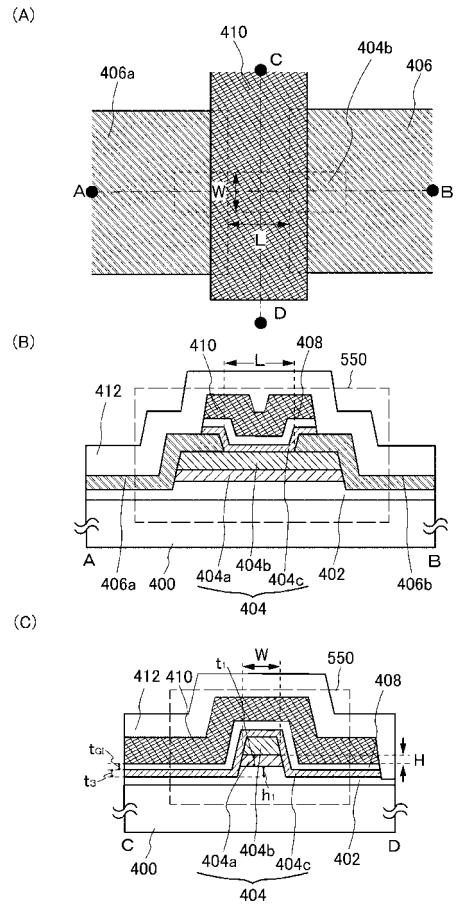
【 図 6 】



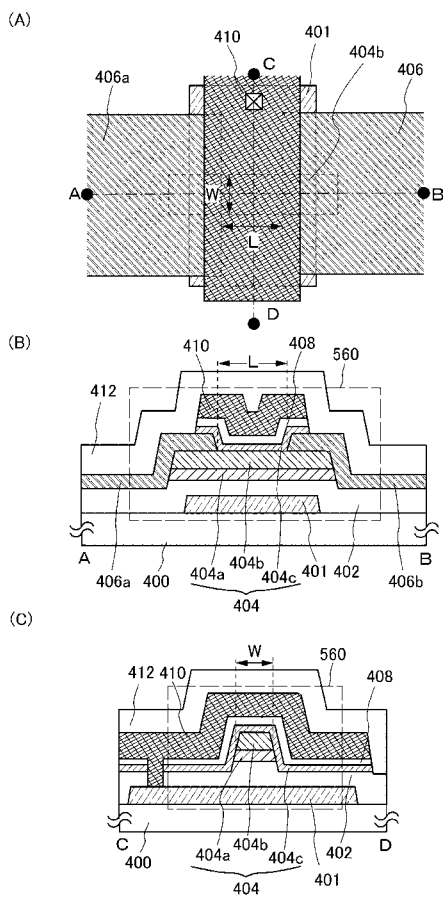
【 図 7 】



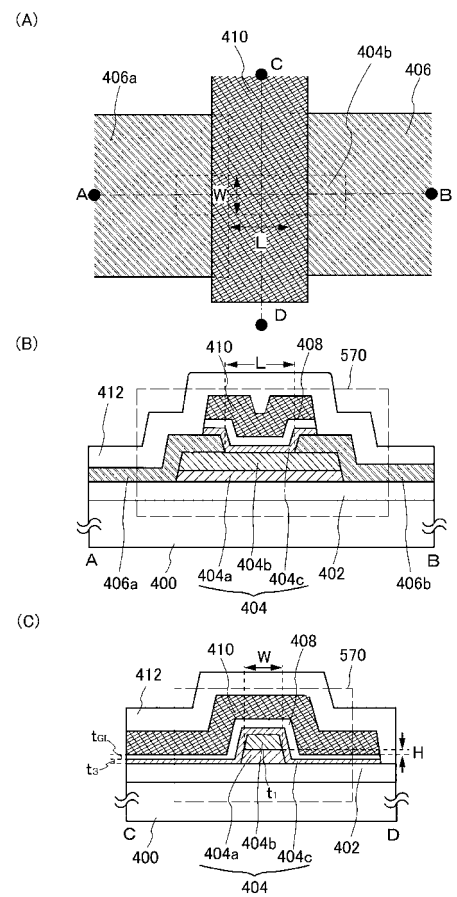
【 図 8 】



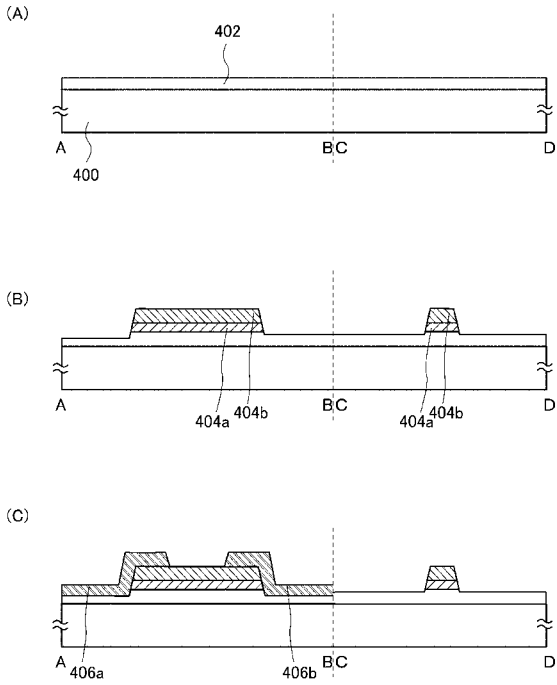
【 図 9 】



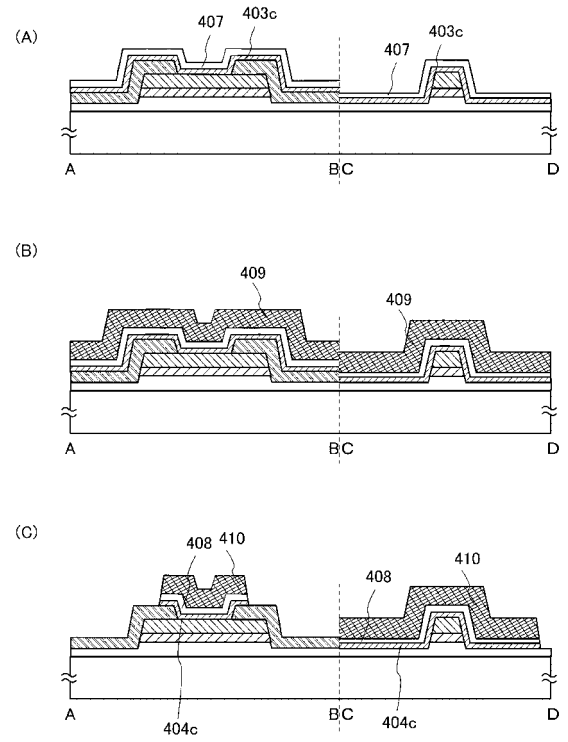
【 図 10 】



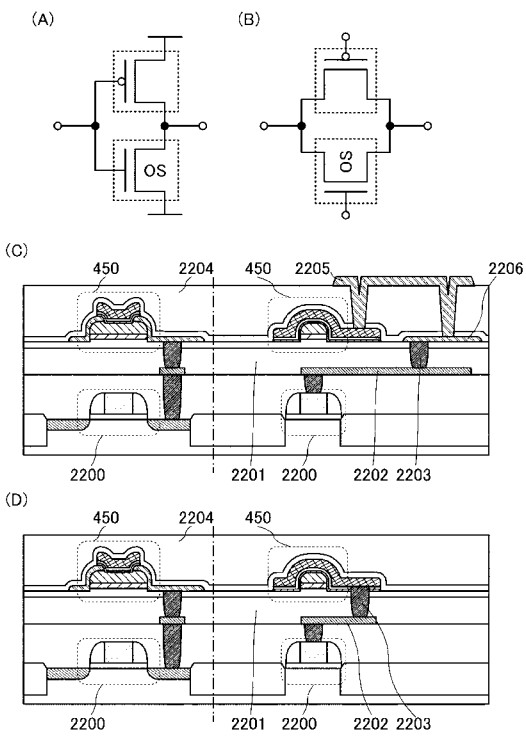
【 図 1 1 】



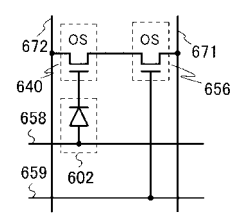
【 図 1 2 】



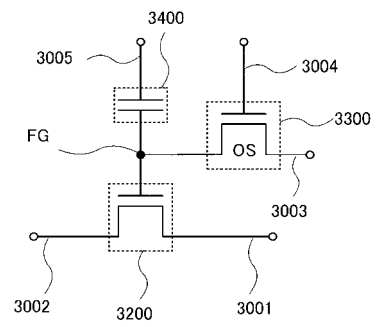
【 図 1 3 】



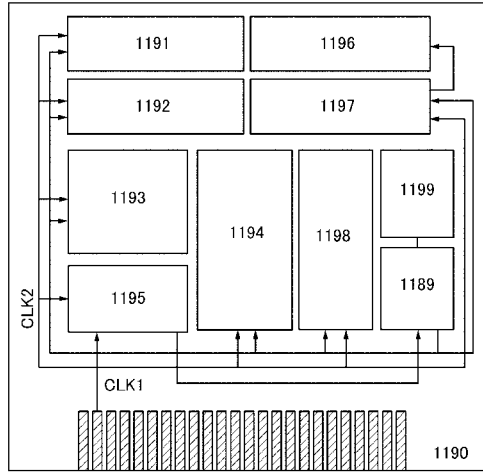
【 図 1 4 】



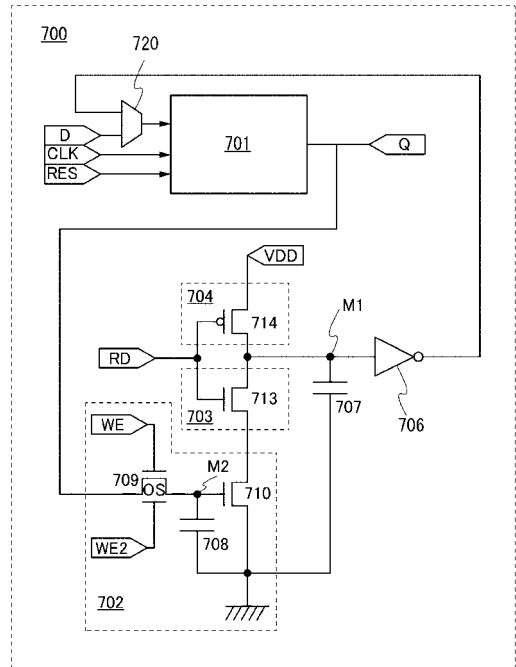
【 図 1 5 】



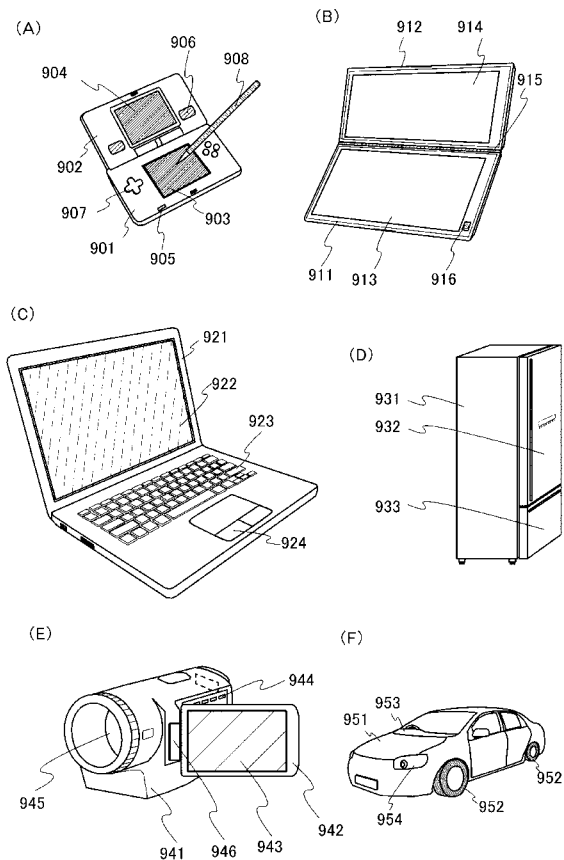
【図16】



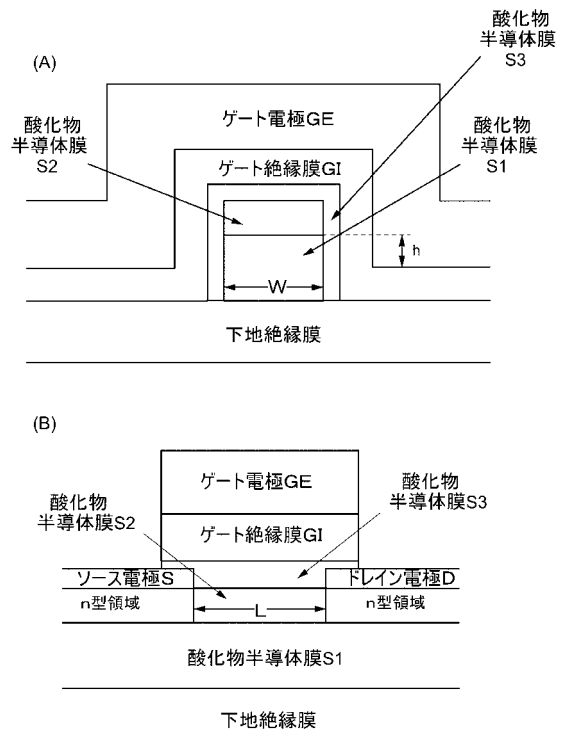
【図17】



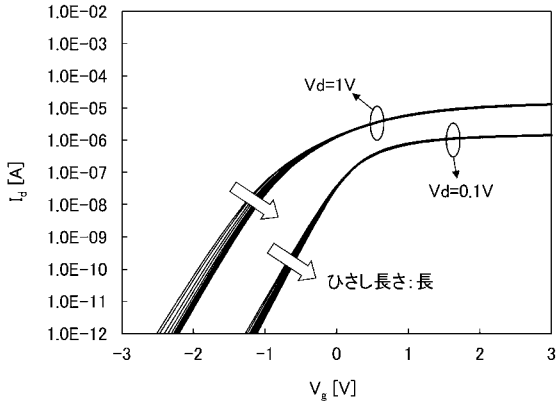
【図18】



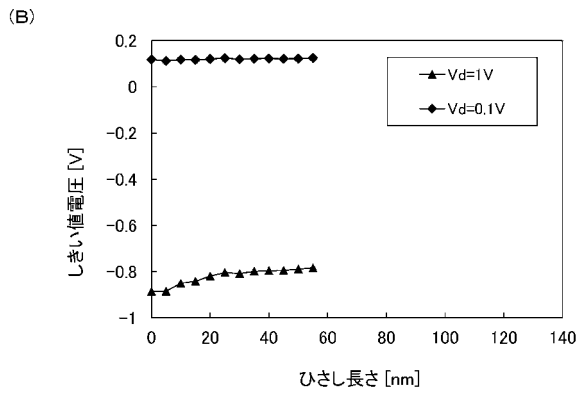
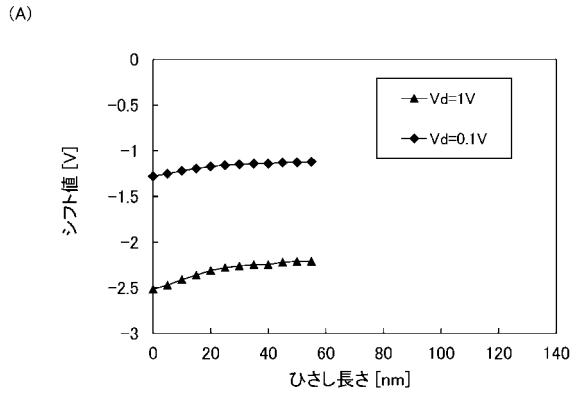
【図19】



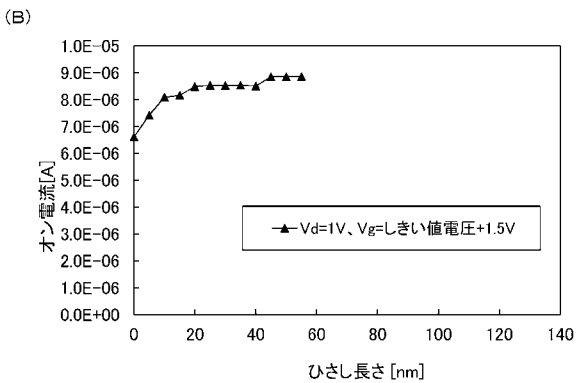
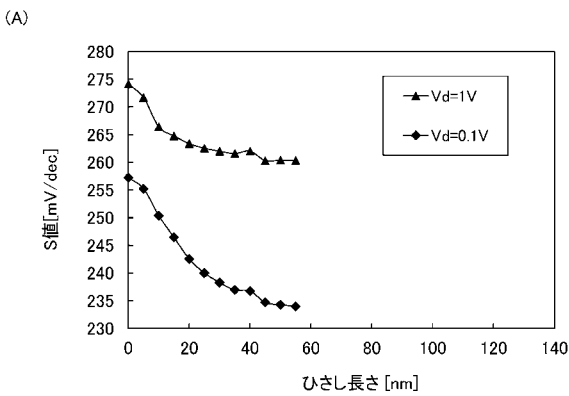
【 図 2 0 】



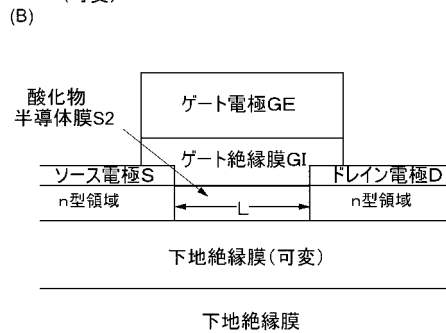
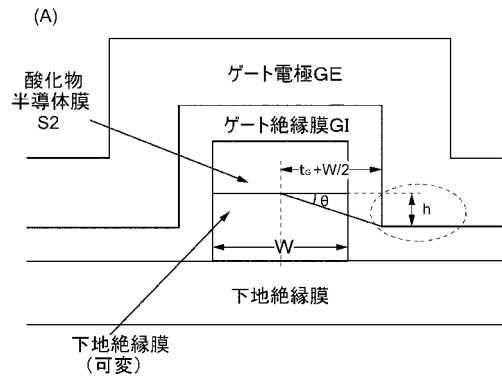
【 図 2 1 】



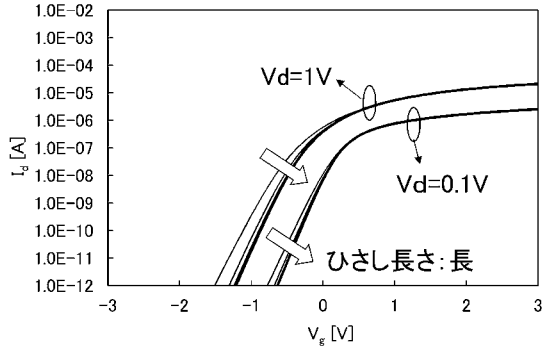
【 図 2 2 】



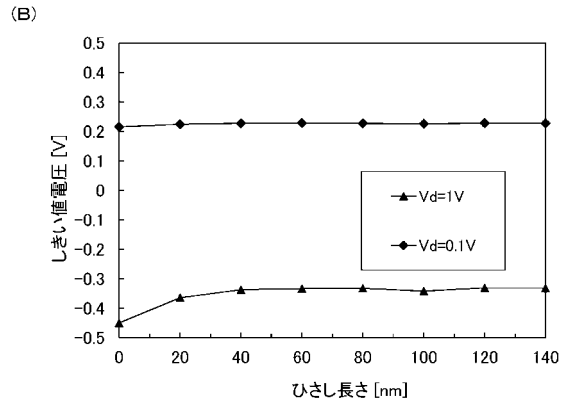
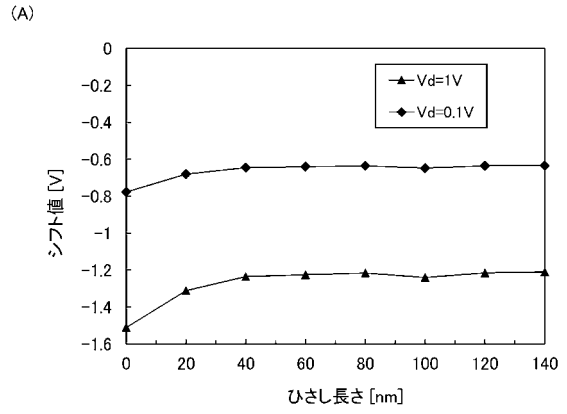
【 図 2 3 】



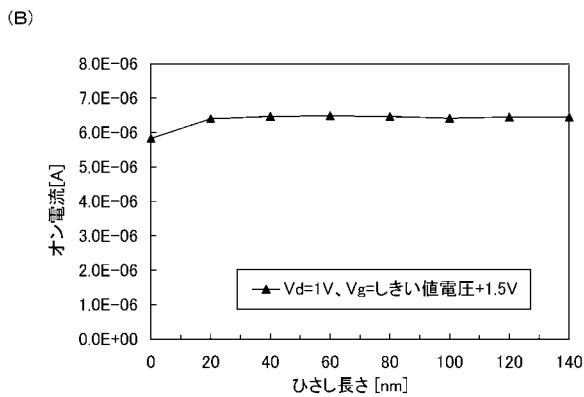
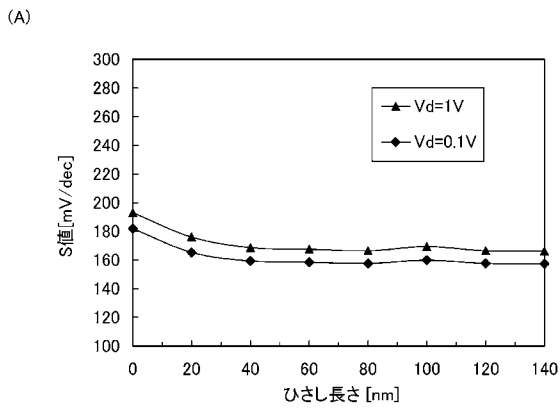
【 図 2 4 】



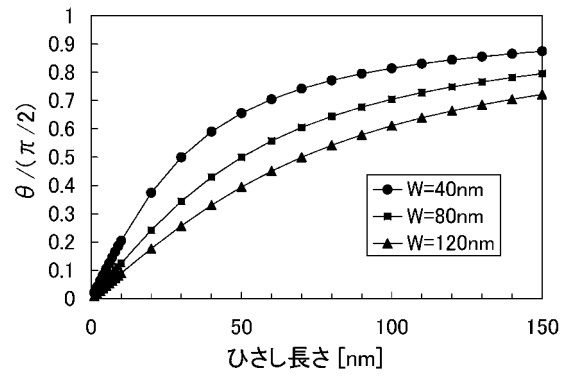
【 図 2 5 】



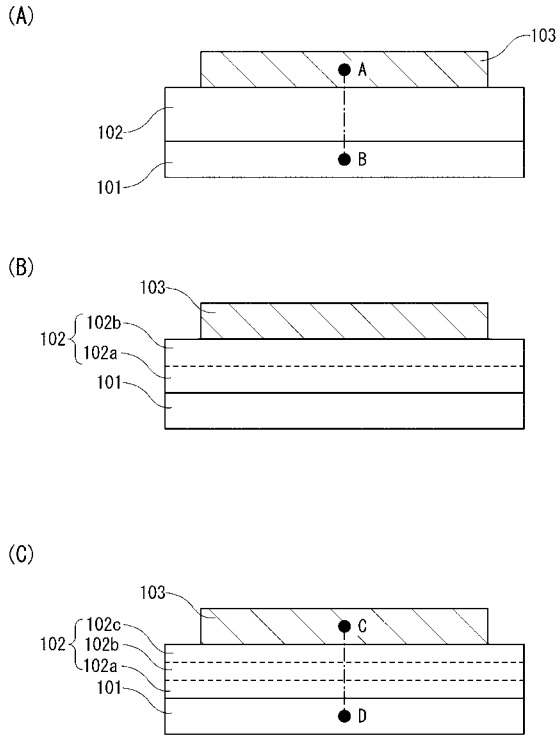
【 図 2 6 】



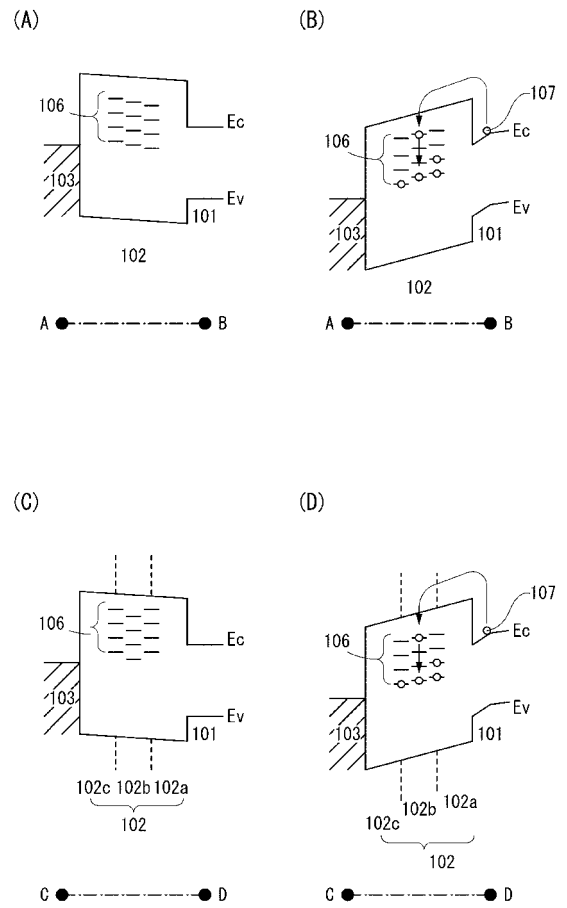
【 図 2 7 】



【図 28】



【図 29】



【図 30】

