



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년10월25일
(11) 등록번호 10-2593562
(24) 등록일자 2023년10월19일

- (51) 국제특허분류(Int. Cl.)
H01L 23/525 (2006.01) H01L 23/00 (2006.01)
H01L 23/12 (2006.01) H01L 23/48 (2006.01)
H01L 23/485 (2006.01) H01L 23/528 (2006.01)
H10N 97/00 (2023.01)
- (52) CPC특허분류
H01L 23/525 (2013.01)
H01L 23/12 (2013.01)
- (21) 출원번호 10-2019-0017514
- (22) 출원일자 2019년02월15일
심사청구일자 2021년12월24일
- (65) 공개번호 10-2020-0099655
- (43) 공개일자 2020년08월25일
- (56) 선행기술조사문헌
US09704796 B1*
US20140264748 A1
US20080153245 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
이석현
경기도 화성시 동탄중앙로 213 (반송동, 시범한
빛마을금호어울림아파트) 244동 1604호
- (74) 대리인
특허법인 고려

전체 청구항 수 : 총 19 항

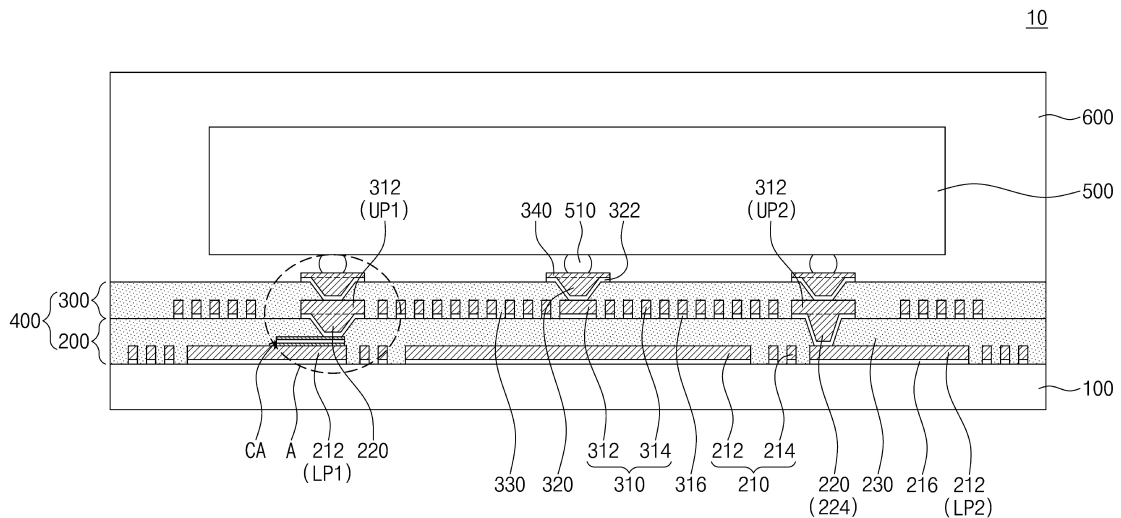
심사관 : 정구원

(54) 발명의 명칭 재배선 기판, 이의 제조 방법, 및 이를 포함하는 반도체 패키지

(57) 요약

제 1 절연층 내에 배치되는 제 1 하부 패드 및 제 2 하부 패드를 포함하는 제 1 도전 패턴, 상기 제 1 절연층 상에 배치되는 제 1 상부 패드 및 제 2 상부 패드를 포함하는 제 2 도전 패턴, 상기 제 1 절연층 내에서 상기 제 1 하부 패드와 상기 제 1 상부 패드를 연결하는 제 1 비아, 상기 제 1 절연층 내에서 상기 제 2 하부 패드와 상기 제 2 상부 패드를 연결하는 제 2 비아, 및 상기 제 1 하부 패드와 상기 제 1 비아 사이에 제공되는 커패시터를 포함하는 재배선 기판을 제공한다.

대표도



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/485 (2013.01)

H01L 23/528 (2013.01)

H01L 24/06 (2013.01)

H01L 24/14 (2013.01)

H01L 28/75 (2013.01)

명세서

청구범위

청구항 1

제 1 절연층 내에 배치되는 제 1 하부 패드 및 제 2 하부 패드를 포함하는 제 1 도전 패턴;
 상기 제 1 절연층 상에 배치되는 제 1 상부 패드 및 제 2 상부 패드를 포함하는 제 2 도전 패턴;
 상기 제 1 절연층 내에서 상기 제 1 하부 패드와 상기 제 1 상부 패드를 연결하는 제 1 비아;
 상기 제 1 절연층 내에서 상기 제 2 하부 패드와 상기 제 2 상부 패드를 연결하는 제 2 비아; 및
 상기 제 1 하부 패드와 상기 제 1 비아 사이에 제공되는 커패시터를 포함하되,
 상기 커패시터의 하면과 수직인 방향으로 상기 커패시터의 두께는 상기 제 1 하부 패드의 두께보다 작고,
 상기 커패시터의 폭은 상기 제 1 하부 패드의 폭보다 작거나 같고, 상기 제 1 비아의 폭보다 크거나 같은 재배선 기관.

청구항 2

제 1 항에 있어서,
 상기 커패시터는 상기 제 1 하부 패드의 상면 상에 순차적으로 적층되는 베리어층, 유전층 및 상부 전극을 포함하되,
 상기 베리어층은 상기 제 1 하부 패드의 상면과 접하고, 상기 상부 전극은 상기 제 1 비아와 접촉되는 재배선 기관.

청구항 3

제 2 항에 있어서,
 상기 베리어층의 측면들, 상기 유전층의 측면들 및 상기 상부 전극의 측면들은 상기 제 1 절연층과 접하는 재배선 기관.

청구항 4

제 2 항에 있어서,
 상기 베리어층의 폭, 상기 유전층의 폭 및 상기 상부 전극의 폭은 동일한 재배선 기관.

청구항 5

제 2 항에 있어서,
 상기 커패시터는 상기 제 2 도전 패턴으로부터 멀어질수록 폭이 작아지는 폭을 갖는 테이퍼진(tapered) 형상을 갖되,
 상기 베리어층의 측면, 상기 유전층의 측면 및 상기 상부 전극의 측면은 공면(coplanar)을 이루는 재배선 기관.

청구항 6

제 1 항에 있어서,
 상기 제 1 비아의 높이와 상기 커패시터의 높이의 합은 상기 제 2 비아의 높이와 동일한 재배선 기관.

청구항 7

제 1 항에 있어서,
 상기 제 2 비아는 상기 제 2 상부 패드와 직접적으로 접하고, 상기 제 2 하부 패드의 상면 상에 접속되는 재배선 기관.

선 기관.

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 제 1 하부 패드, 상기 커패시터 및 상기 제 1 비아는 수직 중첩되는 재배선 기관.

청구항 10

절연층 내에 수직으로 이격되어 배치되는 제 1 도전 패턴 및 제 2 도전 패턴;

상기 제 1 도전 패턴과 상기 제 2 도전 패턴을 연결하는 제 1 비아들;

상기 제 1 도전 패턴과 상기 제 1 비아들의 어느 하나 사이에 제공되는 커패시터;

상기 제 2 도전 패턴 상에 배치되는 제 2 비아들;

상기 절연층 상에서 상기 제 2 비아들에 연결되는 언더 범프 패드들; 및

상기 언더 범프 패드들에 실장되는 반도체 칩을 포함하되,

상기 제 1 도전 패턴의 하면과 수직인 방향으로, 상기 제 1 도전 패턴의 상기 하면과 상기 제 2 비아들의 상면 사이의 거리는 상기 반도체 칩의 두께보다 작은 반도체 패키지.

청구항 11

제 10 항에 있어서,

상기 커패시터는 상기 제 1 도전 패턴의 상면 상에 순차적으로 적층되는 베리어층, 유전층 및 상부 전극을 포함하는 반도체 패키지.

청구항 12

제 11 항에 있어서,

상기 베리어층은 상기 제 1 도전 패턴의 상면과 접하고, 상기 상부 전극은 상기 제 1 비아들의 어느 하나와 접촉되는 반도체 패키지.

청구항 13

제 10 항에 있어서,

상기 커패시터의 폭은 상기 제 1 도전 패턴의 폭보다 작거나 같고, 상기 제 1 비아의 폭보다 크거나 같은 반도체 패키지.

청구항 14

제 10 항에 있어서,

상기 커패시터의 측면들은 상기 절연층과 접하는 반도체 패키지.

청구항 15

기관 상에 제 1 도전 패턴을 형성하는 것;

상기 제 1 도전 패턴 상에 베리어층, 유전층 및 상부 전극을 순차적으로 적층하여 커패시터를 형성하는 것;

상기 제 1 도전 패턴 및 상기 커패시터를 덮는 제 1 절연층을 형성하는 것, 상기 제 1 절연층은 상기 커패시터의 상면을 노출하는 제 1 관통 홀을 갖고; 및

상기 제 1 절연층 상에 제 1 비아 및 제 2 도전 패턴을 형성하는 것을 포함하되,

상기 제 1 비아는 상기 제 1 관통 홀 내에 형성되어 상기 커패시터와 연결되고,

상기 커패시터의 하면과 수직인 방향으로 상기 커패시터의 두께는 상기 제 1 도전 패턴의 두께보다 작은 재배선 기판의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 커패시터를 형성하는 것은:

상기 제 1 도전 패턴 상에 상기 제 1 도전 패턴을 노출시키는 제 1 리세스를 갖는 제 1 마스크 패턴을 제공하는 것;

상기 제 1 리세스 내에 상기 베리어층, 상기 유전층 및 상기 상부 전극을 순차적으로 증착하는 것; 및

상기 제 1 마스크 패턴을 제거하는 것을 포함하는 재배선 기판의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 리세스의 폭은 상기 제 1 도전 패턴의 폭보다 작고, 상기 제 1 비아의 폭보다 큰 재배선 기판의 제조 방법.

청구항 18

제 15 항에 있어서,

상기 커패시터를 형성하는 것은:

상기 제 1 도전 패턴을 덮도록 베리어막, 유전막 및 상부 전극막을 순차적으로 증착하는 것; 및

상기 제 1 도전 패턴의 상면 상에 잔여하도록 상기 베리어막, 상기 유전막 및 상기 상부 전극막을 패터닝하는 것을 포함하는 재배선 기판의 제조 방법.

청구항 19

제 15 항에 있어서,

상기 제 1 비아 및 상기 제 2 도전 패턴을 형성하는 것은:

상기 제 1 절연층 및 상기 제 1 관통 홀의 바닥면과 내벽을 덮는 시드막을 형성하는 것;

상기 제 1 절연층 상에 상기 제 1 관통 홀을 노출시키는 제 2 리세스를 갖는 제 2 마스크 패턴을 형성하는 것; 및

상기 시드막을 시드로 상기 제 2 리세스 내에 도전 물질을 채우는 것을 포함하는 재배선 기판의 제조 방법.

청구항 20

제 1 도전 패턴;

상기 제 1 도전 패턴의 상면에 연결되는 제 1 비아;

상기 제 1 도전 패턴과 상기 제 1 비아 사이에 제공되는 커패시터;

상기 제 1 비아 상의 제 2 도전 패턴, 상기 제 2 도전 패턴은 상기 제 1 비아와 연결되는 상부 패드 및 상기 상부 패드와 이격되어 배치되는 상부 배선들을 포함하고;

상기 상부 패드의 상면에 연결되는 제 2 비아; 및

상기 제 2 비아의 상면에 전기적으로 연결되는 반도체 칩을 포함하되,

상기 제 1 도전 패턴의 하면에 수직한 방향으로 상기 제 1 도전 패턴의 상기 하면과 상기 제 2 비아의 상기 상면 사이의 거리는 상기 반도체 칩의 두께보다 작고,

상기 커패시터는 상기 제 1 도전 패턴의 상면 상에 순차적으로 적층되는 베리어층, 유전층 및 상부 전극을 포함하는 재배선 기판.

발명의 설명

기술 분야

[0001] 본 발명은 재배선 기판, 이의 제조 방법, 및 이를 포함하는 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 패키지는 집적회로 칩을 전자제품에 사용하기 적합한 형태로 구현한 것이다. 통상적으로 반도체 패키지는 인쇄 회로 기판(PCB) 상에 반도체 칩을 실장하고 본딩 와이어 내지 범프를 이용하여 이들을 전기적으로 연결하는 것이 일반적이다. 전자 산업의 발달로 전자 부품의 고기능화, 고속화 및 소형화 요구가 증대되고 있다.

[0003] 한편, 반도체 칩이 고집적화됨에 따라 반도체 칩의 크기는 점차 줄어들고 있다. 그러나 반도체 칩이 작아짐에 따라, 원하는 수의 배선의 형성이 어려워지고 있다. 이러한 추세에 대응하여, 웨이퍼 레벨 패키지(wafer level package) 및 패널 레벨 패키지(panel level package)가 제공되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 소형화된 재배선 기판 및 이를 포함하는 반도체 패키지를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 신뢰성이 향상된 재배선 기판 및 이를 포함하는 반도체 패키지를 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 재배선 기판은 제 1 절연층 내에 배치되는 제 1 하부 패드 및 제 2 하부 패드를 포함하는 제 1 도전 패턴, 상기 제 1 절연층 상에 배치되는 제 1 상부 패드 및 제 2 상부 패드를 포함하는 제 2 도전 패턴, 상기 제 1 절연층 내에서 상기 제 1 하부 패드와 상기 제 1 상부 패드를 연결하는 제 1 비아, 상기 제 1 절연층 내에서 상기 제 2 하부 패드와 상기 제 2 상부 패드를 연결하는 제 2 비아, 및 상기 제 1 하부 패드와 상기 제 1 비아 사이에 제공되는 커패시터를 포함할 수 있다.

[0008] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 재배선 기판은 제 1 도전 패턴, 상기 제 1 도전 패턴의 상면에 연결되는 제 1 비아, 상기 제 1 도전 패턴과 상기 제 1 비아 사이에 제공되는 커패시터, 상기 제 1 비아 상의 제 2 도전 패턴, 상기 제 2 도전 패턴은 상기 제 1 비아와 연결되는 상부 패드 및 상기 상부 패드와 이격되어 배치되는 상부 배선들을 포함하고, 및 상기 상부 패드의 상면에 연결되는 제 2 비아를 포함할 수 있다. 상기 커패시터는 상기 제 1 도전 패턴의 상면 상에 순차적으로 적층되는 베리어층, 유전층 및 상부 전극을 포함할 수 있다.

[0009] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 반도체 패키지는 절연층 내에 수직으로 이격되어 배치되는 제 1 도전 패턴 및 제 2 도전 패턴, 상기 제 1 도전 패턴과 상기 제 2 도전 패턴을 연결하는 제 1 비아들, 상기 제 1 도전 패턴과 상기 제 1 비아들의 어느 하나 사이에 제공되는 커패시터, 상기 제 2 도전 패턴 상에 배치되는 제 2 비아들, 상기 절연층 상에서 상기 제 2 비아들에 연결되는 언더 범프 패드들, 및 상기 언더 범프 패드들에 실장되는 반도체 칩을 포함할 수 있다.

[0010] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 재배선 기판의 제조 방법은 기판 상에 제 1 도전 패턴을 형성하는 것, 상기 제 1 도전 패턴 상에 베리어층, 유전층 및 상부 전극을 순차적으로 적층하여 커패시터를 형성하는 것, 상기 제 1 도전 패턴 상에 제 1 비아를 형성하는 것, 상기 제 1 비아 상에 제 2 도전 패턴을 형성하는 것, 상기 제 2 도전 패턴 상에 상부 패드를 형성하는 것, 및 상기 상부 패드 상에 제 2 비아를 형성하는 것을 포함할 수 있다.

패시터를 형성하는 것, 상기 제 1 도전 패턴 및 상기 커패시터를 덮는 제 1 절연층을 형성하는 것, 상기 제 1 절연층은 상기 커패시터의 상면을 노출하는 제 1 관통 홀을 갖고, 및 상기 제 1 절연층 상에 제 1 비아 및 제 2 도전 패턴을 형성하는 것을 포함할 수 있다. 상기 제 1 비아는 상기 제 1 관통 홀 내에 형성되어 상기 커패시터와 연결될 수 있다.

[0011] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 재배선 기관의 제조 방법은 제 1 도전 패턴을 형성하는 것, 상기 제 1 도전 패턴 상에 상기 제 1 도전 패턴을 노출시키는 제 1 리세스를 갖는 제 1 절연층을 형성하는 것, 상기 리세스 내에 베리어층, 유전층 및 상부 전극을 순차적으로 증착하여 상기 제 1 리세스의 하부를 채우는 커패시터를 형성하는 것, 및 상기 절연층 상에 제 1 비아 및 제 2 도전 패턴을 형성하는 것을 포함할 수 있다. 상기 제 1 비아는 상기 제 1 리세스의 잔부를 채우도록 형성되어 상기 커패시터와 연결될 수 있다.

발명의 효과

[0012] 본 발명의 실시예들에 따른 커패시터는 재배선 기관 내에 제공될 수 있다. 즉, 재배선 기관은 그의 내부에 커패시터를 배치하기 위한 별도의 공간이 필요하지 않을 수 있으며, 재배선 기관 및 이를 포함하는 반도체 패키지의 소형화에 기여할 수 있다. 더하여, 커패시터는 베리어층을 포함하여 커패시터의 전극으로 이용되는 제 1 도전 패턴으로부터 금속 물질이 확산되어 유전층이 손상되는 것을 방지할 수 있다. 즉, 재배선 기관 및 이를 포함하는 반도체 패키지의 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
 도 2는 도 1의 A영역을 확대 도시한 도면이다.
 도 3은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
 도 4는 도 3의 B영역을 확대 도시한 도면이다.
 도 5는 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
 도 6은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
 도 7 내지 도 19는 본 발명의 실시예들에 따른 재배선 기관의 제조 방법을 설명하기 위한 단면도들이다.
 도 20 내지 도 22는 본 발명의 실시예들에 따른 재배선 기관의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0014] 도면들 참조하여 본 발명의 개념에 따른 재배선 기관 및 반도체 패키지를 설명한다.

[0015] 도 1은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다. 도 2는 도 1의 A영역을 확대 도시한 도면이다.

[0016] 도 1을 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(10)는 재배선 기관(400), 반도체 칩(500) 및 몰딩층(600)을 포함할 수 있다.

[0017] 재배선 기관(400)은 반도체 칩(500)의 하면과 몰딩층(600)의 하면 상에 제공될 수 있다. 재배선 기관(400)의 두께는 반도체 칩(500)의 두께보다 작을 수 있다. 재배선 기관(400)은 적어도 하나의 배선층을 포함할 수 있다. 배선층은 복수 개로 제공될 수 있다. 실시예에서, 재배선 기관(400)은 제 1 배선층(200) 및 제 2 배선층(300)을 포함할 수 있다. 이하, 도 1과 도 2를 함께 참조하여 재배선 기관(400)에 대해 상세히 설명한다.

[0018] 도 1을 참조하여, 지지 기관(100)이 제공될 수 있다. 지지 기관(100)은 실리콘 기관 또는 절연 기관을 포함할 수 있다. 지지 기관(100)은 필요에 따라 제공되지 않을 수 있다.

[0019] 지지 기관(100) 상에 제 1 배선층(200)이 제공될 수 있다. 제 1 배선층(200)은 제 1 도전 패턴(210), 제 1 비아들(220), 제 1 절연층(230) 및 커패시터(CA)를 포함할 수 있다.

[0020] 지지 기관(100) 상에 제 1 도전 패턴(210)이 제공될 수 있다. 제 1 도전 패턴(210)은 하부 패드들(212) 및 제 1 배선들(214)을 포함할 수 있다. 여기서, 제 1 배선들(214)은 지지 기관(100)의 상면과 평행한 방향으로 연장되

어 전기 회로를 구성하는 구성 요소로 정의되고, 하부 패드들(212)은 제 1 배선들(214)보다 넓은 폭을 갖도록 형성되어 제 1 배선들(214) 및 제 1 비아들(220)이 접속되는 구성 요소로 정의될 수 있다. 하부 패드들(212)은 서로 이격되어 배치되는 제 1 하부 패드(LP1) 및 제 2 하부 패드(LP2)를 포함할 수 있다. 제 1 배선들(214)은 하부 패드들(212)의 사이(예를 들어, 제 1 하부 패드(LP1)과 제 2 하부 패드(LP2)의 사이) 또는 하부 패드들(212)의 일측에 위치할 수 있다. 제 1 배선들(214)은 하부 패드들(212)과 전기적으로 연결될 수 있다. 이하에서, 전기적으로 연결된다는 것은 직접 또는 간접적으로 연결되는 것을 포함할 수 있다. 제 1 도전 패턴(210)은 도전성 물질을 포함할 수 있다. 예를 들면, 제 1 도전 패턴(210)은 구리(Cu), 구리 합금 또는 알루미늄(Al)을 포함할 수 있다.

[0021] 제 1 도전 패턴(210)과 지지 기판(100) 사이에 제 1 시드막(216)이 제공될 수 있다. 제 1 시드막(216)은 구리(Cu)를 포함할 수 있다. 제 1 시드막(216)은 약 5Å 내지 50Å의 두께를 가질 수 있다.

[0022] 제 1 도전 패턴(210) 상에 제 1 비아들(220)이 배치될 수 있다. 일 예로, 제 1 비아들(220)은 하부 패드들(212)의 적어도 하나의 상면 상에 배치될 수 있다. 여기서, 제 1 비아들(220)은 제 1 배선층(200) 내의 제 1 도전 패턴(210)과 제 2 배선층(300)의 후술되는 제 2 도전 패턴(310)을 수직으로 연결하는 구성 요소로 정의될 수 있다. 제 1 비아들(220)의 측면은 제 1 도전 패턴(210)의 상면에 경사질 수 있다. 상세하게는, 제 1 비아들(220)은 제 1 도전 패턴(210)으로부터 멀어질수록 큰 폭을 갖는 테이퍼진(tapered) 형상을 가질 수 있다. 제 1 비아들(220)은 제 1 하부 패드(LP1) 상에 제공되는 제 1 서브 비아(222) 및 제 2 하부 패드(LP2) 상에 제공되는 제 2 서브 비아(224)를 포함할 수 있다. 제 1 비아들(220)은 하부 패드들(212)을 통해 제 1 배선들(214)에 전기적으로 연결될 수 있다. 제 1 비아들(220)은 도전성 물질을 포함할 수 있다. 예를 들면, 제 1 비아들(220)은 구리(Cu), 구리 합금 또는 알루미늄(Al)을 포함할 수 있다.

[0023] 제 1 서브 비아(222)와 제 1 하부 패드(LP1) 사이에 커패시터(CA)가 제공될 수 있다. 커패시터(CA)는 제 1 하부 패드(LP1)의 상면 상에 배치될 수 있다. 제 1 하부 패드(LP1), 커패시터(CA) 및 제 1 서브 비아(222)는 수직으로 중첩될 수 있다. 커패시터(CA)의 폭은 제 1 하부 패드(LP1)의 폭과 같거나 작을 수 있다. 커패시터(CA)의 폭은 제 1 서브 비아(222)의 폭과 같거나 클 수 있다. 커패시터(CA)는 순차적으로 적층되는 베리어층(BL), 유전층(DL) 및 상부 전극(TE)을 포함할 수 있다. 이때, 베리어층(BL)의 폭, 유전층(DL)의 폭 및 상부 전극(TE)의 폭을 동일할 수 있다. 제 1 하부 패드(LP1)는 커패시터(CA)의 하부 전극의 역할을 할 수 있다. 이하, 도 2를 함께 참조하여 커패시터(CA)의 구성을 상세히 설명한다.

[0024] 도 1 및 도 2를 참조하여, 제 1 하부 패드(LP1) 상에 베리어층(BL)이 배치될 수 있다. 베리어층(BL)은 타이타늄 질화물(TiN), 타이타늄 알루미늄(TiAl), 타이타늄 알루미늄 질화물(TiAlN), 타이타늄 질화물(TiN)을 함유하는 금속 화합물, 탄탈럼 질화물(TaN), 탄탈럼 알루미늄 질화물(TaAlN), 탄탈럼 알루미늄 탄질화물(TaAlCN) 또는 탄탈럼 질화물(TaN)을 함유하는 금속 화합물을 포함할 수 있다. 베리어층(BL)은 제 1 하부 패드(LP1)와 함께 커패시터(CA)의 하부 전극의 역할을 할 수 있다. 베리어층(BL)은 제 1 하부 패드(LP1)의 금속 물질이 유전층(DL)으로 확산되는 것을 방지할 수 있다.

[0025] 베리어층(BL) 상에 유전층(DL)이 배치될 수 있다. 유전층(DL)은 고유전(high-K) 물질을 포함할 수 있다. 예를 들어, 고유전 물질은 실리콘 질화물(SiN_x), 지르코늄 산화물(ZrO₂), hafnium 산화물(HfO₂), 타이타늄 산화물(TiO₂), 탄탈럼 산화물(Ta₂O₅), 알루미늄 산화물(Al₂O₃), 스트론튬 타이타늄 산화물(SrTiO₃) 또는 바륨 타이타늄 산화물(BaTiO₃)을 포함하나, 이에 한정되지 않는다.

[0026] 유전층(DL) 상에 상부 전극(TE)이 배치될 수 있다. 상부 전극(TE)은 도전 물질을 포함할 수 있다. 상부 전극(TE)은 금속 또는 도전성의 금속 화합물을 포함할 수 있다. 일 예로, 금속 화합물은 타이타늄 질화물(TiN), 타이타늄 알루미늄(TiAl), 타이타늄 알루미늄 질화물(TiAlN), 타이타늄 질화물(TiN)을 함유하는 금속 화합물, 탄탈럼 질화물(TaN), 탄탈럼 알루미늄 질화물(TaAlN), 탄탈럼 알루미늄 탄질화물(TaAlCN) 또는 탄탈럼 질화물(TaN)을 함유하는 금속 화합물을 포함할 수 있다. 상부 전극(TE)은 커패시터(CA)의 전극 역할을 할 수 있다. 상부 전극(TE)이 금속 화합물을 포함하는 경우, 상부 전극(TE)은 후술되는 제 2 도전 패턴(310)의 금속 물질이 유전층(DL)으로 확산되는 것을 방지할 수 있다.

[0027] 커패시터(CA)가 제 1 하부 패드(LP1) 상에 제공됨에 따라, 제 1 서브 비아(222)는 제 1 하부 패드(LP1) 상에서 커패시터(CA) 및 제 2 배선층(300)의 후술되는 제 2 도전 패턴(310)을 연결하고, 제 2 서브 비아(224)는 제 2 하부 패드(LP2) 상에서 제 2 하부 패드(LP2) 및 제 2 배선층(300)의 제 2 도전 패턴(310)을 연결할 수 있다. 제 1 서브 비아(222)는 커패시터(CA)의 상면 상에 접속되고, 제 2 서브 비아(224)는 제 2 하부 패드(LP2)의 상면

상에 접속될 수 있다. 이에 따라, 제 1 서브 비아(222)의 높이는 제 2 서브 비아(224)의 높이보다 낮을 수 있다. 상세하게는, 제 1 서브 비아(222)의 높이와 커패시터(CA)의 높이의 합은 제 2 서브 비아(224)의 높이와 동일할 수 있다.

[0028] 도 1을 계속 참조하여, 지지 기판(100) 상에 제 1 절연층(230)이 제공될 수 있다. 제 1 절연층(230)은 제 1 도전 패턴(210)을 덮고, 제 1 비아들(220)을 둘러쌀 수 있다. 제 1 절연층(230)은 제 1 하부 패드(LP1)의 상면의 적어도 일부, 제 2 하부 패드(LP2)의 상면, 및 커패시터(CA)의 측면(즉, 베리어층(BL)의 측면, 유전층(DL)의 측면 및 상부 전극(TE)의 측면)과 접할 수 있다. 이때, 커패시터(CA)의 폭이 제 1 하부 패드(LP1)의 폭과 동일한 경우, 제 1 절연층(230)은 제 1 하부 패드(LP1)의 상면과 접하지 않을 수도 있다. 제 1 절연층(230)의 상면은 제 1 비아들(220)의 상면과 공면(coplanar)을 이룰 수 있다. 제 1 절연층(230)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산화질화물(SiON)과 같은 무기 물질 및/또는 폴리아미드 계열의 고분자 물질을 포함하나, 이에 한정되지 않는다.

[0029] 제 1 비아들(220)과 제 1 도전 패턴(210) 사이에 제 2 시드막(316)이 제공될 수 있다. 제 2 시드막(316)은 제 1 비아들(220)의 하면 및 측면을 덮을 수 있다. 제 2 시드막(316)은 제 1 하부 패드(LP1) 상에서 커패시터(CA)와 제 1 서브 비아(222) 사이에 개재될 수 있고, 제 2 하부 패드(LP2) 상에서 제 2 하부 패드(LP2)와 제 2 서브 비아(224) 사이에 개재될 수 있다. 제 2 시드막(316)은 제 1 비아들(220)과 제 1 절연층(230)을 이격시킬 수 있다. 제 2 시드막(316)은 제 2 도전 패턴(310)과 제 1 절연층(230) 사이로 연장될 수 있다. 즉, 제 2 시드막(316)은 제 2 도전 패턴(310)의 하면 상에 제공될 수 있다. 제 2 시드막(316)은 구리(Cu)를 포함할 수 있다. 제 2 시드막(316)은 약 5Å 내지 50 Å의 두께를 가질 수 있다.

[0030] 제 2 배선층(300)은 제 1 배선층(200) 상에 제공될 수 있다. 제 2 배선층(300)은 제 2 도전 패턴(310), 제 2 비아(320) 및 제 2 절연층(330)을 포함할 수 있다.

[0031] 제 1 배선층(200) 상에 제 2 도전 패턴(310)이 제공될 수 있다. 제 2 도전 패턴(310)은 상부 패드들(312) 및 제 2 배선들(314)을 포함할 수 있다. 여기서, 제 2 배선들(314)은 제 1 배선층(200)의 상면과 평행한 방향으로 연장되어 전기 회로를 구성하는 구성 요소로 정의되고, 상부 패드들(312)은 제 2 배선들(314)보다 넓은 폭으로 형성되어 제 2 배선들(314) 및 제 2 비아들(320)이 접속되는 구성 요소로 정의될 수 있다. 상부 패드들(312)은 서로 이격되어 배치되는 제 1 상부 패드(UP1) 및 제 2 상부 패드(UP2)를 포함할 수 있다. 상부 패드들(312) 중 일부는 제 1 비아들(220) 상에 배치되어, 제 1 비아들(220)에 접속될 수 있다. 예를 들어, 제 1 상부 패드(UP1)는 제 1 서브 비아(222)와 접하고, 제 2 상부 패드(UP2)는 제 2 서브 비아(224)와 접할 수 있다. 이때, 제 1 상부 패드(UP1)와 제 1 하부 패드(LP1) 사이의 간격은 제 2 상부 패드(UP2)와 제 2 하부 패드(LP2) 사이의 간격과 동일할 수 있다. 상부 패드들(312)은 제 1 비아들(220)을 통해 하부 패드들(212)과 전기적으로 연결될 수 있다. 예를 들어, 제 1 상부 패드(UP1)는 제 1 서브 비아(222) 및 커패시터(CA)를 통해 제 1 하부 패드(LP1)와 연결되고, 제 2 상부 패드(UP2)는 제 2 서브 비아(224)를 통해 제 2 하부 패드(LP2)와 연결될 수 있다. 제 2 배선들(314)은 제 1 절연층(230) 상에 배치될 수 있다. 평면적 관점에서, 제 2 배선들(314)은 상부 패드들(312)의 사이 또는 상부 패드들(312)의 일측에 위치할 수 있다. 제 2 배선들(314)은 재배선 역할을 할 수 있다. 제 2 배선들(314)은 상부 패드들(312)과 전기적으로 연결될 수 있다. 제 2 도전 패턴(310)의 일부는 제 1 비아들(220)과 일체로 제공될 수 있다. 예를 들어, 제 2 도전 패턴(310)의 일부는 제 1 비아들(220)과 동일한 물질을 포함할 수 있다. 제 2 도전 패턴(310)은 도전성 물질을 포함할 수 있다. 예를 들면, 제 2 도전 패턴(310)은 구리(Cu), 구리 합금 또는 알루미늄(Al)을 포함할 수 있다.

[0032] 제 2 도전 패턴(310) 상에 제 2 비아들(320)이 배치될 수 있다. 제 2 비아들(320)은 상부 패드들(312)의 상면 상에 각각 배치될 수 있다. 여기서, 제 2 비아들(320)은 제 2 배선층(300) 내의 제 2 도전 패턴(310)과 후술되는 언더 범프 패드들(340)을 수직으로 연결하는 구성 요소로 정의될 수 있다. 제 2 비아들(320)의 측면은 제 2 도전 패턴(310)의 상면에 경사질 수 있다. 상세하게는, 제 2 비아들(320)은 제 2 도전 패턴(310)으로부터 멀어질수록 큰 폭을 갖는 테이퍼진(tapered) 형상을 가질 수 있다. 제 2 비아들(320)은 상부 패드들(312)을 통해 제 2 배선들(314)에 전기적으로 연결될 수 있다. 제 2 비아들(320)은 도전성 물질을 포함할 수 있다.

[0033] 제 1 배선층(200) 상에 제 2 절연층(330)이 제공될 수 있다. 제 2 절연층(330)은 제 2 도전 패턴(310)을 덮고, 제 2 비아들(320)을 둘러쌀 수 있다. 제 2 절연층(330)은 제 2 도전 패턴(310)의 측면과 접할 수 있다. 제 2 절연층(330)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산화질화물(SiON)과 같은 무기 물질 및/또는 폴리아미드 계열의 고분자 물질을 포함하나, 이에 한정되지 않는다.

- [0034] 제 2 비아들(320)의 상면 상에 언더 범프 패드들(340)이 배치될 수 있다. 언더 범프 패드들(340)은 제 2 비아들(320)보다 넓은 폭으로 형성되어 제 2 비아들(320) 및 반도체 칩(500)의 후술되는 연결 단자들(510)이 접속되는 구성 요소로 정의될 수 있다. 언더 범프 패드들(340)의 폭은 상부 패드들(312)의 폭보다 클 수 있다. 언더 범프 패드들(340)의 폭은 제 2 비아들(320)의 상면의 폭보다 클 수 있다. 언더 범프 패드들(340)은 제 2 비아들(320)과 일체로 제공될 수 있다. 예를 들어, 언더 범프 패드들(340)은 제 2 비아들(320)과 동일한 물질을 포함할 수 있다. 언더 범프 패드들(340)은 도전성 물질을 포함할 수 있다.
- [0035] 제 1 도전 패턴(210)은 제 1 절연층(230) 내에서 제 1 절연층(230)의 상면과 평행한 방향으로 연장되는 회로들(예를 들어, 제 1 배선들(214) 및 하부 패드들(212))을 포함하고, 제 2 도전 패턴(310)은 제 2 절연층(330) 내에서 제 2 절연층(330)의 상면과 평행한 방향으로 연장되는 회로들(예를 들어, 제 2 배선들(314) 및 상부 패드들(312))을 포함할 수 있다. 제 1 비아들(220)은 제 1 도전 패턴(210)과 제 2 도전 패턴(310)을 상하로 연결하고, 제 2 도전 패턴(310)과 언더 범프 패드들(340)을 상하로 연결할 수 있다.
- [0036] 본 발명의 실시예들에 따르면, 커패시터(CA)는 재배선 기관(400) 내에 제공될 수 있다. 상세하게는, 커패시터(CA)가 제 1 배선층(200)의 제 1 도전 패턴(210)과 제 2 배선층(300)의 제 2 도전 패턴(310) 사이에 제공되며, 재배선 기관(400)의 도전 패턴들(210, 310)이 커패시터(CA)의 전극들로 이용될 수 있다. 즉, 재배선 기관(400)은 그의 내부에 커패시터(CA)를 배치하기 위한 별도의 공간이 필요하지 않을 수 있으며, 재배선 기관(400) 및 이를 포함하는 반도체 패키지(10)의 소형화에 기여할 수 있다. 더하여, 커패시터(CA)는 베리어층(BL)을 포함하여 커패시터(CA)의 전극으로 이용되는 제 1 도전 패턴(210)으로부터 금속 물질이 확산되어 유전층(DL)이 손상되는 것을 방지할 수 있다. 즉, 재배선 기관(400) 및 이를 포함하는 반도체 패키지(10)의 신뢰성이 향상될 수 있다.
- [0037] 도 1을 계속 참조하여, 제 2 비아들(320)과 제 2 도전 패턴(310) 사이에 제 3 시드막(322)이 제공될 수 있다. 제 3 시드막(322)은 제 2 비아들(320)의 하면으로부터 제 2 비아들(320)의 측면을 따라 제 2 절연층(330)과 언더 범프 패드들(340) 사이로 연장될 수 있다. 즉, 제 3 시드막(322)은 제 2 비아들(320) 및 언더 범프 패드들(340)과 제 2 절연층(330)을 이격시킬 수 있다. 이상과 같이, 본 발명에 따른 재배선 기관(400)이 제공될 수 있다.
- [0038] 반도체 칩(500)은 재배선 기관(400)의 상면 상에 위치될 수 있다. 재배선 기관(400)을 향하는 반도체 칩(500)의 하면은 활성면일 수 있다. 반도체 칩(500)은 실리콘(Si)을 포함할 수 있다. 반도체 칩(500)은 재배선 기관(400)에 플립 칩(flip chip) 방식으로 실장될 수 있다. 일 예로, 반도체 칩(500)은 그의 하면 상에 제공된 연결 단자들(510)을 가질 수 있다. 연결 단자들(510)은 재배선 기관(400)의 언더 범프 패드들(340)에 접속될 수 있다. 연결 단자들(510)은 솔더 볼 또는 솔더 범프를 포함할 수 있다. 반도체 칩(500)은 재배선 기관(400)의 언더 범프 패드들(340) 및 제 2 비아들(320)을 통해 제 2 배선들(314)과 전기적으로 연결될 수 있다. 재배선 기관(400)은 제 2 배선들(314)을 이용하여 반도체 칩(500)을 재배선할 수 있다.
- [0039] 다른 실시예들에 따르면, 재배선 기관(400) 상에 제공되는 반도체 칩(500)은 그의 내부에 트랜지스터를 포함하지 않을 수 있다. 즉, 도시된 바와는 다르게, 재배선 기관(400) 상에 칩(chip)이 아닌 인터포저(interposer) 기관이 배치될 수 있다. 상기 인터포저 기관은 실리콘(Si)을 포함할 수 있다. 상기 인터포저 기관은 그의 상면 상에 배선을 위한 회로를 가질 수 있다. 상기 인터포저 기관은 필요에 따라 몰드막에 의해 둘러싸일 수 있다. 여기서, 상기 몰드막은 후술되는 몰딩층(600)과 구별되는 구성요소이다. 상기 몰드막은 재배선 기관(400) 상에서 상기 인터포저 기관을 매립할 수 있다. 즉, 상기 인터포저 기관은 상기 몰드막에 의해 덮일 수 있다. 상기 인터포저 기관 상에는 적어도 하나의 소자(일 예로, 트랜지스터를 포함하는 칩 또는 반도체 패키지 내에서 요구되는 전자 소자 등)가 제공될 수 있다. 상기 적어도 하나의 소자는 상기 몰드막 또는 상기 인터포저 기관을 관통하는 비아(via) 등을 이용하여 재배선 기관(400) 및 상기 인터포저 기관에 전기적으로 연결될 수 있다. 또는, 상기 몰드막이 제공되지 않는 경우, 상기 적어도 하나의 소자는 상기 인터포저 기관 상이 직접 실장될 수 있다. 상기 소자가 복수로 제공되는 경우, 상기 소자들은 상기 인터포저 기관을 통해 상호 전기적으로 연결될 수 있다. 필요에 따라, 상기 적어도 하나의 소자와 상기 인터포저 기관(또는 상기 몰드막) 사이에 상기 적어도 하나의 소자를 지지하기 위한 추가 기관이 제공될 수 있다. 이때, 상기 적어도 하나의 소자는 상기 추가 기관에 실장될 수 있으며, 상기 적어도 하나의 소자는 상기 추가 기관 및 상기 비아를 통해 상기 인터포저 기관과 재배선 기관(400)에 전기적으로 연결될 수 있다. 이하, 재배선 기관(400) 상에 반도체 칩(500)이 제공되는 것을 기준으로 계속 설명한다.
- [0040] 몰딩층(600)은 재배선 기관(400) 상에 제공될 수 있다. 몰딩층(600)은 재배선 기관(400)의 상면 상에서 반도체

칩(500)을 덮을 수 있다. 예를 들어, 몰딩층(600)은 반도체 칩(500)의 상면 및 측면을 덮을 수 있다. 몰딩층(600)은 반도체 칩(500)과 재배선 기관(400) 사이의 공간을 채울 수 있다. 몰딩층(600)은 에폭시계 폴리머와 같은 절연 물질을 포함할 수 있다. 이와는 다르게, 반도체 칩(500)과 재배선 기관(400) 사이의 공간은 언더필(fill) 부재로 채워질 수 있다.

- [0042] 도 3은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다. 도 4는 도 3의 B영역을 확대 도시한 도면이다. 이하 앞서 설명한 바와 중복되는 내용은 설명의 편의를 위하여 생략한다.
- [0043] 도 3 및 도 4를 참조하여, 커패시터(CA)는 제 1 비아들(220)과 동일/유사한 형상을 가질 수 있다. 상세하게는, 제 1 서브 비아(222)는 제 2 도전 패턴(310)으로부터 멀어질수록 작아지는 폭을 갖는 테이퍼진(tapered) 형상을 갖고, 커패시터(CA)는 제 1 서브 비아(222)로부터 멀어질수록 작아지는 폭을 갖는 테이퍼진 형상을 가질 수 있다. 이때, 커패시터(CA)의 측면은 제 1 서브 비아(222)의 측면과 공면(coplanar)을 이룰 수 있다. 이에 따라, 상부 전극(TE)의 폭이 유전층(DL)의 폭보다 크고, 유전층(DL)의 폭이 베리어층(BL)의 폭보다 클 수 있다. 커패시터(CA)의 상면의 폭은 제 1 서브 비아(222)의 하면의 폭과 동일할 수 있다.
- [0045] 다른 실시예들에 따르면, 재배선 기관(400)은 둘 이상의 배선층들을 포함할 수 있다. 도 5는 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- [0046] 도 5를 참조하여, 재배선 기관(400)은 제 1 배선층(200)과 제 2 배선층(300) 사이에 제공되는 제 3 배선층(700)을 더 포함할 수 있다. 지지 기관(100) 상에 제 1 배선층(200), 제 2 배선층(300) 및 제 3 배선층(700)이 제공될 수 있다.
- [0047] 제 1 배선층(200)은 제 1 도전 패턴(210), 제 1 비아들(220), 제 1 절연층(230) 및 제 1 커패시터(CA1)를 포함할 수 있다. 제 1 커패시터(CA1)는 제 1 도전 패턴(210)의 제 1 하부 패드(LP1)의 상면 상에 순차적으로 적층되는 제 1 베리어층(BL1), 제 1 유전층(DL1) 및 제 1 상부 전극(TE1)을 포함할 수 있다. 제 1 비아들(220)은 제 1 커패시터(CA1) 및 제 2 하부 패드(LP2)에 접속될 수 있다.
- [0048] 제 2 배선층(300)은 제 1 배선층(200) 상에 제공될 수 있다. 제 2 배선층(300)은 제 2 도전 패턴(310), 제 2 비아(320) 및 제 2 절연층(330)를 포함할 수 있다.
- [0049] 제 3 배선층(700)은 제 1 배선층(200)과 제 2 배선층(300) 사이에 제공될 수 있다. 제 3 배선층(700)은 제 3 도전 패턴(710), 제 3 비아들(720) 및 제 3 절연층(730)을 포함할 수 있다.
- [0050] 제 1 배선층(200) 상에 제 3 도전 패턴(710)이 제공될 수 있다. 제 3 도전 패턴(710)은 중간 패드들(712) 및 제 3 배선들(714)을 포함할 수 있다. 중간 패드들(712)의 일부는 제 1 비아들(220) 상에 배치되어, 제 1 비아들(220)에 접속될 수 있다. 중간 패드들(712)의 폭은 제 1 비아들(220)의 폭보다 클 수 있다. 중간 패드들(712)은 서로 이격되어 배치되는 제 1 중간 패드(MP1) 및 제 2 중간 패드(MP2)를 포함할 수 있다. 제 3 배선들(714)은 중간 패드들(712)의 사이 또는 중간 패드들(712)의 일측에 위치할 수 있다. 제 3 배선들(714)은 재배선 역할을 할 수 있다.
- [0051] 제 3 도전 패턴(710) 상에 제 3 비아들(720)이 배치될 수 있다. 일 예로, 제 3 비아들(720)은 중간 패드들(712)의 적어도 하나의 상면 상에 배치될 수 있다. 중간 패드들(712) 상의 제 3 비아들(720)은 상부 패드들(312)에 접속될 수 있다. 제 3 비아들(720)은 제 3 도전 패턴(710)으로부터 멀어질수록 큰 폭을 갖는 테이퍼진(tapered) 형상을 가질 수 있다. 제 3 비아들(720)은 제 1 중간 패드(MP1) 상에 제공되는 제 3 서브 비아(722) 및 제 2 중간 패드(MP2) 상에 제공되는 제 4 서브 비아(724)를 포함할 수 있다. 제 3 비아들(720)은 중간 패드들(712)을 통해 제 3 배선들(714)에 전기적으로 연결될 수 있다.
- [0052] 제 3 서브 비아(722)와 제 1 중간 패드(MP1) 사이에 제 2 커패시터(CA2)가 제공될 수 있다. 제 2 커패시터(CA2)는 제 1 중간 패드(MP1)의 상면 상에 배치될 수 있다. 제 2 커패시터(CA2)의 폭은 제 1 중간 패드(MP1)의 폭과 같거나 작을 수 있다. 제 2 커패시터(CA2)의 폭은 제 3 서브 비아(722)의 폭과 같거나 클 수 있다. 제 2 커패시터(CA2)는 순차적으로 적층되는 제 2 베리어층(BL2), 제 2 유전층(DL2) 및 제 2 상부 전극(TE2)을 포함할 수 있다. 이때, 제 2 베리어층(BL2)의 폭, 제 2 유전층(DL2)의 폭 및 제 2 상부 전극(TE2)의 폭을 동일할 수 있다. 제 1 중간 패드(MP1)는 제 2 커패시터(CA2)의 하부 전극의 역할을 할 수 있다.
- [0053] 제 1 중간 패드(MP1) 상에 제 2 베리어층(BL2)이 배치될 수 있다. 제 2 베리어층(BL2)은 제 1 중간 패드(MP1)와 함께 제 2 커패시터(CA2)의 하부 전극의 역할을 할 수 있다. 제 2 베리어층(BL2)은 제 1 중간 패드(MP1)의 금속 물질이 제 2 유전층(DL2)으로 확산되는 것을 방지할 수 있다.

- [0054] 제 2 베리어층(BL2) 상에 제 2 유전층(DL2)이 배치될 수 있다. 제 2 유전층(DL2)은 고유전(high-K) 물질을 포함할 수 있다.
- [0055] 제 2 유전층(DL2) 상에 제 2 상부 전극(TE2)이 배치될 수 있다. 제 2 상부 전극(TE2)은 도전 물질을 포함할 수 있다. 제 2 상부 전극(TE2)은 제 2 커패시터(CA2)의 전극 역할을 할 수 있다. 제 2 상부 전극(TE2)이 금속 화합물을 포함하는 경우, 제 2 상부 전극(TE2)은 제 2 도전 패턴(310)의 금속 물질이 제 2 유전층(DL2)으로 확산되는 것을 방지할 수 있다
- [0056] 제 2 커패시터(CA2)가 제 1 중간 패드(MP1) 상에 제공됨에 따라, 제 3 서브 비아(722)는 제 1 중간 패드(MP1) 상에서 제 2 커패시터(CA2) 및 제 2 배선층(300)의 제 2 도전 패턴(310)을 연결하고, 제 4 서브 비아(724)는 제 2 중간 패드(MP2) 상에서 제 2 중간 패드(MP2) 및 제 2 배선층(300)의 제 2 도전 패턴(310)을 연결할 수 있다. 제 3 서브 비아(722)는 제 2 커패시터(CA2)의 상면 상에 접속되고, 제 4 서브 비아(724)는 제 2 중간 패드(MP2)의 상면 상에 접속될 수 있다. 이에 따라, 제 3 서브 비아(722)의 높이는 제 4 서브 비아(724)의 높이보다 낮을 수 있다. 상세하게는, 제 3 서브 비아(722)의 높이와 제 2 커패시터(CA2)의 높이의 합은 제 4 서브 비아(724)의 높이와 동일할 수 있다.
- [0057] 제 3 비아들(720)과 제 3 도전 패턴(710) 사이에 제 4 시드막(716)이 제공될 수 있다. 제 4 시드막(716)은 제 3 비아들(720)의 하면으로부터 제 3 비아들(720)의 측면을 따라 제 3 절연층(730)과 제 2 도전 패턴(310) 사이로 연장될 수 있다.
- [0058] 제 1 배선층(200) 상에 제 3 절연층(730)이 제공될 수 있다. 제 3 절연층(730)은 제 3 도전 패턴(710) 및 제 2 커패시터(CA2)를 덮고, 제 3 비아들(720)을 둘러쌀 수 있다. 제 3 절연층(730)은 제 3 비아들(720)의 측면, 제 2 커패시터(CA2)의 상면 및 제 3 도전 패턴(710)의 상면과 접할 수 있다. 제 3 절연층(730)은 제 2 배선층(300)의 하면과 접할 수 있다.
- [0059] 도 5에서 3개의 배선층들(200, 300, 700)을 포함하는 재배선 기관(400)을 개시하였으나, 본 발명이 이에 한정되는 것은 아니다. 재배선 기관(400)은 셋 이상의 복수의 배선층들을 포함할 수 있다.
- [0060] 본 발명의 실시예들에 따르면, 복수의 커패시터들(CA1, CA2)은 재배선 기관(400) 내에 제공될 수 있다. 즉, 재배선 기관(400)은 그의 내부에 커패시터들(CA1, CA2)을 배치하기 위한 별도의 공간이 필요하지 않을 수 있으며, 재배선 기관(400) 및 이를 포함하는 반도체 패키지(12)의 소형화에 기여할 수 있다.
- [0062] 다른 실시예들에 따르면, 재배선 기관(400)은 제 1 배선층(200) 아래에 외부 접속을 위한 외부 단자들이 제공될 수 있다. 도 6은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- [0063] 도 6을 참조하여, 재배선 기관(400)의 하면 상에 지지 기관(100, 도 1 참조)이 아닌 보호층(800)이 제공될 수 있다. 보호층(800)은 에폭시(epoxy)계 폴리머와 같은 절연성 폴리머, ABF(Ajinomoto Build-up Film), 유기물질 또는 무기물질을 포함할 수 있다. 외부 단자들(830)이 보호층(800)의 하면 상에 배치될 수 있다. 외부 단자들(830)은 보호층(800)을 관통하여 제 1 도전 패턴(210)과 접속되는 외부 패드들(810) 상에 배치될 수 있다. 외부 단자들(830)은 외부 패드들(810)을 통해 재배선 기관(400)의 하부 패드들(212)과 전기적으로 연결될 수 있다. 외부 패드들(810)과 보호층(800) 사이에 베리어 금속막(820)이 제공될 수 있다. 일 예로, 보호층(800)은 하부 패드들(212)을 노출시키는 리세스를 갖고, 베리어 금속막(820)은 상기 리세스의 바닥면 및 내벽을 덮을 수 있다. 외부 패드들(810)은 상기 리세스를 채우도록 베리어 금속막(820) 상에 배치될 수 있다. 외부 단자들(830)은 솔더 볼 또는 솔더 범프를 포함할 수 있다. 외부 패드들(810)은 구리(Cu)와 같은 금속을 포함할 수 있다. 베리어 금속막(820)은 탄탈럼(Ta), 탄탈럼 질화물(TaN), 탄탈럼 실리콘 질화물(TaSiN), 타이타늄(Ti), 타이타늄 질화물(TiN), 타이타늄 실리콘 질화물(TiSiN), 텅스텐(W), 및 텅스텐 질화물(WN) 중 적어도 하나를 포함할 수 있다.
- [0065] 도 7 내지 도 19는 본 발명의 실시예들에 따른 재배선 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0066] 도 7을 참조하여, 지지 기관(100) 상에 제 1 도전 패턴(210)이 형성될 수 있다. 예를 들어, 지지 기관(100) 상에 제 1 시드막(216)을 형성한 후, 제 1 시드막(216) 상에 리세스들을 갖는 식각 마스크가 형성될 수 있다. 상기 리세스들은 제 1 도전 패턴(210)이 형성되는 영역을 정의할 수 있다. 도금 공정 등을 통해 상기 리세스들 내에 도전 물질을 채워 제 1 도전 패턴(210)이 형성될 수 있다. 이후, 상기 식각 마스크와 제 1 시드막(216)의 일부가 제거될 수 있다. 제 1 시드막(216)은 지지 기관(100)과 제 1 도전 패턴(210) 사이에 잔여할 수 있다. 또는, 지지 기관(100) 상에 도전 물질을 증착한 후, 상기 도전 물질을 패터닝하여 제 1 도전 패턴(210)이 형성

될 수 있다. 제 1 도전 패턴(210)은 하부 패드들(212) 및 제 1 배선들(214)을 포함할 수 있다. 하부 패드들(212) 제 1 하부 패드(LP1) 및 제 2 하부 패드(LP2)를 포함할 수 있다.

[0067] 도 8을 참조하여, 지지 기관(100) 상에 제 1 마스크 패턴(MSP1)이 형성될 수 있다. 예를 들어, 지지 기관(100), 제 1 도전 패턴(210) 및 제 1 시드막(216) 상에 감광성 하드마스크 물질을 도포하여 제 1 마스크 패턴(MSP1)이 형성될 수 있다. 감광성 하드마스크 물질은 레진, 감광 물질, 가교제, 및 용제를 포함할 수 있다.

[0068] 이후, 제 1 마스크 패턴(MSP1)에 리세스(RS)가 형성될 수 있다. 예를 들어, 제 1 마스크 패턴(MSP1) 중 노광된 부분은 현상액에 의해 용해되고, 노광되지 않은 부분은 현상액에 의해 용해되지 않을 수 있다. 리세스(RS)는 제 1 마스크 패턴(MSP1)을 관통하여 제 1 하부 패드(LP1)의 상면을 노출할 수 있다. 리세스(RS)의 폭은 제 1 하부 패드(LP1)의 폭과 같거나 작을 수 있다.

[0069] 이와는 다르게, 도 9에 도시된 바와 같이, 제 1 마스크 패턴(MSP1)은 사전에 리세스(RS)가 형성된 마스크일 수 있다. 이 경우, 제 1 마스크 패턴(MSP1)은 평판 형태를 가질 수 있으며, 제 1 도전 패턴(210) 상에 배치될 수 있다. 제 1 마스크 패턴(MSP1)은 제 1 도전 패턴(210)을 사이에 두고 지지 기관(100)과 이격될 수 있으며, 제 1 도전 패턴(210)의 하부 패드들(212) 사이의 공간, 하부 패드들(212)과 제 1 배선들(214) 사이의 공간, 및 제 1 배선들(214) 사이의 공간에 공극(AG)이 형성될 수 있다. 사전에 리세스(RS)가 형성된 제 1 마스크 패턴(MSP1)은 금속 마스크 또는 절연 물질을 포함하는 하드 마스크일 수 있다. 이하, 도 8을 기준으로 계속 설명한다.

[0070] 도 10을 참조하여, 제 1 마스크 패턴(MSP1)의 리세스(RS) 내에 커패시터(CA)가 형성될 수 있다. 예를 들어, 리세스(RS)에 의해 노출되는 제 1 하부 패드(LP1)의 상면 상에 베리어층(BL), 유전층(DL) 및 상부 전극(TE)이 순차적으로 증착될 수 있다. 베리어층(BL), 유전층(DL) 및 상부 전극(TE)은 화학 기상 증착(CVD) 공정 등을 이용하여 형성될 수 있다. 상세하게는, 제 1 하부 패드(LP1) 및 제 1 마스크 패턴(MSP1) 상에 베리어막을 증착한 후, 상기 베리어막이 리세스(RS) 내에 잔여하도록 패터닝 공정이 수행되어 베리어층(BL)이 형성될 수 있다. 베리어층(BL) 및 제 1 마스크 패턴(MSP1) 상에 유전막을 증착한 후, 상기 유전막이 리세스(RS) 내에 잔여하도록 패터닝 공정이 수행되어 유전층(DL)이 형성될 수 있다. 유전층(DL) 및 제 1 마스크 패턴(MSP1) 상에 도전막을 증착한 후, 상기 도전막이 리세스(RS) 내에 잔여하도록 패터닝 공정이 수행되어 상부 전극(TE)이 형성될 수 있다. 이후, 제 1 마스크 패턴(MSP1)은 제거될 수 있다. 상기와 같이 커패시터(CA)가 형성될 수 있다.

[0071] 이와는 다르게, 도 11에 도시된 바와 같이, 제 1 하부 패드(LP1) 및 제 1 마스크 패턴(MSP1) 상에 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)이 순차적으로 적층될 수 있다. 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)은 리세스(RS)의 내부를 컨포멀하게 덮을 수 있다. 이후, 도 12에 도시된 바와 같이, 리세스(RS)를 채우는 제 2 마스크 패턴(MSP2)을 형성한 후, 제 1 마스크 패턴(MSP1)의 상면 상에 위치하는 베리어막(BLa)의 일부, 유전막(DLa)의 일부 및 도전막(TEa)의 일부가 제거될 수 있다. 이때, 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)은 제 1 하부 패드(LP1)와 제 2 마스크 패턴(MSP2) 사이에 잔여할 수 있다. 이후, 제 1 마스크 패턴(MSP1) 및 제 2 마스크 패턴(MSP2)은 제거될 수 있다. 상기와 같이 커패시터(CA)가 형성될 수 있다.

[0072] 다른 실시예들에 따르면, 도 13에 도시된 바와 같이, 도 7의 결과물 상에 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)이 순차적으로 적층될 수 있다. 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)은 제 1 도전 패턴(210)을 덮을 수 있다. 도전막(TEa) 상에 제 2 마스크 패턴(MSP2)이 형성될 수 있다. 제 2 마스크 패턴(MSP2)은 제 1 하부 패드(LP1) 상에 형성될 수 있다. 제 2 마스크 패턴(MSP2)을 식각 마스크로 베리어막(BLa), 유전막(DLa) 및 도전막(TEa)이 식각될 수 있다. 이후, 제 2 마스크 패턴(MSP2)은 제거될 수 있다. 상기와 같이 커패시터(CA)가 형성될 수 있다. 이하 도 10을 기준으로 계속 설명한다.

[0073] 도 14를 참조하여, 도 10의 결과물에서 제 1 마스크 패턴(MSP1)이 제거된 후, 지지 기관(100) 상에 제 1 절연층(230)이 형성될 수 있다. 예를 들어, 지지 기관(100), 제 1 도전 패턴(210) 및 커패시터(CA) 상에 봉지재를 도포 또는 증착하여 제 1 절연층(230)이 형성될 수 있다. 제 1 절연층(230)은 PECVD(Plasma Enhanced CVD), HDPCVD(High Density Plasma CVD), APCVD(Atmospheric Pressure CVD), 스핀 코팅(spin coating) 등을 이용하여 형성될 수 있다. 제 1 절연층(230)은 제 1 도전 패턴(210) 및 커패시터(CA)를 매립할 수 있다. 필요에 따라, 제 1 절연층(230)에 경화 공정이 수행될 수 있다.

[0074] 도 15를 참조하여, 제 1 절연층(230)에 제 1 관통 홀들(TH1)이 형성될 수 있다. 예를 들어, 제 1 절연층(230) 상에 식각 공정을 수행하여 제 1 관통 홀들(TH1)이 형성될 수 있다. 이때, 상기 식각 공정에 의해 제 1 절연층(230)의 상부가 과식각될 수 있으며, 이에 따라 제 1 관통 홀들(TH1)은 제 1 도전 패턴(210)으로부터 멀어질수록 넓은 폭을 갖는 테이퍼진(tapered) 형상을 가질 수 있다. 제 1 관통 홀들(TH1)은 제 1 절연층(230)을 관통하

여 커패시터(CA)의 상면 및 하부 패드들(212)의 상면을 노출할 수 있다. 상세하게는, 제 1 하부 패드(LP1) 상에서 제 1 관통 홀들(TH1)의 어느 하나는 커패시터(CA)의 상면을 노출시키고, 제 2 하부 패드(LP2) 상에서 제 1 관통 홀들(TH1)의 다른 하나는 제 2 하부 패드(LP2)의 상면을 노출시킬 수 있다. 제 1 관통 홀들(TH1)의 최하단의 폭은 커패시터(CA)의 폭보다 작을 수 있다. 제 1 관통 홀들(TH1)은 제 2 비아들(320)이 형성되는 영역을 정의할 수 있다.

[0075] 이후, 제 1 절연층(230) 상에 제 2 시드막(316)이 형성될 수 있다. 제 2 시드막(316)은 제 1 절연층(230)의 상면, 제 1 관통 홀들(TH1)의 바닥면 및 제 1 관통 홀들(TH1)의 내측면을 따라 형성될 수 있다.

[0076] 도 16을 참조하여, 제 1 절연층(230) 상에 제 1 감광성 막(PS1)이 형성될 수 있다. 제 1 감광성 막(PS1)은 제 1 비아들(220) 및 제 2 도전 패턴(310)을 형성하기 위한 마스크 패턴일 수 있다. 예를 들어, 제 2 시드막(316) 상에 감광성 하드마스크 물질을 도포하여 제 1 감광성 막(PS1)이 형성될 수 있다. 이후, 제 1 감광성 막(PS1)에 제 2 도전 패턴(310)이 형성되는 영역을 정의하는 제 2 관통 홀들(TH2)가 형성될 수 있다. 제 2 관통 홀들(TH2)는 제 1 관통 홀들(TH1) 상에 형성되어, 제 1 절연층(230)의 제 1 관통 홀들(TH1)과 연통될 수 있다. 제 2 관통 홀들(TH2)는 제 2 시드막(316)의 상면을 노출할 수 있다. 제 2 관통 홀들(TH2)의 평면 형상은 제 1 관통 홀들(TH1)의 평면 형상과 동일하거나, 더 클 수 있다.

[0077] 이후, 하부 패드들(212) 상에 제 1 비아들(220) 및 제 2 도전 패턴(310)이 형성될 수 있다. 제 1 비아들(220)은 제 1 관통 홀들(TH1) 내에 도전 물질을 채워 형성될 수 있다. 예를 들어, 제 1 관통 홀들(TH1)에 의해 노출된 제 2 시드막(316)을 시드로 이용하여, 제 1 관통 홀들(TH1) 내에 상기 도전 물질을 채우는 도금 공정이 수행될 수 있다. 제 1 관통 홀들(TH1)의 형상에 따라, 제 1 비아들(220)은 제 1 도전 패턴(210)으로부터 멀어질수록 폭이 증가하는 테이퍼진 형상으로 형성될 수 있다. 제 2 도전 패턴(310)은 제 1 감광성 막(PS1)의 제 2 관통 홀들(TH2) 내에 도전 물질을 채워 형성될 수 있다. 예를 들어, 제 2 관통 홀들(TH2)에 의해 노출된 제 1 비아들(220)을 시드로 이용하여, 제 2 관통 홀들(TH2) 내에 상기 도전 물질 도금 공정이 수행될 수 있다. 제 1 비아들(220)을 형성하는 공정과 제 2 도전 패턴(310)을 형성하는 공정을 나누어 설명하였으나, 제 1 비아들(220)을 형성하는 공정과 제 2 도전 패턴(310)을 형성하는 공정은 연속적으로 수행될 수 있으며, 제 1 비아들(220)과 제 2 도전 패턴(310)은 일체로 형성될 수 있다. 다른 실시예들에 따르면, 제 1 비아들(220)이 형성된 후, 별도의 공정을 통해 제 2 도전 패턴(310)이 형성될 수 있다. 상기와 같은 공정을 수행하여 제 1 배선층(200)이 형성될 수 있다.

[0078] 도 17을 참조하여, 제 1 배선층(200) 상에 제 2 절연층(330)이 형성될 수 있다. 예를 들어, 제 1 절연층(230) 및 제 2 도전 패턴(310) 상에 봉지재를 도포 또는 증착하여 제 2 절연층(330)이 형성될 수 있다. 제 2 절연층(330)은 PECVD, HDPCVD, APCVD, 스피ن 코팅 등을 이용하여 형성될 수 있다. 제 2 절연층(330)은 제 2 도전 패턴(310)을 매립할 수 있다. 필요에 따라, 제 2 절연층(330)에 경화 공정이 수행될 수 있다.

[0079] 이후, 제 2 절연층(330)에 제 3 관통 홀들(TH3)이 형성될 수 있다. 예를 들어, 제 2 절연층(330) 상에 식각 공정을 수행하여 제 3 관통 홀들(TH3)이 형성될 수 있다. 이때, 상기 식각 공정에 의해 제 2 절연층(330)의 상부가 과식각될 수 있으며, 이에 따라 제 3 관통 홀들(TH3)은 제 2 도전 패턴(310)으로부터 멀어질수록 넓은 폭을 갖는 테이퍼진 형상을 가질 수 있다. 제 3 관통 홀들(TH3)은 제 2 절연층(330)을 관통하여 상부 패드들(312)의 상면을 노출할 수 있다. 제 3 관통 홀들(TH3)은 제 2 비아들(320)이 형성되는 영역을 정의할 수 있다.

[0080] 도 18을 참조하여, 제 2 절연층(330) 상에 제 3 시드막(322)이 형성될 수 있다. 제 3 시드막(322)은 제 2 절연층(330)의 상면, 제 3 관통 홀들(TH3)의 바닥면 및 제 3 관통 홀들(TH3)의 내측면을 따라 형성될 수 있다.

[0081] 제 2 절연층(330) 상에 제 2 감광성 막(PS2)이 형성될 수 있다. 제 2 감광성 막(PS2)은 제 2 비아들(320) 및 언더 범프 패드들(340)을 형성하기 위한 마스크 패턴일 수 있다. 예를 들어, 제 3 시드막(322) 상에 감광성 하드마스크 물질을 도포하여 제 2 감광성 막(PS2)이 형성될 수 있다. 이후, 제 2 감광성 막(PS2)에 제 4 관통 홀들(TH4)이 형성될 수 있다. 제 4 관통 홀들(TH4)은 제 3 관통 홀들(TH3) 상에 형성될 수 있다. 즉, 제 2 감광성 막(PS2)의 제 4 관통 홀들(TH4)은 제 2 절연층(330)의 제 3 관통 홀들(TH3)과 연통될 수 있다. 제 4 관통 홀들(TH4)은 제 3 시드막(322)의 상면을 노출할 수 있다. 제 4 관통 홀들(TH4)은 언더 범프 패드들(340)이 형성되는 영역을 정의할 수 있다. 제 4 관통 홀들(TH4)의 평면 형상은 제 3 관통 홀들(TH3)의 평면 형상과 동일하거나, 더 클 수 있다.

[0082] 도 19를 참조하여, 상부 패드들(312) 상에 제 2 비아들(320) 및 언더 범프 패드들(340)이 형성될 수 있다. 제 2 비아들(320)은 제 3 관통 홀들(TH3) 내에 도전 물질을 채워 형성될 수 있다. 예를 들어, 제 3 관통 홀들(TH3)에

의해 노출된 제 3 시드막(322)을 시드로 이용하여, 제 3 관통 홀들(TH3) 내에 상기 도전 물질을 채우는 도금 공정이 수행될 수 있다. 제 3 관통 홀들(TH3)의 형상에 따라, 제 2 비아들(320)은 제 2 도전 패턴(310)으로부터 멀어질수록 폭이 증가하는 테이퍼진 형상으로 형성될 수 있다. 언더 범프 패드들(340)은 제 4 관통 홀들(TH4) 내에 도전 물질을 채워 형성될 수 있다. 예를 들어, 제 4 관통 홀들(TH4)에 의해 노출된 제 2 비아들(320)을 시드로 이용하여, 제 4 관통 홀들(TH4) 내에 상기 도전 물질 도금 공정이 수행될 수 있다. 제 2 비아들(320)을 형성하는 공정과 언더 범프 패드들(340)을 형성하는 공정을 나누어 설명하였으나, 제 2 비아들(320)을 형성하는 공정과 언더 범프 패드들(340)을 형성하는 공정은 연속적으로 수행될 수 있으며, 제 2 비아들(320)과 언더 범프 패드들(340)은 일체로 형성될 수 있다. 다른 실시예들에 따르면, 제 2 비아들(320)이 형성된 후, 별도의 공정을 통해 언더 범프 패드들(340)이 형성될 수 있다. 상기와 같은 공정을 수행하여 제 1 배선층(200) 상에 제 2 배선층(300)이 형성될 수 있다.

- [0083] 이후, 제 2 감광성 막(PS2)이 제거되어 재배선 기관(400)이 제조될 수 있다.
- [0084] 도 1을 다시 참조하여, 재배선 기관(400) 상에 반도체 칩(500)이 실장될 수 있다. 일 예로, 반도체 칩(500)은 플립 칩(flip chip) 방식으로 재배선 기관(400)의 언더 범프 패드들(340)에 접속될 수 있다.
- [0085] 재배선 기관(400) 상에 몰딩층(600)이 형성될 수 있다. 예를 들어, 절연 물질이 반도체 칩(500)을 덮도록 재배선 기관(400) 상에 공급될 수 있다. 상기와 같은 공정을 통해 도 1의 반도체 패키지(10)가 제조될 수 있다.
- [0086] 다른 실시예들에 따르면, 도 1의 반도체 패키지(10)에 외부 단자들을 형성하기 위한 공정이 더 수행될 수 있다. 도 6을 참조하여, 지지 기관(100)이 제거되어 재배선 기관(400)의 하면이 노출될 수 있다. 재배선 기관(400) 아래에 보호층(800)이 형성될 수 있다. 예를 들어, 에폭시(epoxy)계 폴리머와 같은 절연성 폴리머, ABF(Ajinomoto Build-up Film), 유기물질 또는 무기물질을 재배선 기관(400)의 하면 상에 공급하여 보호층(800)이 형성될 수 있다. 이후, 보호층(800)에 하부 패드들(212)을 노출시키는 그루브들을 형성한 후, 상기 그루브들 내에 도전물질을 채워 베리어 금속막(820) 및 외부 패드들(810)이 형성될 수 있다. 외부 패드들(810) 상에 솔더 볼 또는 솔더 범프와 같은 외부 단자들(830)을 제공하여 도 6의 반도체 패키지(13)가 제조될 수 있다.
- [0088] 도 20 내지 도 22는 본 발명의 실시예들에 따른 재배선 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0089] 도 20을 참조하여, 도 7의 결과물 상에, 제 1 절연층(230)이 형성될 수 있다. 예를 들어, 지지 기관(100) 및 제 1 도전 패턴(210) 상에 봉지재를 도포 또는 증착하여 제 1 절연층(230)이 형성될 수 있다. 제 1 절연층(230)은 PECVD(Plasma Enhanced CVD), HDPCVD(High Density Plasma CVD), APCVD(Atmospheric Pressure CVD), 스핀 코팅(spin coating) 등을 이용하여 형성될 수 있다. 제 1 절연층(230)은 제 1 도전 패턴(210)을 매립할 수 있다.
- [0090] 이후, 제 1 절연층(230)에 제 1 관통 홀들(TH1)이 형성될 수 있다. 예를 들어, 제 1 절연층(230) 상에 식각 공정을 수행하여 제 1 관통 홀들(TH1)이 형성될 수 있다. 이때, 상기 식각 공정에 의해 제 1 절연층(230)의 상부가 과식각될 수 있으며, 이에 따라 제 1 관통 홀들(TH1)은 제 1 도전 패턴(210)으로부터 멀어질수록 넓은 폭을 갖는 테이퍼진(tapered) 형상을 가질 수 있다. 제 1 관통 홀들(TH1)은 제 1 절연층(230)을 관통하여 하부 패드들(212)의 상면을 노출할 수 있다.
- [0091] 도 21을 참조하여, 제 1 관통 홀들(TH1)의 어느 하나 내에 커패시터(CA)가 형성될 수 있다. 예를 들어, 제 1 관통 홀들(TH1)에 의해 노출되는 제 1 하부 패드(LP1)의 상면 상에 베리어층(BL), 유전층(DL) 및 상부 전극(TE)이 순차적으로 증착될 수 있다. 베리어층(BL), 유전층(DL) 및 상부 전극(TE)은 화학 기상 증착(CVD) 공정 등을 이용하여 형성될 수 있다. 커패시터(CA)는 제 1 하부 패드(LP1) 상에 위치하는 제 1 관통 홀들(TH1)의 어느 하나의 하부를 채울 수 있다. 상기와 같이 커패시터(CA)가 형성될 수 있다.
- [0092] 도 22를 참조하여, 제 1 절연층(230) 상에 제 2 시드막(316)이 형성될 수 있다. 제 2 시드막(316)은 제 1 절연층(230)의 상면, 제 1 관통 홀들(TH1)의 바닥면 및 제 1 관통 홀들(TH1)의 내측면을 따라 형성될 수 있다. 이때, 제 2 시드막(316)은 제 1 하부 패드(LP1) 상에서 커패시터(CA)의 상면과 접하고, 제 2 하부 패드(LP2) 상에서 제 2 하부 패드(LP2)의 상면과 접할 수 있다.
- [0093] 이후, 도 16내지 도 19를 참조하여 설명한 바와 동일한 공정이 수행되어 도 3 및 도 4를 참조하여 설명한 재배선 기관(400)이 형성될 수 있다.
- [0095] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며

한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0096]

10: 반도체 패키지

100: 지지 기판

210: 제 1 도전 패턴

230: 제 1 절연층

310: 제 2 도전 패턴

330: 제 2 절연층

500: 반도체 칩

CA: 커패시터

DL: 유전체층

200: 제 1 배선층

220: 제 1 비아

300: 제 2 배선층

320: 제 2 비아

400: 재배선 기판

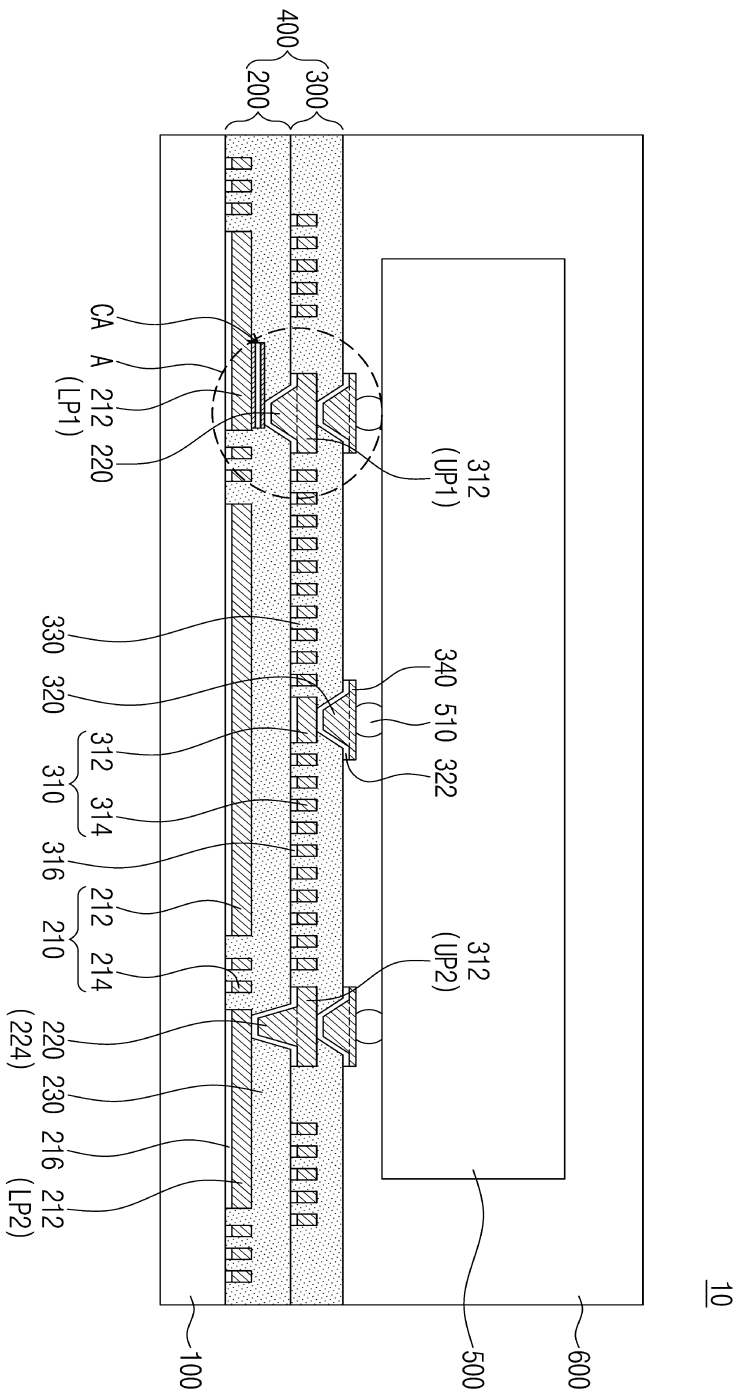
600: 몰딩층

BL: 베리어층

TE: 상부 전극

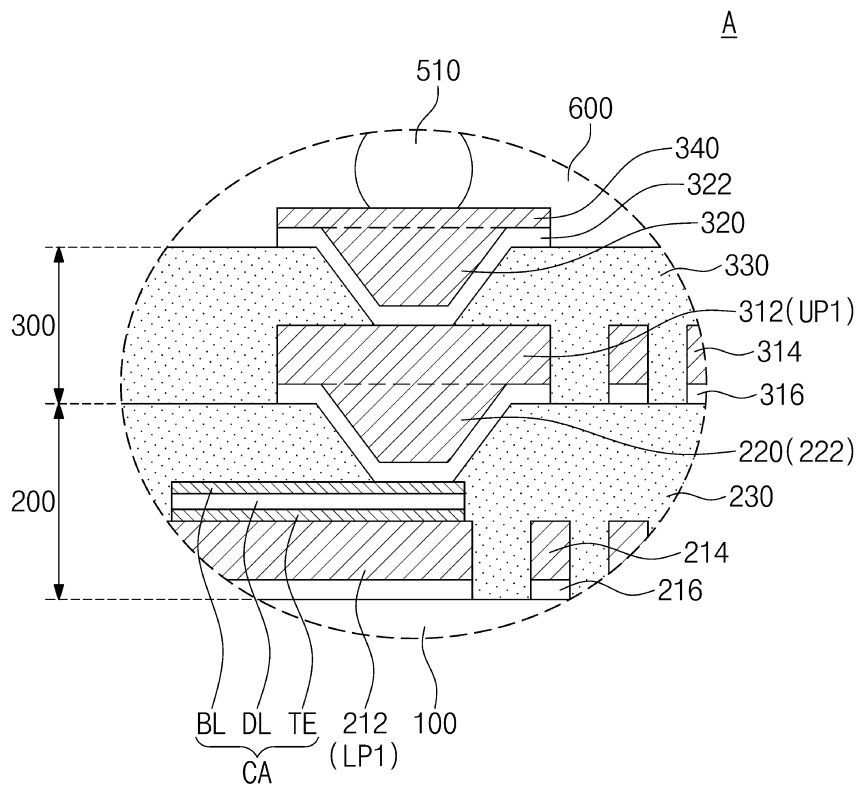
도면

도면1

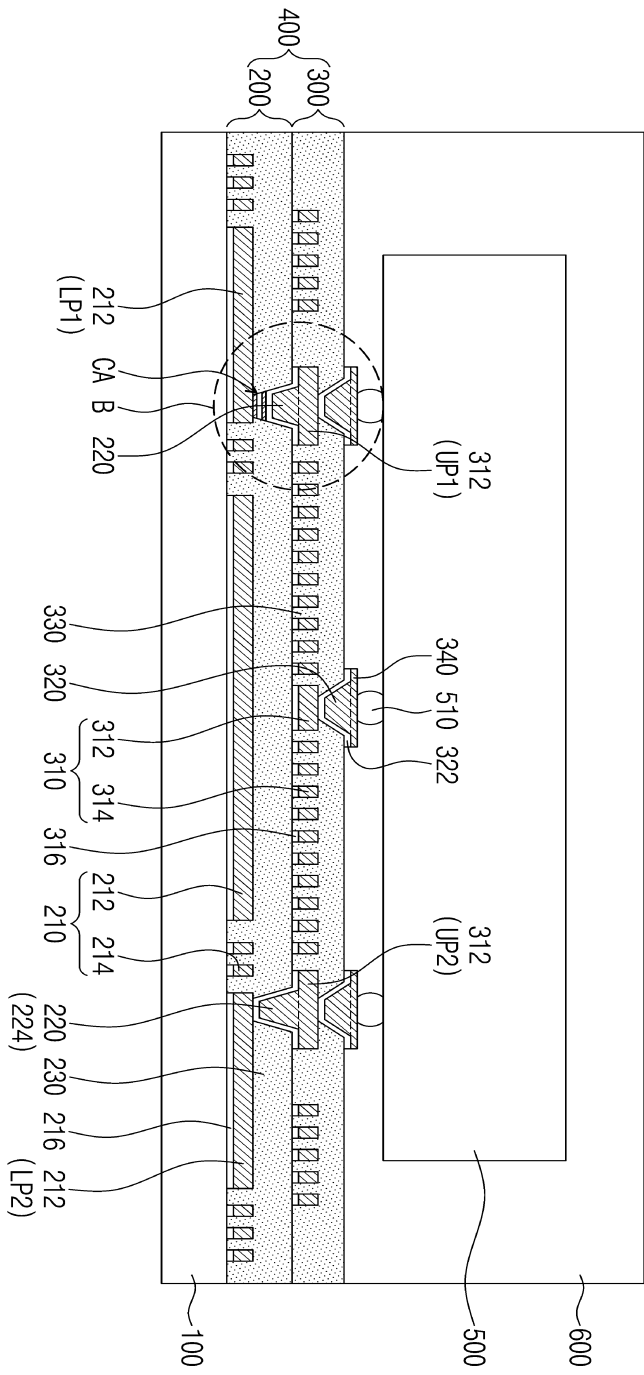


10

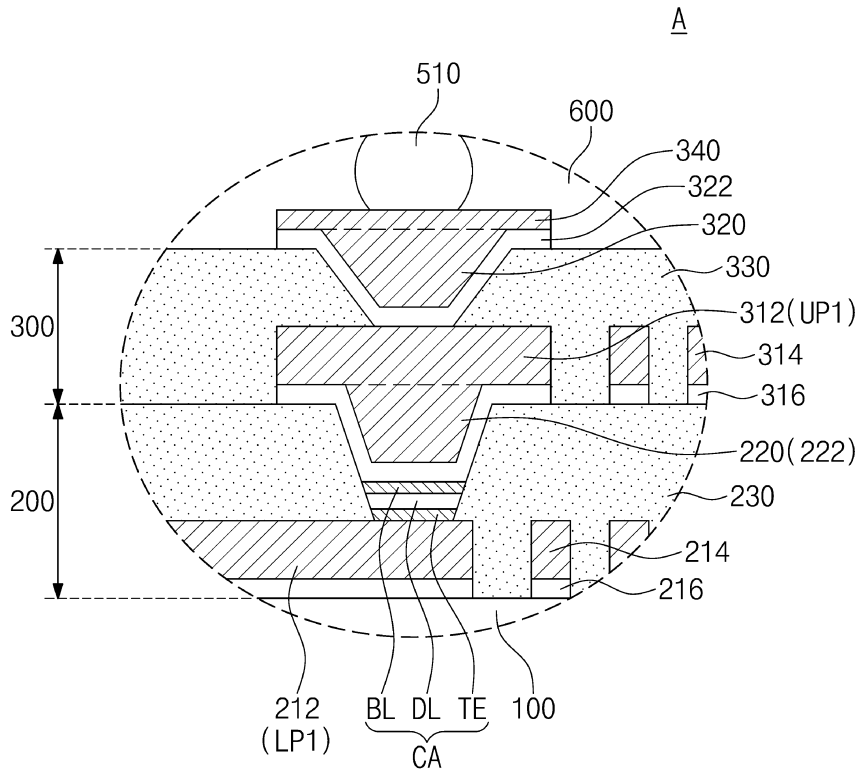
도면2



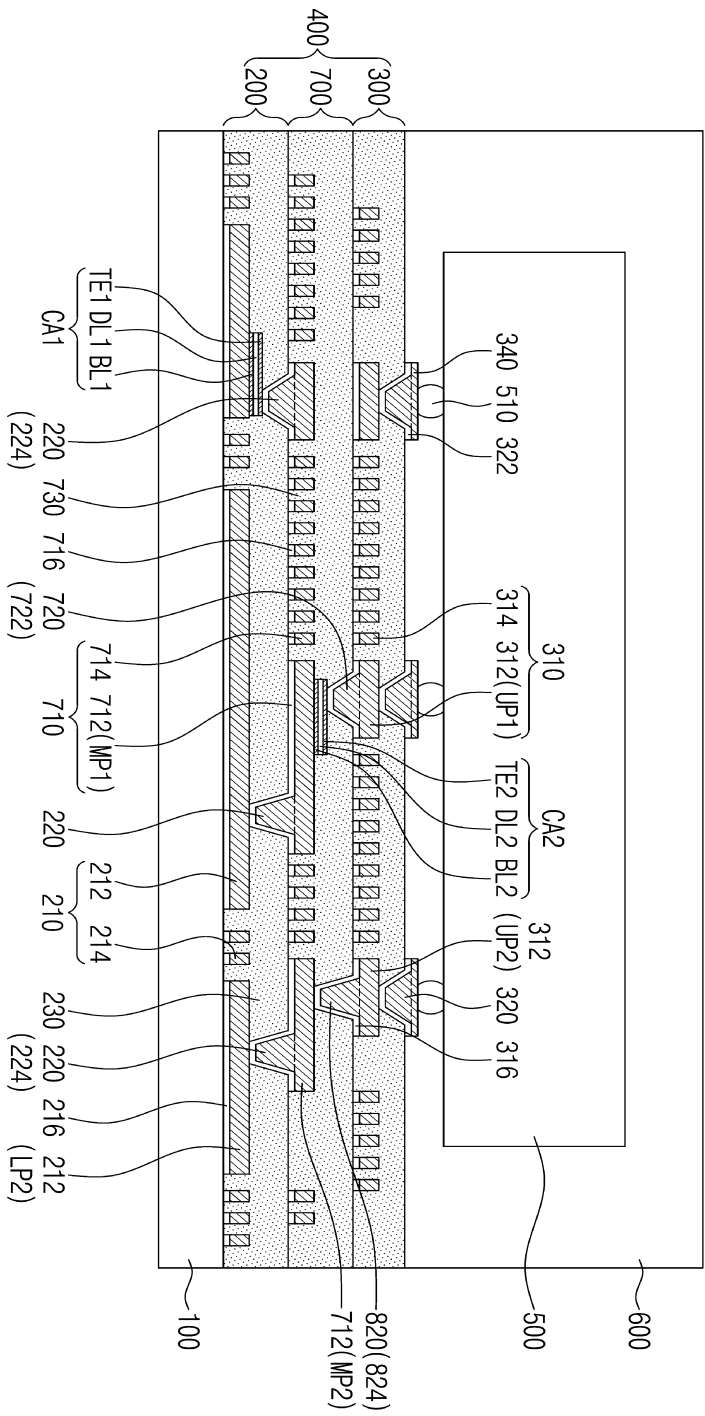
도면3



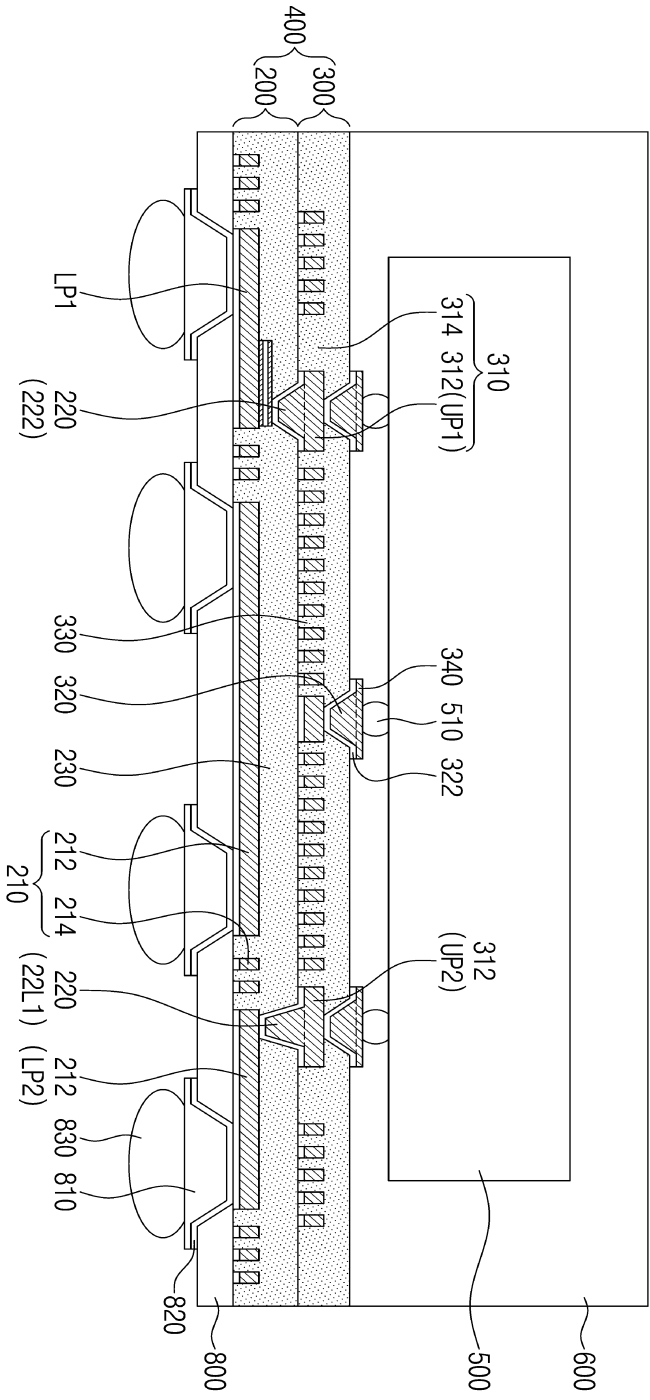
도면4



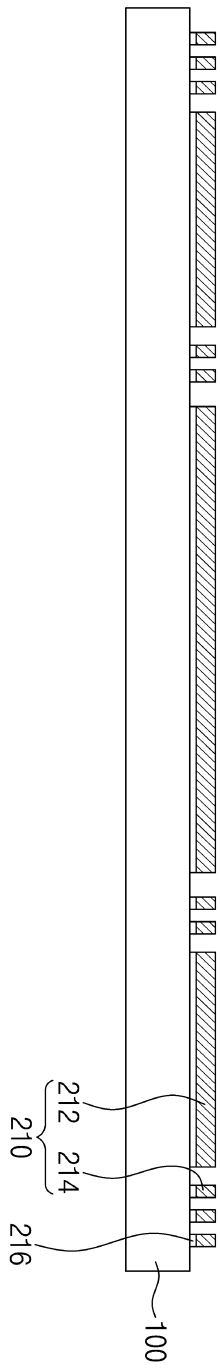
도면5



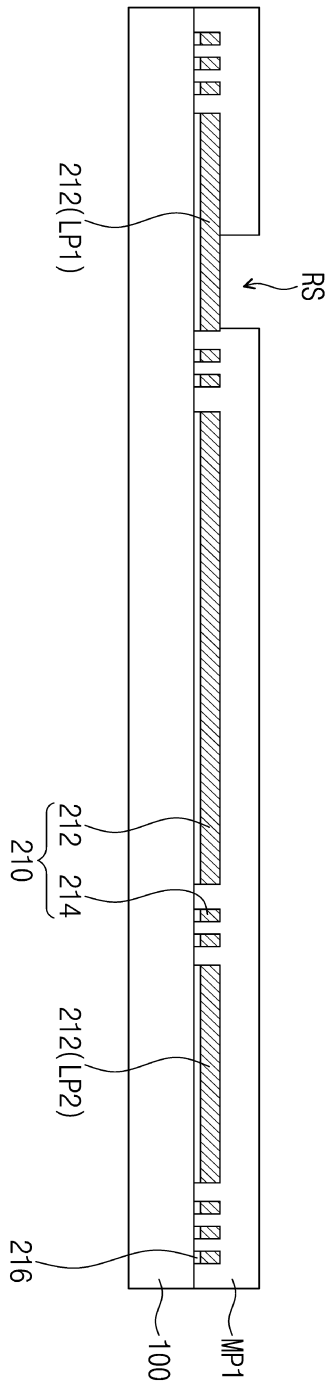
도면6



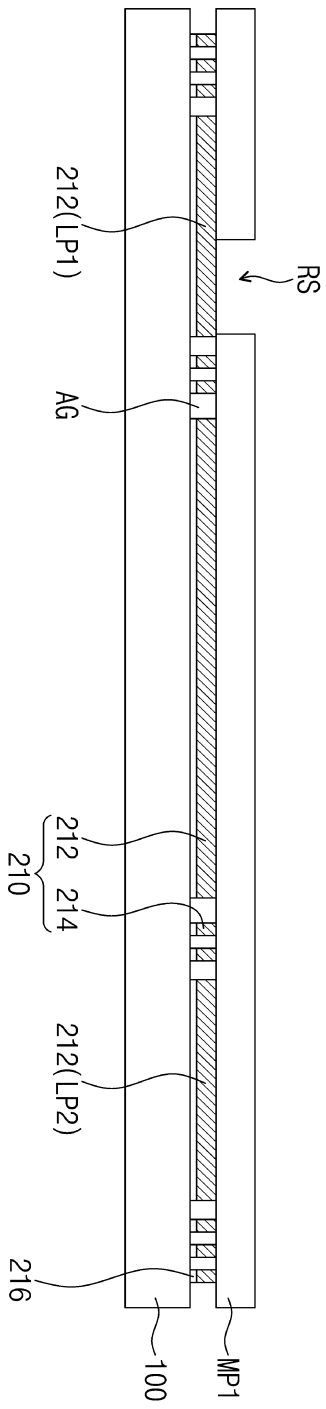
도면7



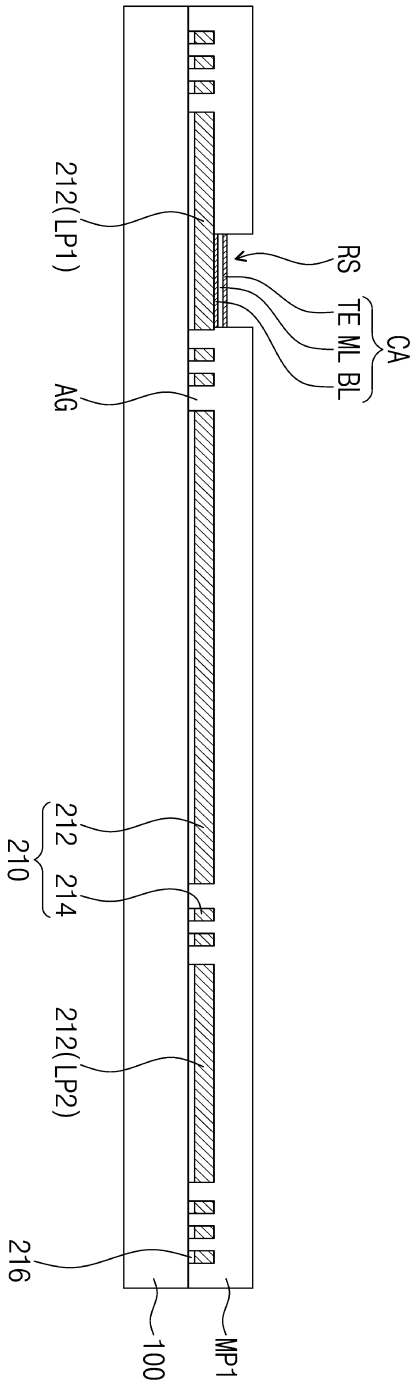
도면8



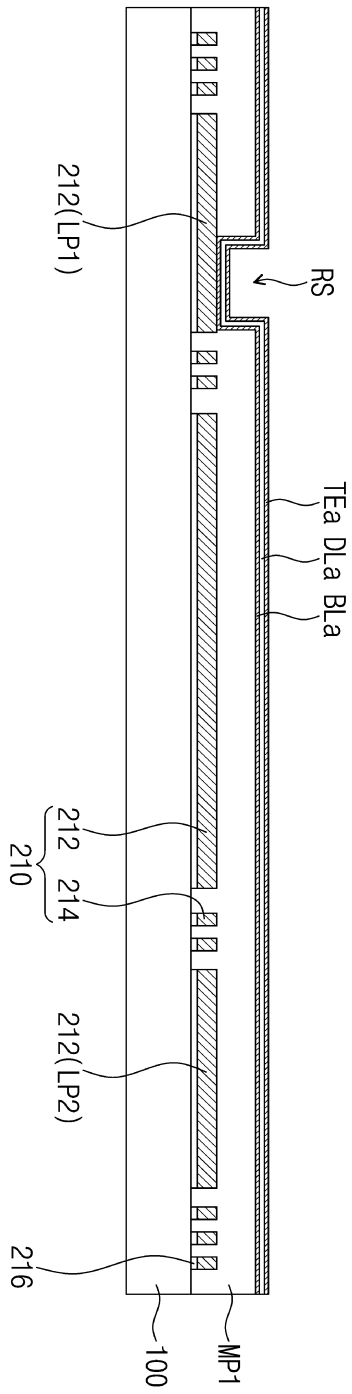
도면9



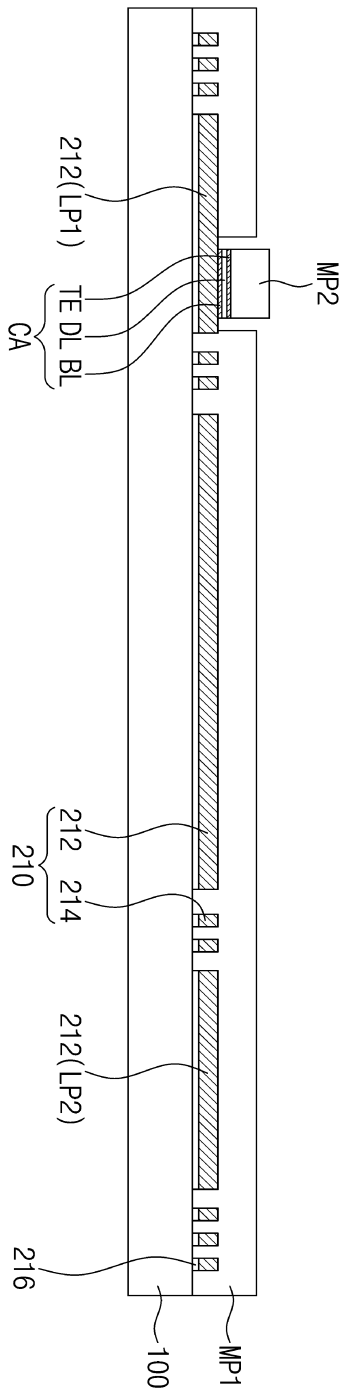
도면10



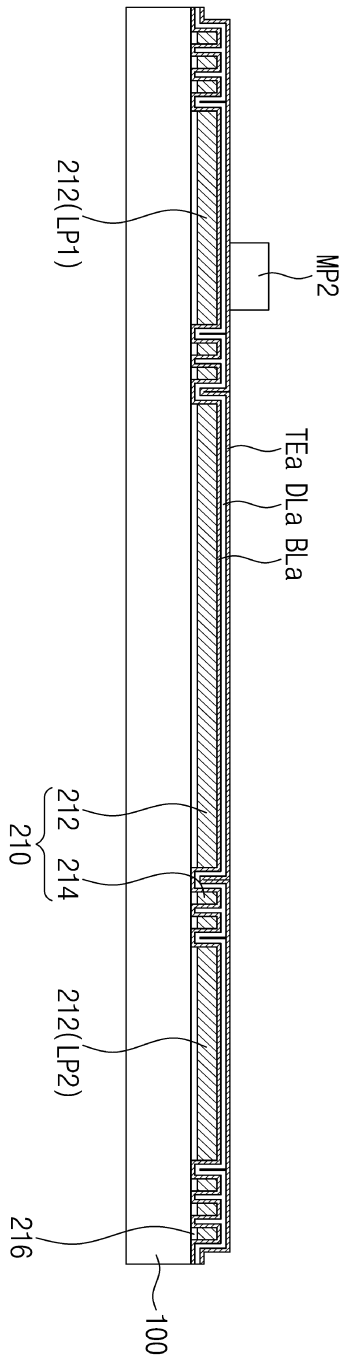
도면11



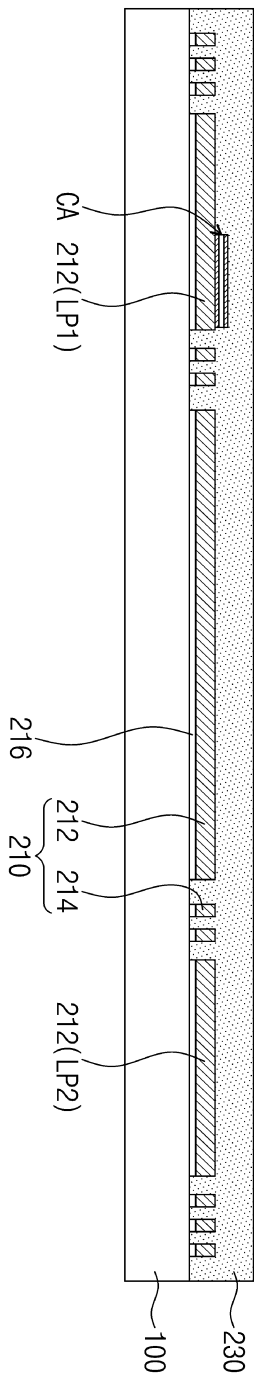
도면12



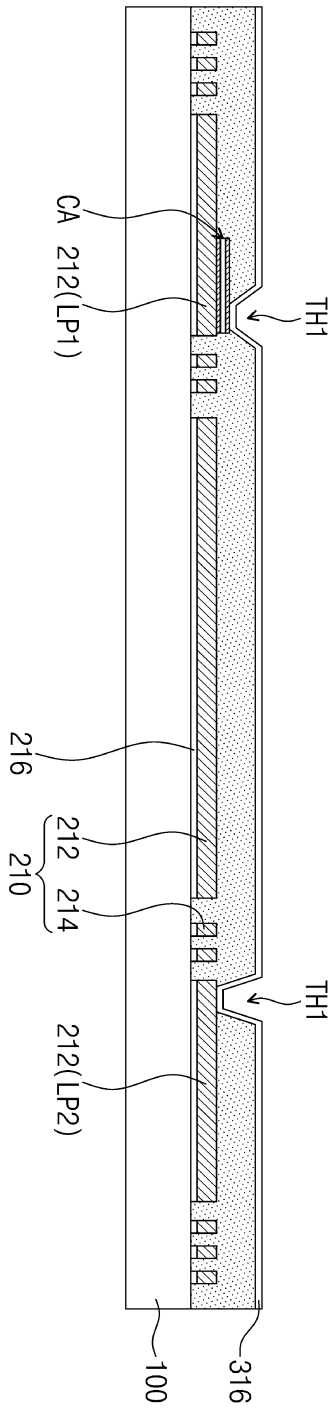
도면13



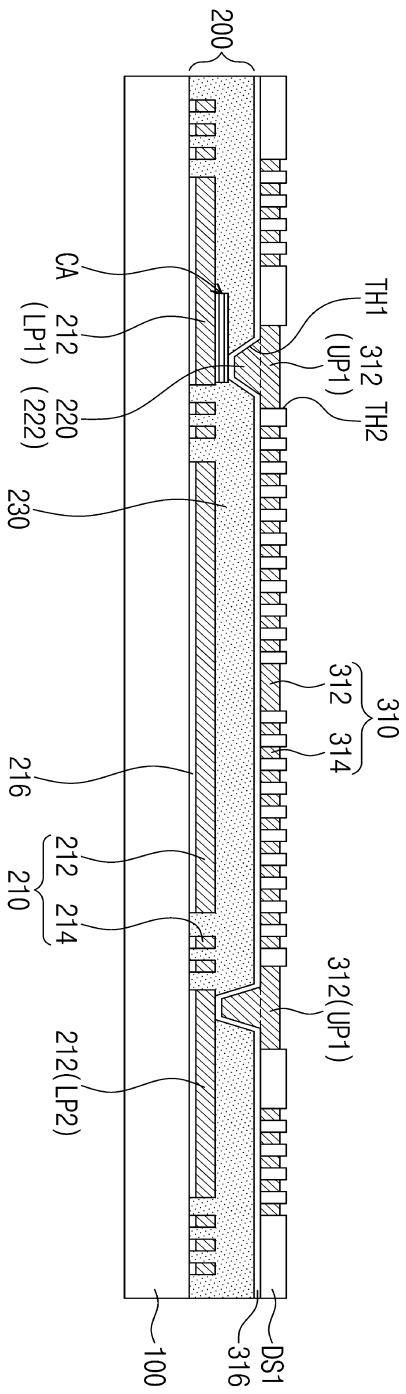
도면14



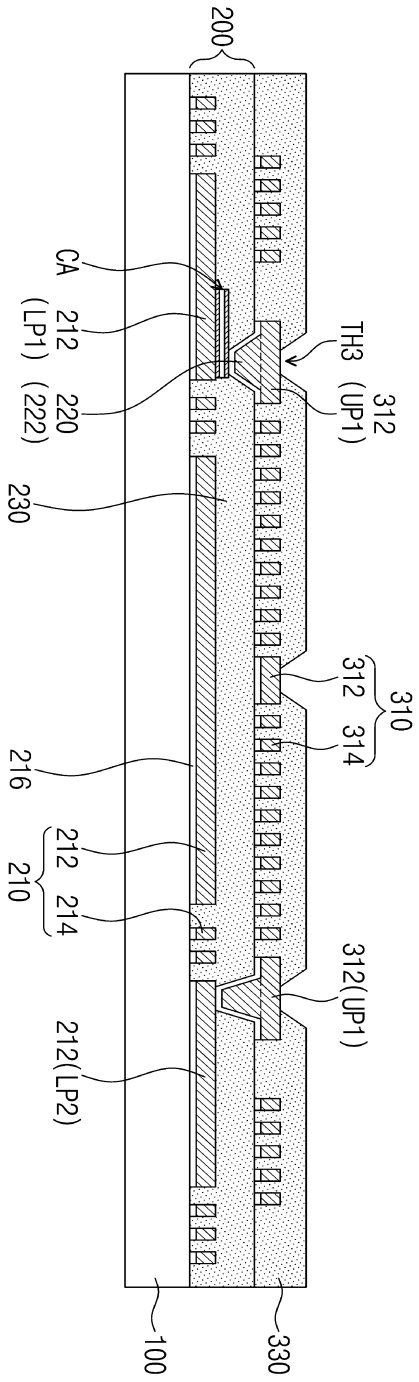
도면15



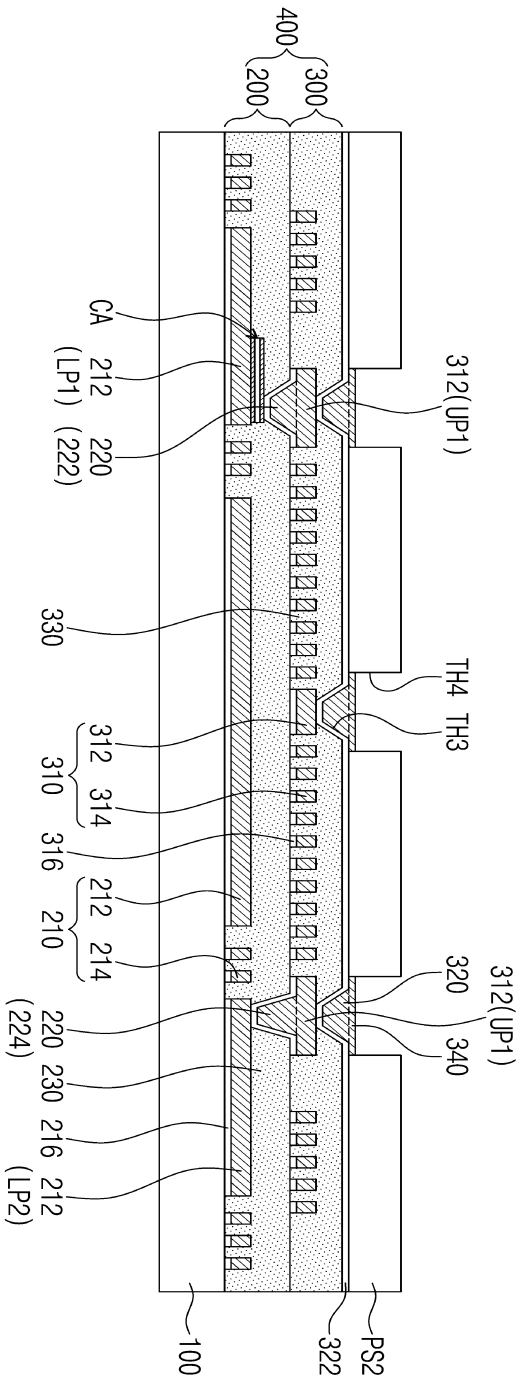
도면16



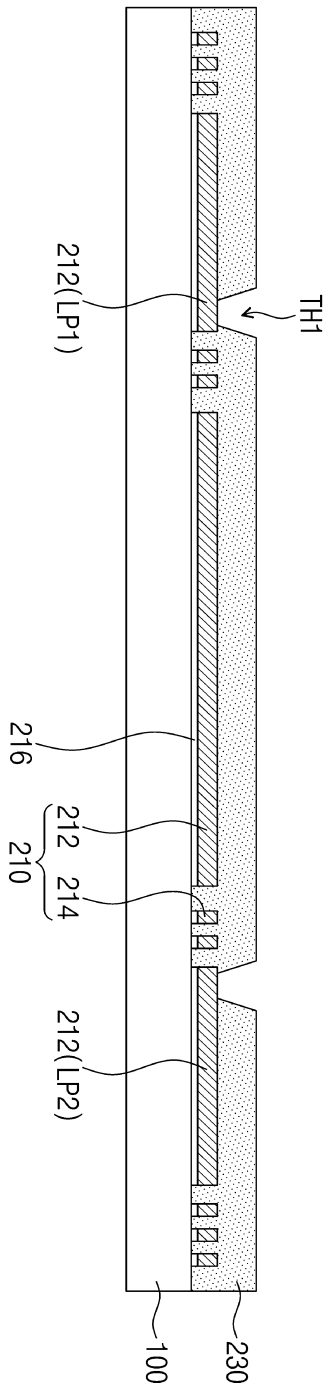
도면17



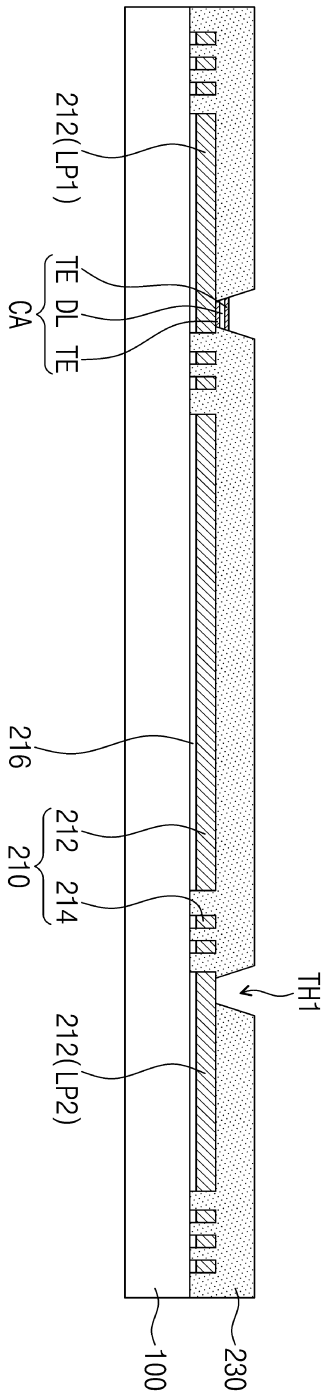
도면19



도면20



도면21



도면22

