

1. 一种栅极驱动器集成电路,适于将低侧栅极信号驱动到低侧晶体管的栅极上并适于将高侧栅极信号驱动到高侧晶体管的栅极上,其中高侧晶体管具有体二极管,该栅极驱动器集成电路包括:

高侧驱动器数字控制信号输入端子;

高侧驱动器输出端子;

高侧栅极驱动器电路,将高侧栅极驱动器输出信号输出到高侧驱动器输出端子上;

低侧驱动器数字控制信号输入端子;

低侧驱动器输出端子;

低侧栅极驱动器电路,将低侧栅极驱动器输出信号输出到低侧驱动器输出端子上;

体二极管电流监视电路,耦合到高侧晶体管的体二极管;

高侧驱动器逻辑电路,耦合到低侧驱动器数字控制信号输入端子,并且耦合到高侧晶体管;以及

VGs监视电路,耦合到高侧晶体管和低侧栅极驱动器电路,其中体二极管电流监视电路包括第一比较器,其中第一比较器输出第一比较器输出信号,所述第一比较器输出信号被传送到高侧驱动器逻辑电路,其中VGs监视电路包括第二比较器,其中第二比较器输出第二比较器输出信号,所述第二比较器输出信号被传送到低侧驱动器逻辑电路,其中高侧驱动器逻辑电路从高侧驱动器控制信号输入端子接收高侧驱动器数字控制信号,并且其中栅极驱动器集成电路不包括取出并执行指令的任何数字处理器。

2. 如权利要求1所述的栅极驱动器集成电路,其中体二极管电流监视电路还包括电流感测输入端子和参考电压电路,其中第一比较器的第一差分输入引线耦合到电流感测输入端子,并且其中第一比较器的第二差分输入引线耦合到参考电压电路。

3. 如权利要求1所述的栅极驱动器集成电路,其中VGs监视电路还包括电压感测输入端子和参考电压电路,其中第二比较器的第一差分输入引线耦合到电压感测输入端子,并且其中第二比较器的第二差分输入引线耦合到参考电压电路。

4. 如权利要求1所述的栅极驱动器集成电路,其中VGs监视电路用于检测高侧晶体管上的栅极-源极电压何时降至预定阈值电压以下并且栅极-源极电压的这种下降是由于高侧驱动器逻辑电路使高侧晶体管关断,并且其中在数字逻辑低值存在于高侧驱动器数字控制信号输入端子上的时间期间就在这被关断之前高侧晶体管被接通并导通。

5. 如权利要求1所述的栅极驱动器集成电路,还包括:

串行数字接口电路,栅极驱动器集成电路通过所述串行数字接口电路接收多位数字控制值,其中多位数字控制值设置预定阈值电流。

6. 如权利要求1所述的栅极驱动器集成电路,还包括:

串行数字接口电路,栅极驱动器集成电路通过所述串行数字接口电路接收多位数字控制值,其中多位数字控制值设置预定阈值电压。

7. 一种涉及驱动高侧晶体管和低侧晶体管的方法,其中高侧晶体管的源极在节点处耦合到低侧晶体管的漏极,其中高侧晶体管的漏极耦合到电压源,其中低侧晶体管的源极耦合到接地,其中二极管与高侧晶体管并联部署,所述方法包括以下步骤:

(a) 接收高侧驱动器数字控制信号,其中高侧驱动器数字控制信号具有第一数字逻辑值;

(b) 响应于在 (a) 中接收到第一数字逻辑值的高侧驱动器数字控制信号, 将高侧HS栅极信号驱动到高侧晶体管的栅极上, 使得高侧晶体管被控制为关断;

(c) 确定通过二极管的电流上升并超过阈值电流, 其中 (c) 的确定发生在高侧驱动器数字控制信号处于第一数字逻辑值时;

(d) 响应于 (c) 的确定, 将HS栅极信号驱动到高侧晶体管的栅极上, 使得高侧晶体管接通;

(e) 接收低侧驱动器数字控制信号, 其中低侧驱动器数字控制信号具有第一数字逻辑值;

(f) 检测低侧驱动器数字控制信号从第一数字逻辑值转变到第二数字逻辑值, 其中在 (f) 中低侧驱动器数字控制信号从第一数字逻辑值转变到第二数字逻辑值是在 (c) 的确定之后;

(g) 响应于 (f) 的检测, 将HS栅极信号驱动到高侧晶体管的栅极上, 使得高侧晶体管关断;

(h) 确定高侧晶体管的栅极-源极电压已下降到阈值电压以下, 其中在 (h) 中高侧晶体管的栅极-源极电压响应于 (g) 中HS栅极信号的驱动而下降到阈值电压以下;

(i) 响应于 (h) 的确定, 将低侧LS栅极信号驱动到低侧晶体管的栅极上, 使得控制低侧晶体管接通; 以及

(j) 只要低侧驱动器数字控制信号保持在第二数字逻辑值, 则将LS栅极信号驱动到低侧晶体管的栅极上以使得低侧晶体管保持接通。

8. 如权利要求7所述的方法, 其中高侧晶体管是N沟道场效应晶体管, 并且其中二极管是N沟道场效应晶体管的体二极管。

9. 如权利要求7所述的方法, 其中高侧驱动器数字控制信号保持在第一数字逻辑值, 并且在步骤 (c) 到 (j) 期间的任何时间都不将数字值转变到第二数字逻辑值。

用于使体二极管功率损耗最小化的开关转换器的栅极驱动器

[0001] 本申请是申请日为2019年2月21日、申请号为201910131053.X、发明名称为“用于使体二极管功率损耗最小化的开关转换器的栅极驱动器”的中国发明专利申请的分案申请。

技术领域

[0002] 所描述的实施例涉及用于驱动诸如功率场效应晶体管(所谓的MOSFET)之类的功率晶体管的栅极的栅极驱动器。

背景技术

[0003] 开关功率转换器有几种类型的功率损耗。为了说明这一点,这里简要描述一种特定类型的开关转换器。它是通常称为“逆变器”的DC-AC开关转换器。逆变器接收DC供电电压并输出正弦AC电压或电流。存在用于逆变器的各种电路拓扑,但是图1A图示了一个示例性逆变器电路的一部分的一个示例。逆变器电路涉及称为QHS的所谓“高侧”晶体管和称为QLS的所谓“低侧”晶体管。这些晶体管中的每一个都是N沟道场效应晶体管,有时通称为N沟道MOSFET(金属氧化物半导体场效应晶体管)。这些晶体管中的每一个被实现为半导体片芯的一部分。存在作为那个片芯的一部分的固有体二极管。二极管可以以N沟道晶体管的符号示出,或者可以根本不示出,但是它与晶体管一起存在。在逆变器电路中,节点N1上存在第一DC供电电压,节点N2上存在较高的第二DC供电电压。节点GND是接地节点。标号L标识变压器的第一绕组(初级侧绕组)。未示出变压器的磁芯和变压器的第二绕组(次级侧绕组)。逆变器电路的总体目的是生成流经第一绕组L的AC电流。这使得相似的AC电流在变压器的第二绕组中流动,并且使第二绕组中的这个AC电流通过负载。未示出控制高侧和低侧晶体管的控制和驱动电路系统。

[0004] 在输出正弦AC电流在绕组L中流动的前半周期中,高侧晶体管被控制为关断。这在图1A、图1B、图1C和图1D中由出现在高侧晶体管QHS旁边的文字“关断”指出。另一方面,低侧晶体管QLS以使得正弦AC电流流经第一绕组的方式接通和关断。然后,在正弦AC电流的后半周期中,控制低侧晶体管QLS关断。未示出这个后半周期中逆变器电路的操作。在正弦AC电流的后半周期中,高侧晶体管QHS以使得正弦AC电流流动的方式接通和关断。

[0005] 图1A、图1B、图1C和图1D图示了在正弦AC电流的示例性前半周期期间的电流流动。图1A图示了第一种情况。低侧晶体管QLS被控制为接通。使电流如箭头A所示流动。电流从节点N1流经绕组L、流经晶体管QLS,并流到接地节点GND。在一段时间之后,低侧晶体管QLS关断。这产生了图1B中所示的情况。由于第一绕组L的电感中的电流不能瞬间停止,并且因为它也不能流经阻塞的低侧晶体管QLS,因此它在箭头B所示的路径中流动。高侧晶体管QHS关断,但是电流B流经体二极管DHS直到节点N2。经过一段时间后,低侧晶体管QLS再次接通。然后电流如图1C中的箭头C所示流动。低侧晶体管QLS接通并导通,因此电流从节点N1流经绕组L、流经低侧晶体管QLS,并流到接地节点GND。但是,当低侧晶体管QLS首次接通时,在高侧晶体管的体二极管DHS上施加反向电压。这使得反向恢复电流的短突发流经体二极管DHS。

反向恢复电流的这个突发在图1C所示的路径C中流动。一旦这个反向恢复电流已经停止,电流就如图1D中所示流动。

[0006] 流经体二极管DHS的电流可造成开关转换器中的功率损耗。图1C中所示的反向恢复电流的浪涌虽然持续时间相对短,但是是大电流,并且其发生在体二极管两端存在大的反向电压的时间期间。流经体二极管DHS的瞬时电流乘以体二极管DHS上的瞬时电压降随时间的积分表示能量损失。这是由于反向恢复电流的流动引起的能量损失。此外,由于正向电流流经体二极管DHS,因此存在能量损失。当图1B中所示的电流B流经体二极管DHS时,体二极管DHS两端存在大约1伏的电压降。流经体二极管DHS的瞬时电流乘以体二极管DHS上的瞬时电压降的积分表示能量损失。

发明内容

[0007] 在第一新颖方面,栅极驱动器集成电路具有高侧栅极驱动器和低侧栅极驱动器。栅极驱动器集成电路控制DC-AC逆变器电路的高侧N沟道场效应晶体管和低侧N沟道场效应晶体管。高侧晶体管和低侧晶体管是开关支路或相支路电路的一部分。高侧晶体管的源极在中央开关节点SW处耦合到低侧晶体管的漏极。大电感器或变压器绕组的一端也耦合到中央开关节点SW。

[0008] 栅极驱动器集成电路具有VHSC1输入端子,其在该端子上接收高侧驱动器数字控制信号。当这个VHSC1输入信号被驱动至高数字逻辑电平时,高侧晶体管将接通。栅极驱动器集成电路还具有VLSC1输入端子,其在该端子上接收低侧驱动器数字控制信号。当这个VLSC1输入信号被驱动至高数字逻辑电平时,低侧晶体管将接通。VHSC1和VLSC1输入信号是数字逻辑信号,通常由微控制器集成电路分别供应到栅极驱动器集成电路的VHSC1和VLSC1输入端子上。

[0009] 当其中一个晶体管被微控制器控制为关断而不导通,但是当由于感性负载而使电流流经晶体管的体二极管时,检测到这种电流状况。如果检测到流经体二极管的电流超过预定电流阈值,那么驱动器集成电路控制晶体管接通。即使从微控制器接收的输入数字控制信号指示微控制器希望该晶体管关断,晶体管也被栅极驱动器集成电路接通。否则将流经体二极管的电流流经并联连接的导通的晶体管。然后,当由微控制器控制开关支路的另一个晶体管接通时,栅极驱动器集成电路检测到这种情况,并首先采取动作以关断导通的晶体管。栅极驱动器集成电路监视被关断的晶体管的栅极-源极电压。当栅极驱动器集成电路检测到晶体管的栅极-源极电压已降至预定阈值电压以下时,则栅极驱动器集成电路控制开关支路的另一个晶体管接通并变为导通。以这种方式,避免了否则可能在电流路径中流经导通的高侧晶体管然后流经导通的低侧晶体管的直通电流。对被关断的晶体管的栅极-源极电压的监视允许优化另一个晶体管的接通时序。

[0010] 通过在电流否则将流经其体二极管的时间期间使晶体管接通,体二极管中的功率损耗减小。否则将在后续二极管换向时发生的反向恢复电流的幅度减小。而且,通过二极管的正向导通损耗也会降低,因为由于并联耦合的导通的晶体管,一些否则将以较大的电压降流经体二极管的正向电流将以较小的电压降流经导通的晶体管。这两种效应(即,一些跨过导通晶体管的较小电压降的正向电流的分流以及体二极管中反向恢复电流的幅度的减小)作用以减少体二极管中的损耗。

[0011] 如果由于控制高侧和低侧晶体管的方式而使得高侧晶体管的体二极管传导电流,那么新颖的栅极驱动器集成电路控制高侧晶体管在这些时间期间接通并导通。栅极驱动器集成电路操作以减少高侧晶体管的体二极管中的损耗。另一方面,如果由于控制高侧和低侧晶体管的方式而使得低侧晶体管的体二极管传导电流,那么的新颖栅极驱动器集成电路控制低侧晶体管在这些时间期间接通并导通。栅极驱动器集成电路操作以减少低侧晶体管的体二极管中的损耗。

[0012] 在另一个新颖方面,栅极驱动器集成电路仅具有一个栅极驱动器电路。栅极驱动器电路用于驱动作为另一个半导体片芯的一部分的功率场效应晶体管。功率场效应晶体管的体二极管也是另一个半导体片芯的一部分。栅极驱动器集成电路包括驱动器数字控制信号输入端子、驱动器输出端子、栅极驱动器电路、体二极管电流监视装置,以及用于关断功率场效应晶体管的装置。栅极驱动器电路将栅极驱动器输出信号输出到驱动器输出端子,并且以这种方式驱动功率场效应晶体管的栅极,以便如果在驱动器数字控制信号输入端子上存在预定数字逻辑值的数字信号,就接通功率场效应晶体管。体二极管电流监视装置用于在栅极驱动器电路控制功率场效应晶体管关断期间确定何时流经体二极管的电流上升到预定阈值电流以上,并且用于响应于该确定而使得功率场效应晶体管接通,使得即使在驱动器数字控制信号输入端子上不存在预定数字逻辑值的数字信号,功率场效应晶体管也接通。用于关断功率场效应晶体管的装置用于响应于第二数字控制信号的转变而关断功率场效应晶体管。第二数字控制信号的转变发生在功率场效应晶体管接通但驱动器数字控制信号输入端子上的数字信号不是预定数字逻辑值的时间期间。例如,第二数字控制信号可以是用于控制另一个外部分立功率场效应晶体管器件的数字控制信号。例如,第二数字控制信号可以通过专用输入端子接收到栅极驱动器集成电路上。

[0013] 在下面的详细描述中描述进一步的细节和实施例以及方法和技术。本发明内容并非旨在限定本发明。本发明由权利要求限定。

附图说明

[0014] 附图图示了本发明的实施例,其中相似的数字表示相似的部件。

[0015] 图1A(现有技术)是图示当低侧晶体管接通并导通时DC-AC逆变器电路中的电流流动的图。

[0016] 图1B(现有技术)是图示当低侧晶体管关断时图1A的DC-AC逆变器电路中的电流流动的图。

[0017] 图1C(现有技术)是图示当低侧晶体管再次接通时图1A的逆变器电路中的电流流动的图。

[0018] 图1D(现有技术)是图示在高侧晶体管的体二极管中的反向恢复电流流动消退之后的时间,图1A的逆变器电路中的电流流动的图。

[0019] 图2是根据一个新颖方面的、包括新颖驱动器集成电路的开关DC-AC逆变器电路的图。

[0020] 图3是图2的驱动器集成电路的低侧驱动器逻辑电路的框图。

[0021] 图4是图2的驱动器集成电路的高侧驱动器逻辑电路的框图。

[0022] 图5是图示图2的DC-AC逆变器电路的操作的波形图。

[0023] 图6是简化的波形图,其更详细地图示了图5的时间T2和时间T6之间的时间段。波形图是一种简化。为了更准确地理解波形,应当制造电路,然后用测试装备监视和检查实际电路中的实际信号。

[0024] 图7是方法100的流程图,其中高侧晶体管QHS接通以分流高侧晶体管QHS的体二极管D1周围的电流,并减少由于流经体二极管D1的反向恢复电流而引起的损耗。

[0025] 图8是方法200的流程图,其中低侧晶体管QLS接通以分流低侧晶体管QLS的体二极管D2周围的电流,并减少由于流经体二极管D2的反向恢复电流而引起的损耗。

[0026] 图9是图示串行数字接口的图,通过该串行数字接口,驱动器集成电路3从微控制器接收多位数字控制值,其中多位数字控制值控制阈值电压(例如,阈值电压62)和阈值电流(例如,阈值电流61)。

具体实施方式

[0027] 现在将详细参考本发明的实施例,其示例在附图中示出。术语“数字逻辑电平”和“数字逻辑值”在本专利文件中可互换使用。

[0028] 图2是根据一个新颖方面的DC-AC逆变器电路系统1的图。DC-AC逆变器系统1包括微控制器集成电路2、驱动器集成电路3、低侧晶体管设备4、高侧晶体管设备5、包括第一绕组6和第二绕组7的变压器、第一电压源8、第二电压源9、高侧电流感测电阻器10、用于高侧晶体管设备的限流栅极电阻器11、低侧电流感测电阻器12以及用于低侧晶体管设备的限流栅极电阻器13。

[0029] 低侧晶体管设备4和高侧晶体管设备5是相同的设备。在一个示例中,这些设备是从1590 Buckeye Drive, Milpitas, California的IXYS Corporation获得的MMIXT132N50P3设备的实例。低侧晶体管设备4包括低侧N沟道场效应晶体管QLS 14和较小电流感测N沟道场效应晶体管QLSS 15。参考标号16标识低侧晶体管14的体二极管D2。参考标号17标识电流感测晶体管15的体二极管D2S。晶体管14和15的栅极耦合在一起。晶体管14和15的漏极耦合在一起。电流感测晶体管15比主晶体管14小得多。电流感测晶体管15与主低侧晶体管一起在同一个半导体片芯上提供,使得流经电流感测晶体管15的电流将与流经主低侧晶体管14的电流成比例。

[0030] 高侧晶体管设备5包括高侧N沟道场效应晶体管18和较小电流感测N沟道场效应晶体管19。参考标号20标识高侧晶体管18的体二极管D1。参考标号21标识电流感测晶体管19的体二极管D1S。晶体管18和19的栅极耦合在一起。晶体管18和19的漏极耦合在一起。

[0031] 第一电压源8在节点22上提供+200DC电压。这个+200V是相对于接地节点GND23上的接地电位。第一电压源8可以例如是电池的堆叠或具有并联耦合的大电容器的另一个电压源。第二电压源9在节点24上提供+200DC电压。这个+200V是相对于节点22上的+200V电位。因而,节点24上相对于接地节点GND23上的接地电位存在+400V的DC电位。第二电压源9可以例如是电池的堆叠或具有并联耦合的大电容器的另一个电压源。

[0032] 高侧晶体管18的漏极耦合到节点24。高侧晶体管18的源极耦合到SW节点25处的低侧晶体管14的漏极。低侧晶体管14的源极耦合到接地节点GND 23。绕组6的第一端6A耦合到开关节点SW 25并且是开关节点SW 25的一部分。绕组6的第二端6B耦合到节点22并且是节点22的一部分。

[0033] 驱动器集成电路3包括低侧栅极驱动器逻辑电路26、高侧栅极驱动器逻辑电路27、低侧栅极驱动器电路28、高侧栅极驱动器电路29、高侧电流感测比较器32、高侧电压感测比较器33、低侧电流感测比较器30、低侧电压感测比较器31、电压参考电路34-37、电平移位电路38-40、VLSC1低侧驱动器数字控制信号输入端子41、VHSC1高侧驱动器数字控制信号输入端子42、接地端子43、低侧电流感测输入端子44、低侧驱动器输出端子45、低侧电压感测输入端子46、低侧驱动器供电电压端子47、SW节点端子48、高侧电流感测输入端子49、高侧驱动器输出端子50、高侧电压感测输入端子51以及高侧驱动器供电电压端子52。这些端子是包含驱动器集成电路3的电路系统的半导体设备封装的封装端子。对于每个封装端子,存在相关联的集成电路片芯端子(例如,接合焊盘)。图2中的端子符号表示封装端子以及它们相关联的集成电路片芯端子。

[0034] 在操作中,驱动器电路集成电路3从微控制器2接收数字低侧控制信号VLSC1。当这个VLSC1低侧驱动器控制信号具有低数字逻辑电平时,则微控制器2控制低侧栅极驱动器电路28将正电压驱动到低侧晶体管QLS14的栅极上,使得低侧晶体管QLS14接通并导通。同样,驱动器集成电路3从微控制器2接收数字高侧控制信号VHSC1。当这个VHSC1控制信号具有高数字逻辑电平时,则微控制器2控制高侧栅极驱动器电路29将正电压驱动到低侧晶体管QHS 18的栅极上,使得高侧晶体管QHS 18接通并导通。

[0035] 当从微控制器2接收的这个VLSC1低侧驱动器数字控制信号具有低数字逻辑电平时,可能认为驱动器集成电路3将始终控制低侧栅极驱动器电路28将低电压驱动到低侧晶体管QLS14的栅极上,使得低侧晶体管QLS14关断并且不导通,但根据本发明,这并不总是正确的。如下面进一步详细解释的,驱动器集成电路3检测是否存在流经低侧晶体管14的体二极管16的正向电流,并且在那种状况下将高电压驱动到低侧晶体管QLS 14的栅极上,使得低侧晶体管QLS 14接通。因此,即使从微控制器2接收的VLSC1低侧驱动器数字控制信号处于低数字逻辑电平,低侧晶体管QLS 14也接通。低侧晶体管QLS 14的接通将体二极管16周围的电流分流,并减小在此期间否则将跨过体二极管16的电压降,从而降低体二极管16中的功耗。如果体二极管16然后被快速换向,那么低侧晶体管QLS 14接通也有助于减小反向恢复电流的幅度。但是,控制低侧晶体管QLS 14,使得在高侧晶体管QHS 18被控制为接通和导通期间它不被接通和导通。

[0036] 类似地,当从微控制器2接收的VLHC1高侧驱动器数字控制信号具有低数字逻辑电平时,可能认为驱动器集成电路3将始终控制高侧栅极驱动器电路29以将低电压驱动到高侧晶体管QHS 18的栅极上,使得高侧晶体管QHS 18关断并且不导通,但根据本发明,这并不总是正确的。如下面进一步详细解释的,驱动器集成电路3检测是否存在流经高侧晶体管18的体二极管20的正向电流,并且在那种状况下将高电压驱动到高侧晶体管QHS 18的栅极上,使得高侧晶体管QHS 18接通。因此,即使从微控制器2接收的VHSC1高侧驱动器数字控制信号处于低数字逻辑电平,高侧晶体管QHS 18也接通。高侧晶体管QHS 18的接通将体二极管20周围的电流分流,并减小在此期间否则将跨过体二极管20的电压降,从而降低体二极管20中的功耗。如果体二极管20然后被快速换向,那么高侧晶体管QHS 18接通也有助于减小反向恢复电流的幅度。但是,控制高侧晶体管QHS 18,使得在低侧晶体管QLS 14被控制为接通和导通期间它不被接通和导通。

[0037] 图3是LS驱动器逻辑26的电路系统的一个示例的框图。LS驱动器逻辑26包括延迟

电路80、两个下降沿检测电路81和82、上升沿检测电路83、两个或门84和85、以及触发器86。上升沿和下降沿检测电路是单触发电路。

[0038] 图4是HS驱动器逻辑27的电路系统的一个示例的框图。HS驱动器逻辑27包括延迟电路90、下降沿检测电路91、两个上升沿检测电路92和93、两个或门94和95、以及触发器96。上升沿和下降沿检测电路是单触发电路。

[0039] 图5是图2的DC-AC逆变器电路的操作的波形图。顶部波形55表示DC-AC逆变器电路驱动通过绕组6的期望正弦AC电流。绕组电流也称为电感器电流,并表示为 I_L 。第二波形VLSC1 56表示由驱动器集成电路3在端子VLSC1 41上接收的VLSC1低侧驱动器数字控制信号。第三波形VHSC1 57表示由驱动器集成电路3在端子VHSC1 42上接收的VHSC1数字控制信号。底部波形58表示DC-AC逆变器电路驱动通过绕组6的实际AC电流。实际电感器电流 I_L 不具有完美的正弦波形,但它近似于正弦波形。在电感器电流正弦波的前半周期59期间,VLSC1低侧驱动器控制信号在微控制器2的控制下上下转变,但VHSC1控制信号保持在数字逻辑低电平。要注意的是,当VLSC1低侧驱动器控制信号处于数字逻辑高电平时,则底部波形中的电感器电流 I_L 的幅度上升。要注意的是,当VLSC1低侧驱动器控制信号处于数字逻辑低电平时,则底部波形中的电感器电流 I_L 的幅度下降。VLSC1低侧驱动器控制信号的脉冲的定时和占空比使得在底部波形58中产生的电感器电流近似于理想的正弦波形状。

[0040] 在电感器电流正弦波的后半部分60期间,VHSC1控制信号在微控制器2的控制下上下转变,但VLSC1低侧驱动器控制信号保持在数字逻辑低电平。要注意的是,当VHSC1控制信号处于数字逻辑高电平时,则底部波形中的电感器电流 I_L 的幅度下降。要注意的是,当VHSC1控制信号处于数字逻辑低电平时,则底部波形中的电感器电流 I_L 的幅度上升。VHSC1控制信号的脉冲的定时和占空比使得产生的电感器电流具有期望的正弦波形状。

[0041] 图6更详细地示出了时间T1和时间T6之间的时间段。图6的上面两个波形表示由驱动器集成电路3从微控制器2接收的数字控制信号VHSC1和VLSC1。因为T1和T6之间的时间段发生在输出电感器电流 I_L 的前半周期59期间,所以微控制器2将高侧控制信号VHSC1保持在数字逻辑低电平。标记为VLSC2的第四波形是由低侧驱动器逻辑电路26输出到低侧栅极驱动器电路28的输入引线上的电压信号。当低侧驱动器数字控制信号VLSC1在时间T2和T3之间处于高数字逻辑电平时,低侧栅极驱动器电路28将12伏 V_{GS} 电压驱动到低侧晶体管QLS 14的栅极上。因此,低侧晶体管QLS 14接通并导通。因此,电感器电流 I_L 在时间T2和T3之间上升,如标记为“电感器电流(I_L)”的第五波形所示。但是,在时间T3,微控制器2使VLSC1低侧驱动器控制信号转变到数字逻辑低电平。这个下降沿由LS驱动器逻辑26中的下降沿检测器82检测。下降沿的检测在图6中由标有带圆圈的“1”的箭头表示。第三波形中所示的脉冲图示了由这个下降沿检测器82输出的信号FED82。作为这个检测的结果,低侧驱动器逻辑26将数字逻辑低信号VLSC2输出到低侧栅极驱动器电路28。低侧栅极驱动器电路28进而将低侧晶体管QLS 14上的栅极电压 V_{GS} 驱动至零伏。这在图6中用标有带圆圈的“2”的箭头表示。当低侧晶体管QLS 14的栅极上的电压被驱动为低时,使低侧晶体管QLS 14关断。这在图6中用标有带圆圈的“3”的箭头表示。由第六波形表示的流经低侧晶体管QLS的电流 I_{QLS} 下降到零。但是,流经变压器绕组6的大电感的电流 I_L 不能立即停止,因此电流 I_L 从SW节点25向上转向到高侧晶体管设备5。高侧晶体管QHS 18在这个时候是关断的,因此电流流经二极管D1 20并流到节点24。从SW节点25向上流到高侧晶体管设备5的电流 I_{QHS} 的这种突然增加在

图6中由标有带圆圈的“4”的箭头表示。时间T3处的电流上升在标记为IQHS的波形中示出。当这个电流IQHS超过预定阈值电流61时,则比较器32输出数字逻辑高信号。在由电平移位电路38进行电平移位之后,这个信号是信号ICOMPHS。信号ICOMPHS的上升沿由高侧驱动器逻辑27中的上升沿检测器93检测。这在图6中用标有带圆圈的“5”的箭头表示。上升沿检测器93检测信号ICOMPHS的上升沿,并输出信号RED93的高脉冲。信号RED93被供应到触发器96的置位输入引线上,因此高侧驱动器逻辑27中的触发器96被置位,并且高侧驱动器逻辑电路27将其输出信号VHSC2断言为高数字逻辑水平。这在图6中用标有带圆圈的“6”的箭头表示。高侧栅极驱动器电路29进而将12伏栅极电压(VGs)驱动到高侧晶体管QHS 18的栅极上。这在图6中用标有带圆圈的“7”的箭头表示。高侧晶体管18的栅极上的12伏VGs电压(相对于SW节点上的电压)使得高侧晶体管QHS 18接通。这在图6中用标有带圆圈的“8”的箭头表示。如IQHS(NFET)波形所指示的,高侧晶体管QHS 18导通电流。这个电流使流经体二极管D1 20的电流的幅度减小,如标有IQHS(二极管(DIODE))的底部波形所示。要注意的是,当电流IQHS(NFET)增加时,电流IQHS(二极管)以对应的方式减小。即使端子42上的传入的数字控制信号VHSC1处于数字逻辑低电平,高侧晶体管QHS 18也被控制为接通并导通。

[0042] 这种状况持续,直到微控制器2在时间T4将低侧驱动器数字控制信号VLSC1断言为数字逻辑高电平。驱动器集成电路3检测低侧驱动器数字控制信号VLSC1的上升沿,但不立即控制低侧晶体管QLS14转变。更确切地说,它首先控制高侧晶体管QHS 18关断。首先,高侧驱动器逻辑27中的上升沿检测器92检测VLSC1低侧驱动器控制信号的上升沿。这在图6中用标有带圆圈的“9”的箭头表示。图6的第七波形RED92中所示的脉冲表示由这个上升沿检测器92输出的脉冲。作为响应,高侧驱动器逻辑27迫使VHSC2控制信号为数字逻辑低电平。这在图6中用标有带圆圈的“10”的箭头表示。这使得高侧晶体管18的栅极上的电压降低。这在图6中用标有带圆圈的“11”的箭头表示。高侧晶体管18的栅极上的电压信号VGHS以由电阻器11的电阻和高侧晶体管设备5的栅极-源极电容确定的速率减小。由于电阻器11和高侧晶体管的栅极电容,端子50上的信号VHSGDOS的电压与高侧晶体管QHS18的栅极上的信号VGHS的电压不同。当高侧晶体管QHS 18的栅极上的信号VGHS的电压减小时,流经高侧晶体管QHS 18的电流减小。这在图6中由标有带圆圈的“12”的箭头表示。当高侧晶体管QHS 18的栅极上的电压VGHS降至低于预定阈值电压62时,则比较器33将其输出信号断言为高数字逻辑电平。在电平移位之后,这个信号是数字信号VCOMPHS。数字信号VCOMPHS的这种低到高的信号转变使触发器86以数字高值进行时控。因此,控制信号VLSC2转变到高数字逻辑值。这在图6中用标有带圆圈的“13”的箭头表示。这使得低侧晶体管QLS 14接通,并使电感器电流IL重新定向,从SW节点25向下,通过低侧晶体管QLS 14,到接地节点GND 23。这在图6中由标有带圆圈的“14”的箭头表示。从时间T5到时间T6,流经低侧晶体管QLS14的电流增加,如图6中标记为IQLS的波形所示。

[0043] 因而,当在第一半周期59期间首先控制低侧晶体管QLS 14关断时,检测到流过高侧晶体管的体二极管D1 20的电流的快速增加。这种检测被用作接通高侧晶体管QHS 18的触发。否则将通过体二极管D1 20的电流通过高侧晶体管QHS 18。这减少了否则将发生在体二极管D1 20中的功率损耗。高侧晶体管QHS 18继续被控制为接通并导通,直到驱动器集成电路3从微控制器2接收到VLSC1低侧驱动器数字控制信号的上升沿。响应于从微控制器2接收的VLSC1低侧驱动器数字控制信号的这个上升沿,驱动器集成电路3首先控制高侧晶体管

QHS 18关断。当高侧晶体管QHS 18的栅极-源极电压降至低于阈值电压时,则驱动器集成电路3可以接通低侧晶体管QLS 14而不会造成击穿问题。因而,响应于检测到高侧晶体管QHS 18上的 V_{GS} 栅极电压已经降至低于阈值电压,驱动器集成电路3控制低侧晶体管QLS 14接通。此后,只要从微控制器2接收的VLSC1低侧驱动器数字控制信号继续在数字逻辑高值处为高,就控制低侧晶体管QLS14保持接通并导通。

[0044] 图7是图6的波形图中阐述的方法100的流程图。这个方法100涉及在正弦AC输出电流 I_L 的前半周期59期间驱动器集成电路3的操作。最初,在诸如图6中的时间T3的时间,低侧晶体管QLS 14接通。VHSC1高侧驱动器数字控制信号处于数字逻辑低电平并且在图7的整个方法100中保持在这个电平。然后微控制器2将低侧驱动器控制信号VLSC1解除断言为数字逻辑低电平。这使得低侧晶体管QLS 14关断,并使电感器电流 I_L 的流重新定向,从SW节点25向上,到高侧晶体管设备5。因此,电流 I_{QHS} 增加。当由比较器32检测到电流 I_{QHS} 超过阈值电流时(步骤101),则驱动器集成电路3控制高侧晶体管QHS 18接通(步骤102)。在图2的示例中,通过检测流经感测体二极管D1S 21的电流是否超过阈值电流来间接地进行这种检测。即使微控制器2将VHSC1信号保持在数字逻辑低电平,高侧晶体管QHS也由驱动器集成电路3控制为接通。只要微控制器2继续控制低侧晶体管QLS 14保持关断,驱动器集成电路3就继续控制高侧晶体管QHS 18保持接通和导通。这将体二极管D1 20周围的电流分流。分流电流流经高侧晶体管QHS。当微控制器2然后将VLSC1低侧驱动器数字控制信号断言为接通低侧晶体管QLS14时的数字逻辑高电平(步骤103)时,则驱动器集成电路3首先控制高侧晶体管QHS 18关断(步骤104)。当由比较器33检测到高侧晶体管QHS 18的栅极上的电压 V_{GS} 已降至阈值电压以下时(步骤105),则驱动器集成电路3将“低侧栅极驱动器输出信号”(VLSGDOS)断言到端子45上。这使得低侧晶体管QLS 14接通(步骤106)。只要微控制器2继续将VLSC1低侧驱动器控制信号断言为数字逻辑高电平,驱动器集成电路3就继续将高栅极-源极电压信号 V_{GLS} 驱动到低侧晶体管QLS 14的栅极上。当微控制器2然后将VLSC1低侧驱动器控制信号解除断言为数字逻辑低电平时(步骤107),则驱动器集成电路3控制低侧晶体管QLS 14关断(步骤108),并且步骤101到108重复。

[0045] 除了在图5的前半周期59期间减少功率损耗之外,驱动器集成电路3还以类似的方式操作以减少图5的后半周期60期间的损耗。在后半周期60期间,微控制器2将VLSC1低侧驱动器数字控制信号保持在固定的数字逻辑低电平。但是,微控制器2使VHSC1数字控制信号脉动,使得电感器电流 I_L 具有图5中所示的正弦波形。在这个后半周期60期间,高侧晶体管QHS 18在微控制器2的控制下接通,以推动电流 I_L 流经绕组6。电流的这个脉冲与图2中用 I_L 表示的箭头的方向相反,因此电流的脉冲被认为是负的 I_L 电流。因此,在图5的后半周期60中出现的 I_L 波形涉及电感器电流 I_L 为负。在流经高侧晶体管QHS 18的这种负 I_L 电流脉冲之后,高侧晶体管QHS 18关断。这使得负电流的流被重定向。它被重定向为使得它从接地节点GND 23向上流经低侧晶体管QLS 14的体二极管D2 16,流到SW节点25,然后流经变压器的绕组6流到节点22。在一个新颖方面,驱动器集成电路3控制低侧晶体管QLS 14在此期间接通。因此,否则将流经体二极管D2 16的一些电流流经导通的低侧晶体管QLS 14。然后当微控制器2断言VHSC1数字控制信号以使高侧晶体管QHS 18接通时,驱动器集成电路3不立即将12伏 V_{GS} 信号驱动到高侧晶体管QHS 18的栅极上,而是低侧驱动器逻辑26首先使低侧晶体管QLS 14关断。驱动器集成电路3监视低侧晶体管QLS 14的栅极上的栅极电压信号 V_{GLS}

(VGs)。当检测到低侧晶体管QLS14的栅极上的栅极电压VGs已降至电压阈值62以下时,则高侧驱动器逻辑27控制高侧晶体管QHS 18接通。

[0046] 图7的流程图针对微控制器2将VHSC1信号保持在数字逻辑低的状态。如果微控制器2将VHSC1信号断言为数字逻辑高,那么低到高的转变将通过高侧驱动器逻辑27的延迟元件90,并且将通过或门95,并且将对触发器96进行时控。由于触发器96的D输入端存在数字“1”,因此触发器96将以数字逻辑高电平进行时控,并且VHSC2信号将被断言为数字逻辑高水平。这将通过高侧驱动器29,并且将从驱动器集成电路3中通过,并且将接通高侧晶体管QHS。在低侧晶体管QLS被驱动器集成电路3控制为接通(以将其体二极管D2周围的电流分流,尽管VLSC1为低)的情况下,接通高侧晶体管QHS的延迟为低侧晶体管QLS的关断提供了时间,如上所述。在一个实施例中,驱动器集成电路3仅在低侧晶体管QLS上的VGS低于阈值电压时才允许高侧晶体管QHS接通。

[0047] 图8是在微控制器接通和关断高侧晶体管但保持VLSC1为低的状态下驱动器集成电路3的操作的方法200的流程图。最初,微控制器2控制高侧晶体管QHS 18接通并导通。VLSC1低侧驱动器数字控制信号处于数字逻辑低电平并且在图8的整个方法200中都保持在这个电平。然后,微控制器2将数字控制信号VHSC1解除断言为数字逻辑低电平。响应于此,驱动器集成电路3控制高侧晶体管QHS18关断。高侧晶体管QHS 18的关断使得电感器电流IL的流被重定向。电感器电流的流从接地节点GND 23向上传递,通过低侧晶体管QLS 14的体二极管D1 16,到SW节点25,然后通过绕组6到节点22。这个电流流与IQLS电流的箭头相反,因此这个电流流被认为是负IQLC电流。当由比较器30检测到电流IQLS超过阈值电流时(步骤201),则驱动器集成电路3控制低侧晶体管QLS 14接通(步骤202)。在图2的示例中,通过检测流经感测晶体管的体二极管D2S 17的电流是否超过比例阈值电流来间接地进行这种检测。只要微控制器2继续控制高侧晶体管QHS 18保持关断,驱动器集成电路3就继续控制低侧晶体管QLS 14保持接通和导通。这将体二极管D2 16周围的电流分流。当微控制器2将VHSC1高侧驱动器数字控制信号断言为接通高侧晶体管QHS 18的数字逻辑高电平时(步骤203),则驱动器集成电路3首先控制低侧晶体管QLS 14关断(步骤204)。当由比较器31检测到低侧晶体管QLS 14的栅极上的电压信号VGLS (VGs)已降至阈值电压以下时(步骤205),则驱动器集成电路3将“高侧栅极驱动器输出信号”(VHSGDOS)断言到端子50上。这使高侧晶体管QHS 18接通(步骤206)。只要微控制器2继续将VHSC1高侧驱动器数字控制信号断言为数字逻辑高电平,驱动器集成电路3就继续将12伏栅极-源极电压VGs驱动到高侧晶体管QHS 18的栅极上。当微控制器2然后将VHSC1高侧驱动器数字控制信号解除断言为数字逻辑低电平时,则驱动器集成电路3控制高侧晶体管QHS 18关断(步骤208),并且步骤201到208重复。

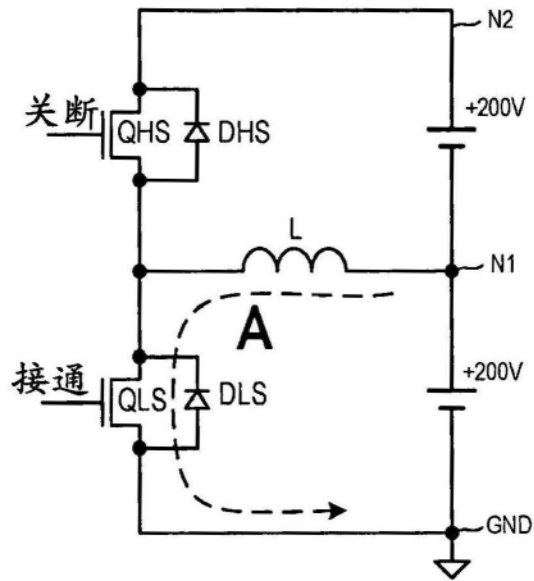
[0048] 图8的流程图是针对微控制器2将VLSC1信号保持在数字逻辑低的状态。如果微控制器2将VLSC1信号断言为数字逻辑高,那么低到高的转变将通过低侧驱动器逻辑26的延迟元件80,并且将通过或门84,并且将对触发器86进行时控。由于触发器86的D输入端上存在数字“1”,因此触发器86将以数字逻辑高电平进行时控,并且VLSC2信号将被断言为数字逻辑高水平。这将通过低侧驱动器28,并且将从驱动器集成电路3通过,并且将接通低侧晶体管QLS。在通过驱动器集成电路3控制高侧晶体管QHS接通(以将其体二极管D1周围的电流分流,尽管VHSC1为低)的情况下,接通低侧晶体管QLS的延迟为高侧晶体管QHS的关断提供了时间,如上所述。在一个实施例中,如果高侧晶体管QHS上的VGs低于阈值电压,那么驱动器

集成电路3仅允许低侧晶体管QLS接通。

[0049] 微控制器可以基于包括感测到的电流和感测到的电压在内的许多不同的传感器输入以复杂的方式控制高侧驱动器和低侧驱动器。因此,可能认为时控的数字微控制器可以执行新颖驱动器集成电路3的功能。但是,不总是这样。在一个实施例中,控制栅极驱动器集成电路3的高侧驱动器和低侧驱动器的微控制器以相对慢的时钟速率被时控。由于若干原因,期望微控制器3的这种相对慢的时控。因此,微控制器3不能进行必要的电流和/或电压检测,并且基于该检测做出决定,并且如所需要的尽可能快地控制高侧和低侧驱动器来进行响应。因此,新颖的栅极驱动器集成电路3包括比较器30-33和相关联的电路系统,从而使得驱动器集成电路3能够更快地并且在模拟域中进行检测并对该检测做出响应。图6中由箭头“1”到“8”以及箭头“9”到“14”所指示的信号传播不会由于必须等待数字时钟信号的时钟边沿而减慢。栅极驱动器集成电路3不包括取出和执行指令的任何时控数字处理器。

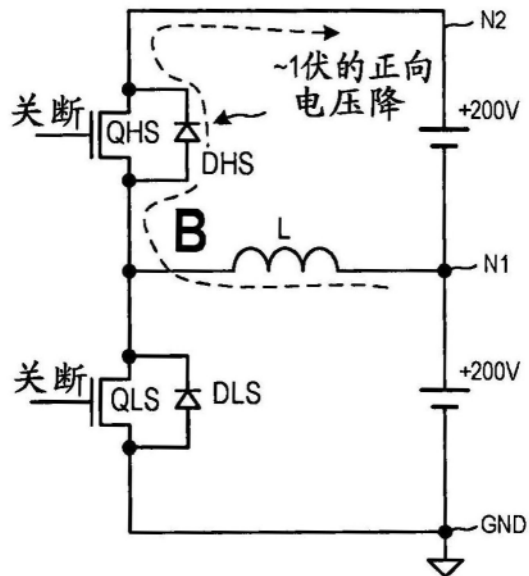
[0050] 图9图示了图2的驱动器集成电路3的数字接口逻辑63和相关联的端子64和65。端子64和65以及数字接口逻辑63未在图2的简化图中示出。数字接口逻辑63包括用于从微控制器2接收串行信息的I²C接口、四个多位数字控制寄存器,以及四个对应的数模转换器(DAC)。电压参考电路34-37中的每一个是这些多位控制寄存器及其相关联的DAC中的一个。存储在寄存器中的多位数字控制值供给DAC,以便DAC进而输出期望的参考电压。微控制器2以串行方式将数字信号供应到端子SDA 64和SCL 65上,从而将多位数字电压控制值写入四个控制寄存器中的每一个中,从而控制并设置由电压参考电路34-37输出的每个参考电压。导体68耦合到比较器33的反相输入引线。导体69耦合到比较器32的非反相输入引线。导体70耦合到比较器31的非反相输入引线。导体71耦合到比较器30的非反相输入引线。垂直虚线72表示图2中的驱动器集成电路3的左边界。由电压参考电路34-37输出的参考电压因此可由微控制器2编程。

[0051] 虽然上面出于指导目的描述了某些具体实施例,但是本专利文档的教导具有普遍适用性,并且不限于上述具体实施例。虽然这种新颖的栅极驱动器最有利地部署在与微控制器分开的集成电路上,但是新颖的栅极驱动器也可以与微控制器一起部署在同一集成电路上。因而,在不脱离权利要求中阐述的本发明的范围的情况下,可以实践所描述的实施例的各种特征的各种修改、改编和组合。



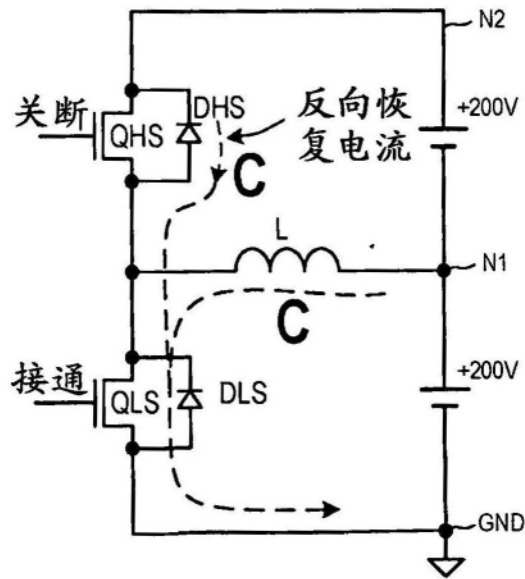
低侧晶体管接通
(现有技术)

图1A



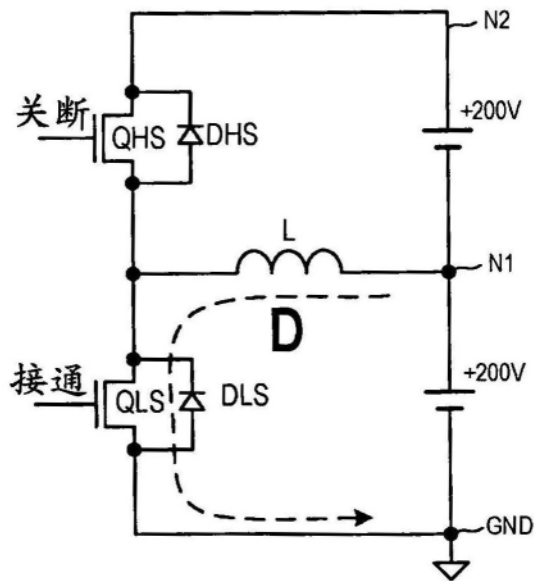
低侧晶体管关断
(现有技术)

图1B



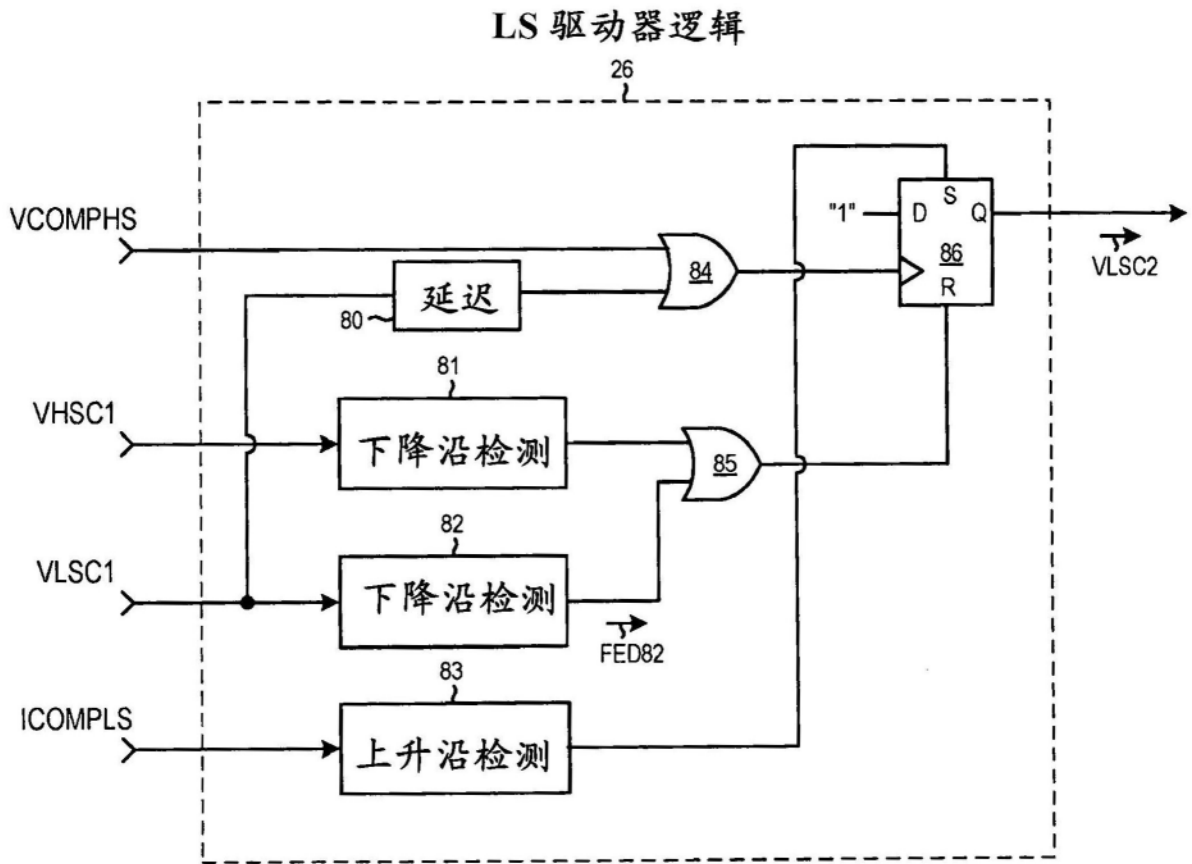
低侧晶体管接通
(现有技术)

图1C



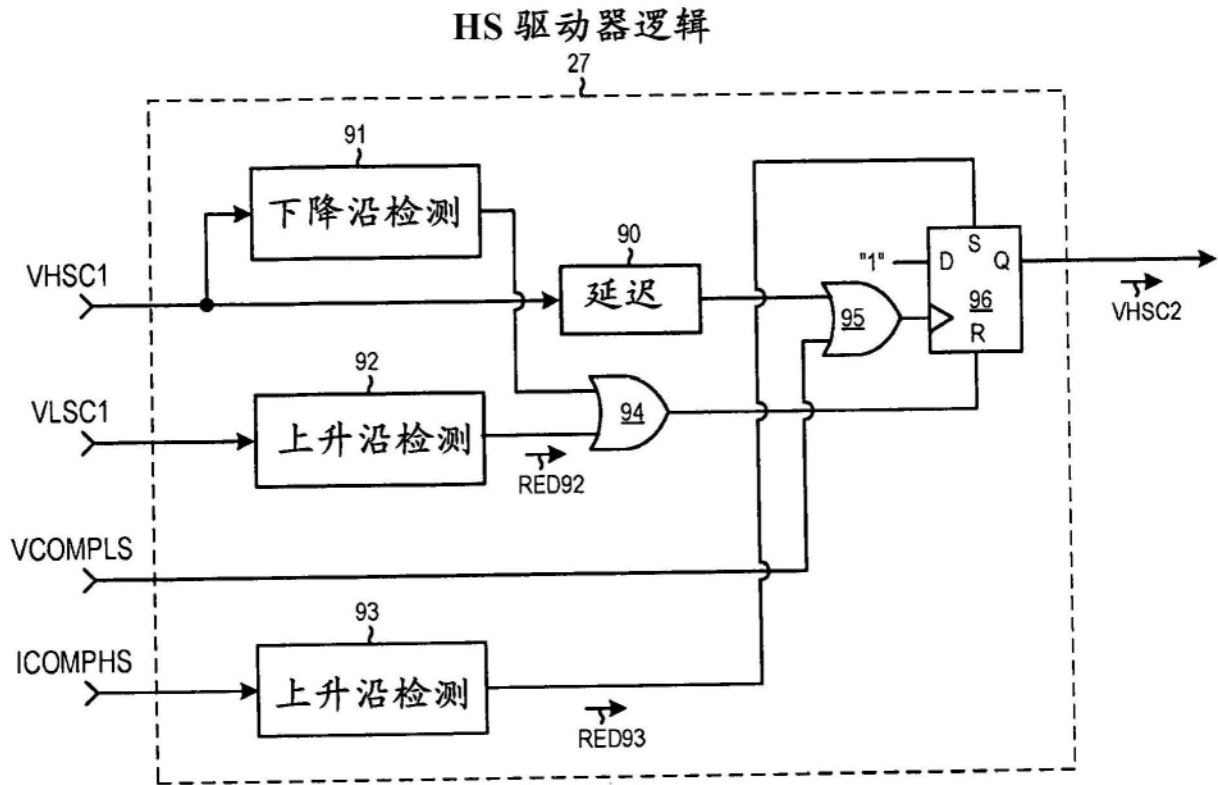
低侧晶体管保持接通
(现有技术)

图1D



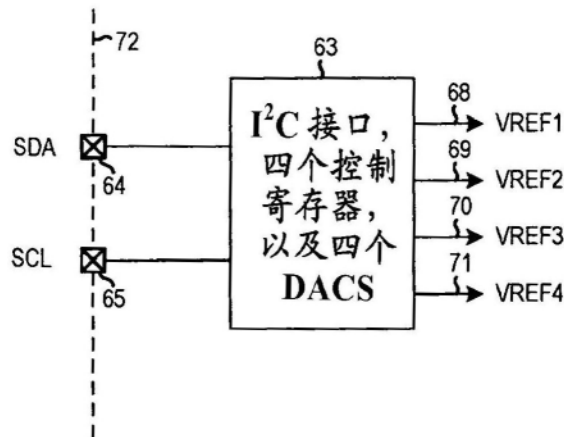
LS 驱动器逻辑

图3



HS 驱动器逻辑

图4



串行数字接口

图9

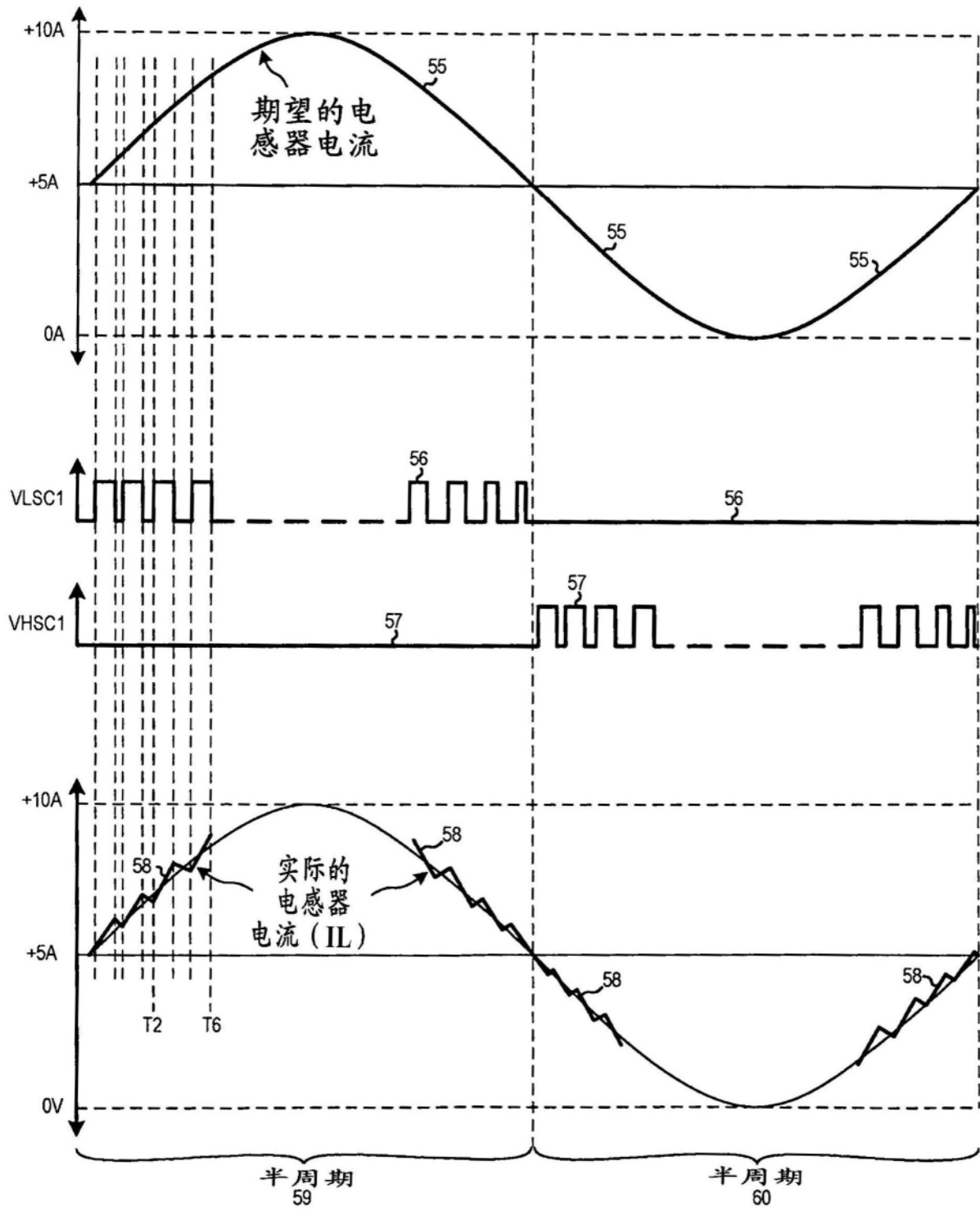


图5

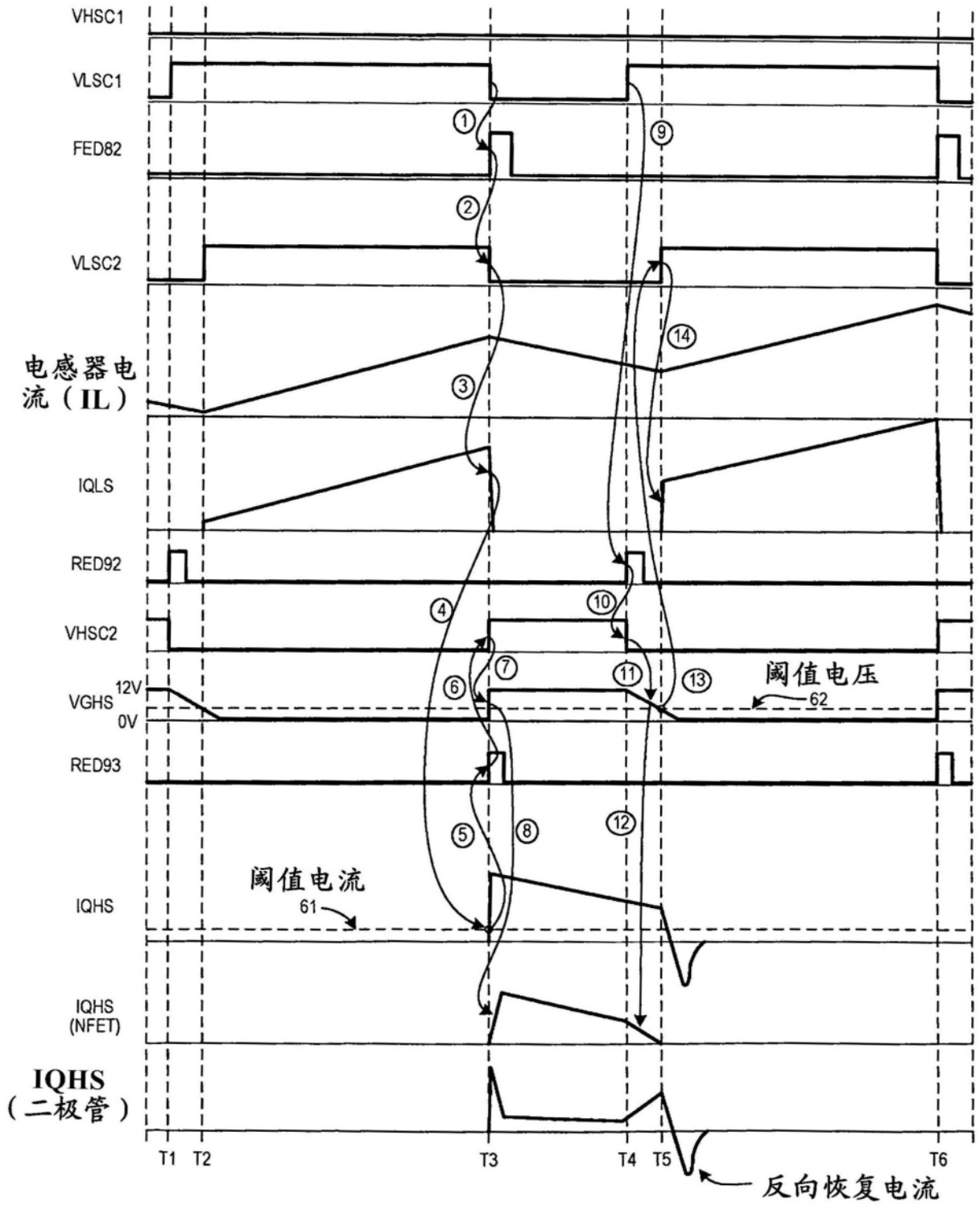
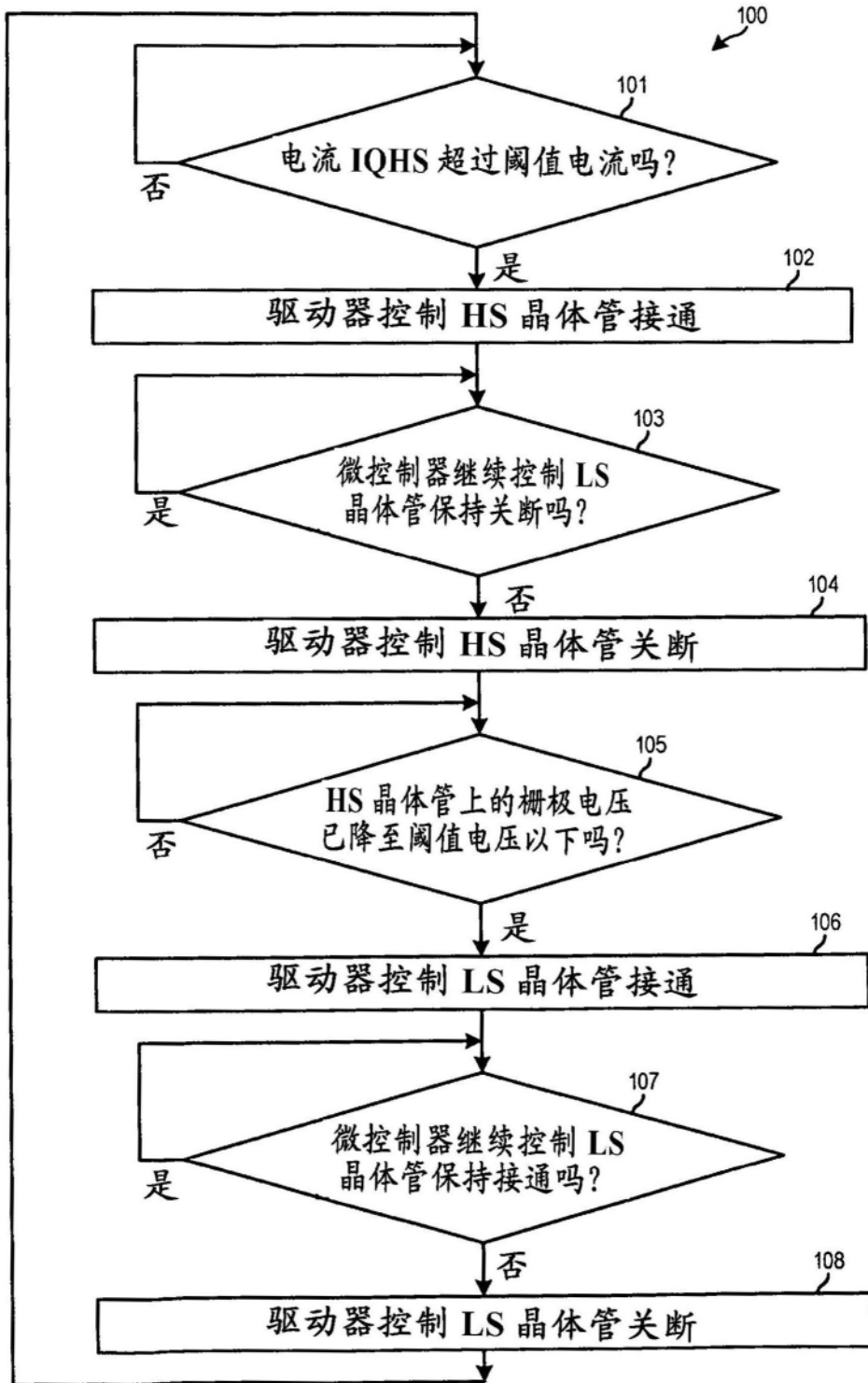
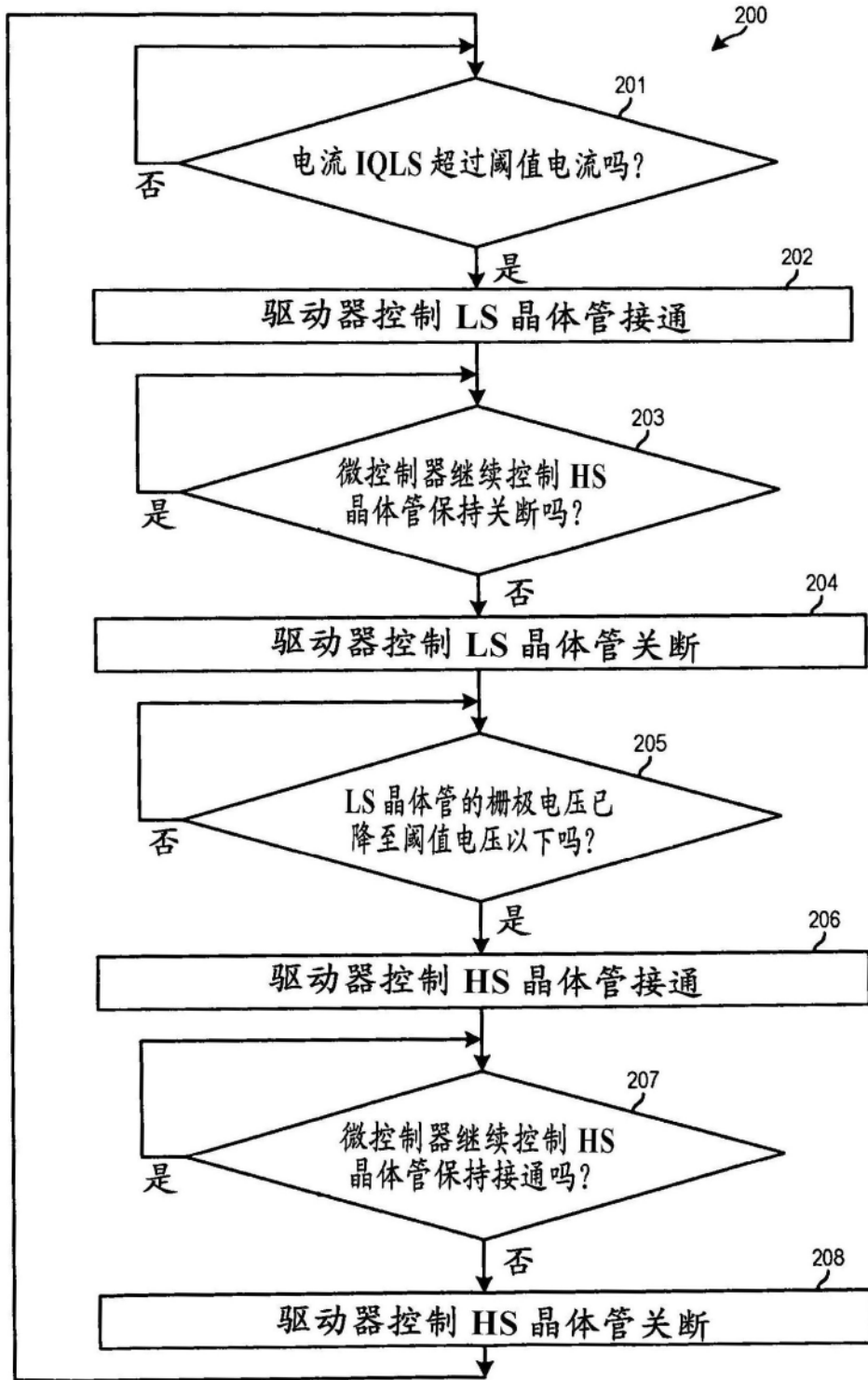


图6



用于 HS 晶体管的驱动器逻辑的操作
(对于微控制器保持 VHSC1 信号为低的状况)

图7



用于 LS 晶体管的驱动器逻辑的操作
(对于微控制器保持 VLSC1 信号为低的状况)

图8