



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월27일
 (11) 등록번호 10-1400112
 (24) 등록일자 2014년05월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G02F 1/1345* (2006.01)
 (21) 출원번호 10-2012-0148798
 (22) 출원일자 2012년12월18일
 심사청구일자 2012년12월18일
 (56) 선행기술조사문헌
 KR1020110036456 A
 KR1020070068235 A
 KR1020100005644 A

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
박제형
 경북 영주시 부석면 영부로106번길 18-1,
정대용
 경북 구미시 인동43길 22-42, 204동 303호 (구평동, 부영아파트)
 (74) 대리인
특허법인천문

전체 청구항 수 : 총 20 항

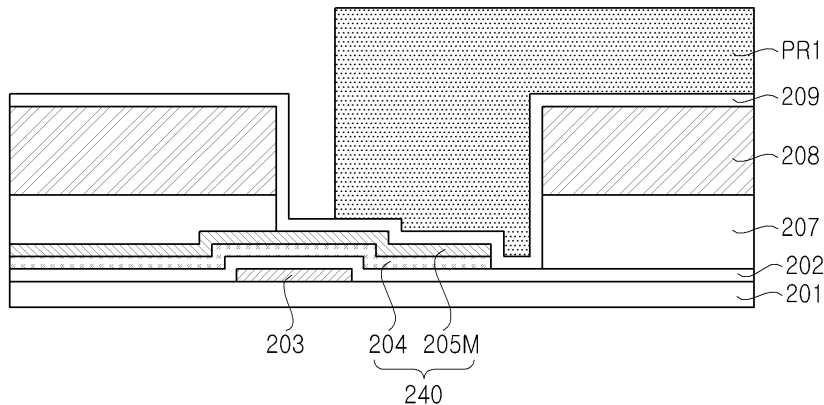
심사관 : 정구용

(54) 발명의 명칭 **이중 배선 구조의 링크 배선을 구비하는 액정표시소자 및 그 제조방법**

(57) 요약

본 발명은 베젤의 폭을 줄일 수 있는 이중 배선 구조의 링크 배선구조를 가지는 액정표시소자와 그 제조방법을 제공한다. 본 발명의 링크 배선 구조는 서로 교번하면서 배치되는 제 1 링크 배선과 제 2 링크 배선을 구비한다. 상기 제 1 링크 배선과 제 2 링크 배선은 서로 다른 레이어에 형성된다. 또한, 본 발명의 제조방법은 데이터 배선과 같은 층에 형성되는 제 2 링크 배선을 형성할 때 노광 장비의 오정렬 가능성을 고려한 감광막 패턴을 형성할 수 있게 하여 제 2 링크 배선을 형성하는 단계에서 노광 장비의 오정렬이 발생하여도 불량이 발생하지 않는 방법을 제공한다.

대표도 - 도6g



특허청구의 범위

청구항 1

스위칭부를 포함하는 화소영역과 링크부를 포함하면서 상기 화소영역을 둘러싸는 비화소영역을 구비하는 제 1 기판을 준비하는 단계;

상기 제 1 기판상의 스위칭부에 게이트 전극을 형성하고 상기 링크부에 제1 링크 배선을 형성하는 단계;

상기 제 1 기판을 덮는 제 1 절연층을 형성하는 단계;

상기 제 1 절연층 상에 액티브층, 오믹 컨택층 및 소스 메탈층을 차례로 형성하는 단계;

상기 액티브층, 오믹 컨택층 및 소스 메탈층을 하나의 마스크 공정으로 패터닝하여 데이터 배선 및 데이터 배선으로부터 분기하여 상기 스위칭부에 형성되는 채널패턴을 형성하는 단계;

상기 채널패턴 및 상기 제 2 링크 배선을 덮도록 상기 제 1 기판상에 제 2 절연층을 형성하는 단계;

상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계;

상기 채널패턴 및 링크부 상의 제 2 절연층이 제거된 제 1 기판상에 투명 전극층을 형성하는 단계;

상기 게이트전극 상에 채널이 정의되도록 상기 투명 전극층 상에 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 정의하고 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 2 절연층 상에 감광성 유기보호막을 형성하는 단계;

상기 채널패턴과 링크부를 노출시키도록 상기 감광성 유기보호막을 패터닝하는 단계; 및

상기 감광성 유기보호막을 식각 마스크로 사용하여 상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 3

제 1 항에 있어서,

상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계는,

상기 제 2 절연층 상에 채널패턴 및 링크부를 노출시키는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각 마스크로 사용하여 노출된 제 2 절연층을 식각하는 단계; 및

상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 4

제 1 항에 있어서,

상기 게이트전극 상에 채널이 정의되도록 상기 투명 전극층 상에 감광막 패턴을 형성하는 단계에서 상기 제 2 링크 배선 상에 상기 감광막 패턴이 더 남는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제 2 링크 배선 상에 남는 감광막 패턴은 상기 제 2 링크 배선의 선평보다 좁은 폭을 가지는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자의 제조방법.

청구항 6

제 1 항에 있어서,

상기 액티브층, 오믹 컨택층 및 소스 메탈층을 하나의 마스크 공정으로 패턴닝하여 데이터 배선 및 데이터 배선으로부터 분기하여 상기 스위칭부에 형성되는 채널패턴을 형성하는 단계에서, 상기 링크부에 제2 링크 배선을 더 형성하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자의 제조방법.

청구항 7

제 1 항에 있어서,

상기 제 1 링크 배선과 제 2 링크 배선은 서로 교번하여 배치되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 8

제 1 항에 있어서,

상기 제 1 링크 배선은 게이트 배선과 동일층 상에 형성되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 9

제 1 항에 있어서,

상기 제 2 링크 배선은 데이터 배선과 동일층 상에 형성되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 10

제 1 항에 있어서,

상기 제 1 링크 배선 및 제 2 링크 배선은 게이트 링크 배선 및 데이터 링크 배선을 모두 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 11

제 1 항에 있어서,

상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 형성하는 단계에서 상기 소스 메탈층은 소스전극 및 드레인 전극으로 분리되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 12

제 5 항에 있어서,

상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 형성하는 단계에서 상기 제 2 링크 배선 상에 남는 감광막 패턴에 의해 노출되는 제 2 링크 배선의 투명 전극층, 소스 메탈층 및 오믹 컨택층이 차례로 제거되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 13

제 1 항에 있어서,

상기 채널이 정의되고 상기 화소전극이 형성된 제 1 기판상에 제 3 절연층을 형성하는 단계; 및
 상기 제 3 절연층 상에 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배

선을 구비하는 액정표시소자 제조방법.

청구항 14

제 2 항에 있어서,

상기 감광성 유기보호막은 포토아크릴제로 구성되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 15

제 13 항에 있어서,

상기 제 1 절연층, 제 2 절연층 및 제 3 절연층은 무기막 절연층인 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자 제조방법.

청구항 16

스위칭부를 포함하는 화소영역과 링크부를 포함하면서 상기 화소영역을 둘러싸는 비화소영역을 구비하는 제 1 기판;

상기 제 1 기판상의 화소영역에 형성되어 있는 게이트 배선 및 상기 게이트 배선으로부터 분기하는 게이트 전극;

상기 게이트 배선과 수직교차하면서 반도체층, 오믹컨택층 및 소스메탈층의 적층으로 구성되는 데이터 배선;

상기 데이터 배선으로부터 분기하는 반도체층으로 구성되는 액티브 패턴;

상기 데이터 배선으로부터 분기하고 소스메탈층 및 오믹 컨택층으로 구성되면서 상기 액티브 패턴과 중첩되는 소스전극;

상기 액티브 패턴상에서 상기 액티브 패턴과 중첩되면서 상기 소스전극과 물리적으로 이격되어 있는 드레인 전극;

상기 드레인 전극과 전기적으로 연결되어 있는 화소전극;

상기 링크부에 형성되면서 상기 제 1 기판상에 형성되는 제 1 링크 배선; 및

상기 링크부에 형성되면서 상기 제 1 링크 배선과 절연층을 사이에 두고 형성되는 제 2 링크 배선을 포함하는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자.

청구항 17

제 16 항에 있어서,

상기 제 2 링크 배선은 반도체층과 오믹 컨택층과 소스메탈층과 투명전극층이 차례로 적층된 구조인 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자.

청구항 18

제 16 항에 있어서,

상기 제 1 링크 배선 및 제 2 링크 배선은 상기 링크부에서 교번하여 배치되는 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자.

청구항 19

제 17 항에 있어서,

상기 오믹컨택층과 소스 메탈층과 투명전극층의 폭이 상기 반도체층의 폭 보다 좁은 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자.

청구항 20

제 17 항에 있어서,

상기 오믹컨택층과 소스 메탈층과 투명전극층의 폭은 서로 같은 것을 특징으로 하는 이중 배선 구조의 링크 배선을 구비하는 액정표시소자.

명세서

기술분야

[0001] 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로서 특히, 링크 배선을 포함하되 링크 배선이 제 1 층과 상기 제 1 층과 다른 제 2 층에 형성되어 서로 간격이 조밀하게 배치 가능한 이중 배선 구조의 링크 배선을 구비하는 액정표시소자를 제공한다. 본 발명은 이중 배선 구조의 링크 배선을 구비하는 액정표시소자를 제공하되, 특히 제조공정에 사용되는 마스크 수를 줄일 수 있는 새로운 제조공정을 제시함과 더불어 노광 장비의 오정렬 가능성을 고려하여 용이하게 제조가능한 액정표시소자 제조방법을 제공한다.

배경기술

[0002] 도 1은 일반적인 액정표시소자 중 스위칭 소자가 형성되어 있는 어레이 기관의 평면도이다. 액정표시소자는 전극이 각각 형성되어 있는 두 기관이 대향하면서 실린트에 의해 서로 접촉되어 있으며, 그 사이 공간에 액정이 주입되어 있다. 상기 액정은 광투과율 이방성을 가지는 물질로서 광이 액정을 통과하는 방향에 따라 위상의 변화가 발생한다. 상기 위상의 변화와 특정 방향의 광만 투과할 수 있는 편광판을 이용하여 빛의 투과와 차단을 실시하여 영상을 표현하는 것이 액정표시소자의 동작원리이다. 또한, 상기 액정의 배열방향의 조정은 상기 두 기관에 각각 형성되어 있는 전극에 전압을 선택적으로 인가함으로써 이루어지고, 상기 두 전극에 인가되는 전압에 따른 전계에 반응하여 액정이 배열방향을 변화시킨다.

[0003] 서로 합착되어 있는 상기 두 개의 기관과 그 사이에 주입된 액정으로 이루어지는 패널을 통상 액정표시패널이라고 한다.

[0004] 이러한 액정표시패널의 제조공정은 상기 액정에 전계를 인가하는 제 1 전극인 화소전극과 상기 화소전극에 전압을 선택적으로 제공하는 스위칭 소자인 박막 트랜지스터가 형성되어 있는 어레이 기관을 제조하는 공정과, 상기 어레이 기관과 대향하는 다른 기관에 형성되어 있으며 상기 액정에 전계를 인가하는 제 2 전극인 공통전극과 적, 녹, 청색의 컬러필터가 형성되어 있는 컬러필터 기관을 제조하는 공정과 상기 두 기관 사이에 액정을 주입하는 공정으로 이루어진다.

[0005] 도 1은 어레이 기관의 평면도를 개략적으로 도시한 것이다. 도 2는 상기 도 1의 A부분을 확대 도시한 단면도이다.

[0006] 도 1을 참조하면, 어레이 기관(1)은 단위화소들이 배치되어 있는 표시영역(AA)과 상기 표시영역(AA)의 외곽에 형성되는 비표시영역(NA)으로 구분된다.

[0007] 상기 표시영역에는 다수의 게이트 배선(GL)이 횡으로 배열되어 있고, 상기 게이트 배선(GL)과 수직교차하는 다수의 데이터 배선(DL)이 종으로 배열되어 있다.

[0008] 상기 게이트 배선(GL) 및 데이터 배선(DL)의 교차로 정의되는 하나의 영역이 단위화소영역(C)이다. 상기 도 1의 C는 단위화소영역(C)을 확대 도시한 것이다.

[0009] 하나의 단위화소영역에는 액정에 전계를 인가하는 하나의 전극인 화소전극(P)이 배치되어 있고 상기 화소전극(P)에 선택적으로 전압을 인가하는 스위칭 소자인 박막트랜지스터(Tr)가 단위화소영역의 모서리부에 형성되어 있다.

[0010] 상기 박막트랜지스터(Tr)는 게이트 배선(GL)으로부터 분기하는 게이트 전극과 데이터 배선으로부터 분기하는 소스 전극, 상기 소스 전극과 대향하는 드레인 전극 및 비정질실리콘 또는 다결정질 실리콘등의 반도체층으로 구성되는 액티브층을 포함하여 구성된다.

[0011] 상기 박막트랜지스터(Tr)는 게이트 배선으로부터 스캔신호가 게이트 전극에 인가되면 그 신호를 받아 액티브층의 채널이 열리고, 이와 동시에 데이터 배선으로부터 화상신호가 인가되면 상기 화상신호는 소스전극 및 액티브층을 지나 드레인 전극으로 이동한다. 상기 드레인 전극은 화소전극과 연결되어 있어 결국, 화상신호가 화소전극에 인가되는 것이다.

- [0012] 상기 비표시영역(NA)에는 상기 표시영역(AA)의 게이트 배선(GL) 및 데이터 배선(DL)에 신호를 공급하는 구동회로부(D-IC)가 배치되어 있다. 상기 구동회로부는 통상, 게이트 구동회로부와 데이터 구동회로부로 구분되어 있지만, 오늘날에는 하나의 구동회로부에서 데이터 구동신호 및 데이터 구동신호를 함께 제공하는 하나의 구동회로부가 사용되기도 한다. 도 1은 하나의 구동회로부가 게이트 신호 및 데이터 신호를 제공하는 것을 예시한다.
- [0013] 또한, 상기 비표시영역(NA)에는 상기 구동회로부(D-IC)와 게이트 배선(GL) 및 데이터 배선(DL)을 서로 전기적으로 연결해 주는 링크 배선이 더 형성되어 있다.
- [0014] 상기 링크 배선은 구동회로부(D-IC)와 게이트 배선(GL)을 연결해 주는 게이트 링크 배선(GLL)과, 상기 구동회로부(D-IC)와 데이터 배선(DL)을 서로 연결해 주는 데이터 링크 배선(DLL)으로 구분된다.
- [0015] 도 1을 참조하면, A영역은 게이트 링크 배선들을 표시하고, B영역은 데이터 링크 배선들을 표시한다.
- [0016] 상기 게이트 링크 배선(GLL)은 게이트 배선(GL)이 형성되어 있는 제 1 층 상에 형성되어 있으며, 상기 데이터 링크 배선(DLL)은 상기 데이터 배선(DL)이 형성되어 있는 제 2 층에 형성되어 있다.
- [0017] 상기 게이트 링크 배선(GLL) 및 게이트 배선(GL), 상기 데이터 링크 배선(DLL) 및 데이터 배선(DL)은 각각 서로 연결되어 있다.
- [0018] 또한, 상기 비표시영역(NA)에는 어레이 기관(1)과 상기 어레이 기관(1)에 대항하는 컬러필터 기관(미도시)을 서로 합착시키는 실패턴(S)이 더 형성되어 있다.
- [0019] 상기 실패턴(S)은 게이트 링크 배선(GLL) 및 데이터 링크 배선(DLL) 위를 지나면서 비표시영역에 페루프 형태로 배치되어 있다. 통상 상기 실패턴(S)은 접착성을 가지는 감광성 유기물질로 구성된다.
- [0020] 도 2는 도 1의 A영역을 확대한 단면도이다. 도 2를 참조하면, 다수의 게이트 링크 배선(GL)은 제 1 기관(11)상에 형성되어 있다. 도 2에 도시되지는 않았으나, 게이트 배선도 제 1 기관(11)상에 형성되어 있다. 그러므로 게이트 배선 및 게이트 링크 배선(101)은 같은 물질로 같은 층에 형성되어 있다.
- [0021] 상기 게이트 링크 배선(11)은 게이트 절연층(102)에 의해 덮혀져 절연되어 있고, 그 위에 절연층인 패시베이션층(13)이 더 형성되어 있다. 도 2에는 도시되지 않았지만, 상기 게이트 절연층(12)상에 데이터 배선 및 데이터 링크 배선이 같이 복수 개가 형성되어 있다. 그리고 상기 게이트 링크 배선(GL) 위에 상부기관인 컬러필터기관(2)과 하부기관인 어레이 기관을 합착시키는 실패턴(S)이 형성되어 두 기관을 합착시키고 있다.
- [0022] 그런데, 상기 게이트 링크 배선(GLL) 및 데이터 링크 배선(DLL)은 각각 동일층 상에 형성되어 있는데, 즉, 게이트 링크 배선(GLL)은 제 1 기관(11)상에 형성되어 있고, 데이터 링크 배선(DLL)은 게이트 절연층(12)상에 형성되어 있는데, 오늘날 액정표시소자는 베젤이 좁아지는 경향을 나타내고 있어 비표시영역의 면적이 계속 줄어들고 있다. 이에 반해, 액정표시소자의 해상도는 계속 증가하고 있어 단위 면적 내에 배치되어야 하는 게이트 링크 배선 및 데이터 링크 배선의 수는 증가하고 있다.
- [0023] 이와 더불어 액정표시소자를 제조함에 있어 마스크 수를 줄여 생산성을 높이는 요구는 계속 증가하고 있다. 즉, 통상 박막트랜지스터를 제조함에 있어 마스크 사용수는 곧 비용 및 수율과 밀접한 관계를 가지고있어 마스크 수를 줄이는 공정의 개발은 매우 중요한 생산 요소이다.

발명의 내용

해결하려는 과제

- [0024] 본 발명은 상기와 같이, 단위 면적당 더 많은 게이트 링크 배선 및 데이터 링크 배선을 배치하는 액정표시소자의 구조를 제공하고 어레이 기관을 형성하는 데 사용되는 마스크 수를 줄이는 액정표시소자 제조방법을 제공한다.

과제의 해결 수단

- [0025] 본 발명은 마스크 수를 절감하는 액정표시소자 제조방법을 제공한다. 특히, 구동회로부로부터 게이트 배선 및 데이터 배선을 연결하는 링크 배선을 형성함에 있어 반도체층과 도전층이 적층된 링크 배선의 패터닝 공정에서 링크 배선이 설계된 선폭보다 좁아지지 않도록 개선된 공정을 제공한다.
- [0026] 본 발명의 실시 예에 의한 액정표시소자 제조방법은 스위칭부를 포함하는 화소영역과 링크부를 포함하면서 상기

화소영역을 둘러싸는 비화소영역을 구비하는 제 1 기판을 준비하는 단계; 상기 제 1 기판상의 스위칭부에 게이트 전극을 형성하고 상기 링크부에 제1 링크 배선을 형성하는 단계; 상기 제 1 기판을 덮는 제 1 절연층을 형성하는 단계; 상기 제 1 절연층 상에 액티브층, 오믹 컨택층 및 소스 메탈층을 차례로 형성하는 단계; 상기 액티브층, 오믹 컨택층 및 소스 메탈층을 하나의 마스크 공정으로 패터닝하여 데이터 배선 및 데이터 배선으로부터 분기하여 상기 스위칭부에 형성되는 채널패턴을 형성하는 단계; 상기 채널패턴 및 상기 제 2 링크 배선을 덮도록 상기 제 1 기판상에 제 2 절연층을 형성하는 단계; 상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계; 상기 채널패턴 및 링크부 상의 제 2 절연층이 제거된 제 1 기판상에 투명 전극층을 형성하는 단계; 상기 게이트전극 상에 채널이 정의되도록 상기 투명 전극층 상에 감광막 패턴을 형성하는 단계; 및 상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 정의하고 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

- [0027] 본 실시 예의 액정표시소자 제조방법은 상기 제 2 절연층 상에 감광성 유기보호막을 형성하는 단계; 상기 채널패턴과 링크부를 노출시키도록 상기 감광성 유기보호막을 패터닝하는 단계; 및 상기 감광성 유기보호막을 식각 마스크로 사용하여 상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계를 더 포함하는 것을 특징으로 한다.
- [0028] 본 발명의 다른 실시 예에 의한 액정표시소자 제조방법 중 상기 채널패턴 및 링크부 상의 제 2 절연층을 제거하는 단계는 상기 제 2 절연층 상에 채널패턴 및 링크부를 노출시키는 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각 마스크로 사용하여 노출된 제 2 절연층을 식각하는 단계; 및 상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 한다.
- [0029] 본 실시 예에 의한 액정표시소자 제조방법 중 상기 게이트전극 상에 채널이 정의되도록 상기 투명 전극층 상에 감광막 패턴을 형성하는 단계에서 상기 제 2 링크 배선 상에 상기 감광막 패턴이 더 남는 것을 특징으로 한다.
- [0030] 본 발명의 실시 예에 의한 액정표시소자 제조방법 중 상기 제 2 링크 배선 상에 남는 감광막 패턴은 상기 제 2 링크 배선의 선폭보다 좁은 폭을 가지는 것을 특징으로 한다.
- [0031] 또한, 상기 액티브층, 오믹 컨택층 및 소스 메탈층을 하나의 마스크 공정으로 패터닝하여 데이터 배선 및 데이터 배선으로부터 분기하여 상기 스위칭부에 형성되는 채널패턴을 형성하는 단계에서, 상기 링크부에 제2 링크 배선을 더 형성하는 것을 특징으로 한다.
- [0032] 또한, 상기 제 1 링크 배선과 제 2 링크 배선은 서로 교번하여 배치되는 것을 특징으로 한다.
- [0033] 또한, 상기 제 1 링크 배선은 게이트 배선과 동일층 상에 형성되는 것을 특징으로 하며, 상기 제 2 링크 배선은 데이터 배선과 동일층 상에 형성되는 것을 특징으로 한다.
- [0034] 상기 제 1 링크 배선 및 제 2 링크 배선은 게이트 링크 배선 및 데이터 링크 배선을 모두 포함하는 것을 특징으로 한다.
- [0035] 상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 형성하는 단계에서 상기 소스 메탈층은 소스전극 및 드레인 전극으로 분리되는 것을 특징으로 한다.
- [0036] 또한, 상기 감광막 패턴을 식각 마스크로 사용하여 채널상의 투명 전극층, 소스 메탈층 및 오믹 컨택층을 차례로 제거하여 채널을 형성하는 단계에서 상기 제 2 링크 배선 상에 남는 감광막 패턴에 의해 노출되는 제 2 링크 배선의 투명 전극층, 소스 메탈층 및 오믹 컨택층이 차례로 제거되는 것을 특징으로 한다.
- [0037] 상기 제 1 절연층, 제 2 절연층 및 제 3 절연층은 무기막 절연층인 것을 특징으로 하며, 상기 감광성 유기보호막은 포토아크릴제로 구성되는 것을 특징으로 한다.
- [0038] 또한, 상기 액정표시소자 제조방법은 상기 채널이 정의되고 상기 화소전극이 형성된 제 1 기판상에 제 3 절연층을 형성하는 단계; 및 상기 제 3 절연층 상에 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0039] 본 발명의 실시 예에 의한 액정표시소자는 스위칭부를 포함하는 화소영역과 링크부를 포함하면서 상기 화소영역을 둘러싸는 비화소영역을 구비하는 제 1 기판; 상기 제 1 기판상의 화소영역에 형성되어 있는 게이트 배선 및 상기 게이트 배선으로부터 분기하는 게이트 전극; 상기 게이트 배선과 수직교차하면서 반도체층, 오믹컨택층 및 소스메탈층의 적층으로 구성되는 데이터 배선; 상기 데이터 배선으로부터 분기하는 반도체층으로 구성되는 액티브 패턴; 상기 데이터 배선으로부터 분기하고 소스메탈층 및 오믹 컨택층으로 구성되면서 상기 액티브 패턴과

중첩되는 소스전극; 상기 액티브 패턴상에서 상기 액티브 패턴과 중첩되면서 상기 소스전극과 물리적으로 이격되어 있는 드레인 전극; 상기 드레인 전극과 전기적으로 연결되어 있는 화소전극; 상기 링크부에 형성되면서 상기 제 1 기관상에 형성되는 제 1 링크 배선; 및 상기 링크부에 형성되면서 상기 제 1 링크 배선과 절연층을 사이에 두고 형성되는 제 2 링크 배선을 포함하는 것을 특징으로 한다.

[0040] 상기 제 2 링크 배선은 반도체층과 오믹 컨택층과 소스메탈층과 투명전극층이 차례로 적층된 구조인 것을 특징으로 하며, 상기 제 1 링크 배선 및 제 2 링크 배선은 상기 링크부에서 교번하여 배치되는 것을 특징으로 한다.

[0041] 또한, 상기 오믹컨택층과 소스 메탈층과 투명전극층의 폭이 상기 반도체층의 폭 보다 좁은 것을 특징으로 하며, 상기 오믹컨택층과 소스 메탈층과 투명전극층의 폭은 서로 같은 것을 특징으로 한다.

발명의 효과

[0042] 본 발명은 비표시영역에 형성되는 게이트 링크 배선 및 데이터 링크 배선을 각각 제 1 층과 제 2 층에 서로 교번하면서 배치시켜 링크 배선 간의 간격을 더 좁게 배치할 수 있어 단위 면적당 배치되는 링크 배선 수를 증가시켜 네로우 베젤(narrow bezel)을 구현할 수 있다. 또한, 본 발명은 특히, 화소전극과 공통전극이 모두 어레이 기관에 형성되는 횡전계 모드 액정표시소자 제조방법을 제공함에 있어 6개의 마스크를 사용하는 액정표시소자 제조방법을 제공할 수 있다.

[0043] 또한, 본 발명은 6개의 마스크를 사용하는 액정표시소자 제조방법을 형성함에 있어, 링크 배선을 형성하는 단계에서 노광 장비를 이용하여 노광하고 이어지는 식각 공정에서 링크 배선의 선폭을 노광 장비의 공정 마진과 상관없이 설계된 대로 형성할 수 있는 방법을 제공하여 제조공정을 더 단순하고 용이하게 만들 수 있는 방법을 제공한다.

도면의 간단한 설명

- [0044] 도 1은 일반적인 액정표시소자의 어레이 기관의 평면도.
- 도 2는 도 1의 A영역의 단면도.
- 도 3은 본 발명의 실시 예에 의한 어레이 기관의 평면도.
- 도 4는 본 발명의 박막트랜지스터의 단면도.
- 도 5a 내지 5b는 본 발명의 제 1 실시 예에 의한 링크부의 단면도.
- 도 5c는 본 발명의 다른 실시 예에 의한 링크부의 단면도.
- 도 6a 내지 6j는 본 발명의 제 1 실시 예에 의한 어레이 기관의 제조방법을 나타내는 순차도.
- 도 6aa 내지 6jj는 비표시영역 중 링크영역의 링크 배선 형성공정을 나타내는 순차도.
- 도 7a 내지 7i는 본 발명의 다른 실시 예에 의한 어레이 기관의 제조방법을 나타내는 순차도.
- 도 7aa 내지 7ii는 비표시영역 중 링크영역의 링크 배선 형성공정을 나타내는 순차도.

발명을 실시하기 위한 구체적인 내용

- [0045] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.
- [0046] <제 1 실시예>
- [0047] 도 3은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 평면도이다.
- [0048] 도시한 바와 같이, 본 발명에 따른 액정표시장치(101)는 하부기관인 어레이 기관(150)과 상기 어레이 기관(110)에 대향하면서 상기 어레이 기관(110)과 합착되어 있는 컬러필터 기관(150)을 포함한다.
- [0049] 상기 어레이 기관(110) 및 컬러필터 기관(150)은 각각 화상을 구현하는 표시영역(AA)과, 상기 표시영역(AA)을 둘러싸는 비표시영역(NA)을 포함할 수 있다. 상기 어레이 기관(110) 및 컬러필터 기관(150) 사이에는 일정한 공간이 존재하며 이 공간에 액정이 주입되어 액정층(미도시)을 구성한다. 상기 어레이 기관(110), 컬러필터 기관(150) 및 그 사이에 주입되어 있는 액정층(미도시)을 합쳐 통상 액정표시패널이라고 부른다.
- [0050] 도 3의 A영역은 비표시영역 중 게이트 링크 배선영역을 지칭하고, B영역은 데이터 링크 배선영역을 지칭하며, C

영역은 표시영역 중 단위화소를 확대 도시한 것이다.

- [0051] 상기 컬러필터 기관(150) 중 액정층을 향하는 내측면에는 백라이트 유닛(미도시)으로부터 입사되는 빛이 새어나 오지 못하도록 차폐하는 블랙매트릭스(미도시)와, 단위화소마다 적, 녹, 청색의 컬러필터 패턴을 포함하는 컬러필터층(미도시)이 형성되어 있다. 상기 컬러필터층은 표시영역에 형성되고, 상기 블랙매트릭스는 표시영역을 둘러싸는 비표시영역과 표시영역의 단위화소 사이에 형성되어 있다.
- [0052] 한편, 상기 어레이 기관(110)의 표시영역(AA)에는 횡 방향으로 등 간격으로 배열되면서 스캔 신호를 인가받는 다수의 게이트 배선(120)과, 상기 다수의 게이트 배선(120)과 수직 교차하며 종 방향으로 등 간격으로 배열되어 상기 게이트 배선(120)과 더불어 다수의 화소를 정의하는 데이터 배선(130)이 배치되어 있다.
- [0053] 상기 데이터 배선(130)을 통해 데이터 신호가 인가된다.
- [0054] 상기 게이트 배선(120)과 데이터 배선(130)의 교차지점에는 단위화소마다 형성되어 있는 화소전극(C영역의 140)으로 데이터 신호가 인가되는 것을 제어하는 박막트랜지스터(Tr)가 형성되어 있다. 도 4를 참조하여 본 발명의 박막트랜지스터를 더 자세히 살펴본다.
- [0055] 상기 박막트랜지스터(Tr)는 게이트 전극(203)과, 제 1 절연막인 게이트 절연막(202)과, 액티브층(204) 및 오믹콘택층(미도시)으로 구성된 반도체층(미도시)과, 액티브층(204)을 사이에 두고 서로 이격되어 있는 소스(205) 및 드레인 전극(206)이 순차 적층된 형태로 구성되어 있다.
- [0056] 또한 상기 박막트랜지스터(Tr)를 덮으며 상기 박막트랜지스터(Tr)의 드레인 전극(206) 및 채널영역을 노출시키는 콘택홀(220)을 갖는 제 2 절연층인 패시베이션층(207)이 형성되어 있다. 상기 패시베이션층(107) 위에는 유기보호층(208)이 더 형성되어 있다. 또한, 상기 드레인 전극(206)과 전기적으로 연결되어 있는 화소전극(209)이 상기 콘택홀(220)을 지나 유기보호층(208)상에 형성되어 있다.
- [0057] 본 발명의 박막트랜지스터(Tr)는 제조방법상의 특징으로 인해, 데이터 배선(130) 및 소스 전극(205) 및 드레인 전극(206)은 반도체 물질로 구성되는 액티브층(204)과 액티브층에 불순물이 주입되어 전도성을 향상시킨 오믹콘택층(미도시)와 데이터 배선의 주요구성인 도전성 메탈층의 3중층으로 구성되어 있다. 즉, 데이터 배선(130)은 평면도로 보았을 때 도전성 메탈층만 보이지만 그 아래에 오믹콘택층과 액티브층이 더 형성되어 있다. 또한, 소스전극(205) 및 드레인 전극(206)도 데이터 배선(130)과 같이 액티브층(104), 오믹콘택층(미도시) 및 메탈층의 3중층으로 구성되어 있다. 이는 이후 본 발명의 제조방법에서 설명되겠지만 데이터 배선을 형성하는 공정에서 데이터 배선은 기관상에 액티브층이 증착되고 이어서 오믹콘택층의 형성 및 데이터 배선용 메탈층의 증착이 순차적으로 이루어진 다음, 하나의 마스크 공정으로 데이터 배선이 패터닝 되기 때문이다.
- [0058] 따라서, 본 실시 예에서 소스전극(205)는 데이터 배선(130)으로부터 단위화소영역으로 분기하면서 데이터 배선(130)과 일체를 이룬다. 또한, 액티브층은 소스 전극(204) 및 드레인 전극(205)와 동시에 패터닝되기 때문에 소스전극(204) 및 드레인전극(205)와 동일한 선폴을 가진다.
- [0059] 도 4에 도시되는 바와 같이, 본 실시 예의 채널(CH)은 게이트 전극(203) 상부의 오믹콘택층(미도시) 및 메탈층이 제거되고 액티브층만 남겨짐으로써 구성되어 진다.
- [0060] 또한, 본 실시 예에서, 패시베이션층(207) 위에는 유기보호층(208)이 더 형성되어 있다. 상기 유기보호층(208)은 유기보호층(208) 아래에 형성되는 각 층들로 인한 단차를 보상하는 역할을 수행함과 더불어 데이터 배선(130)과 화소전극(209) 사이에 형성될 수 있는 크로스 토크(cross talk)를 감소시키는 역할도 수행한다. 본 발명의 유기보호층(208)은 감광성 유기막인 포토아크릴을 사용할 수 있다.
- [0061] 상기 유기보호층(208) 상에는 유기보호층(208)의 보호를 위한 무기질의 제 3 절연층(210)이 더 형성되어 있다. 본 실시 예에서 제 1 절연층(202), 제 2 절연층(207) 및 제 3 절연층(210)은 모두 무기질의 절연층으로서 실리콘산화물(SiO₂) 또는 실리콘질화물(SiNx)로 구성될 수 있다.
- [0062] 상기 제 3 절연층(210)은 유기보호층(208)상에 더 형성되어 콘택홀(220) 내에서 제 1 절연층(202)과 직접 접촉할 수 있게 됨으로써 같은 성질의 물질층이 접합하는 것이어서 제 1 절연층(202)과 제 3 절연층(210)의 접합능력이 향상될 수 있다.
- [0063] 이와 더불어 상기 제 3 절연층(210)상에는 화소전극(209)과 더불어서 단위화소 내에 횡전계를 형성하는 공통전극(211)이 더 형성되어 있다. 따라서 상기 제 3 절연층(210)은 화소전극(208)과 공통전극(211)을 서로 절연시키는 역할을 한다.

- [0064] 한편, 본 실시 예의 비표시영역(NA)에는 게이트 배선(120) 및 데이터 배선(130)에 스캔신호와 데이터 신호를 제공하는 드라이버 IC(135)가 형성되어 있다. 또한, 비표시영역(NA)에는 상기 드라이버 IC(135)에서 생성된 신호들을 게이트 배선(120) 및 데이터 배선(130)에 제공하는 게이트 링크 배선(121)과 데이터 링크 배선(131)이 더 형성되어 있다. 따라서 드라이버 IC(135)와 게이트 배선(120)은 게이트 링크 배선(121)에 의해 연결되어 있고, 드라이버 IC(135)와 데이터 배선(130)은 데이터 링크 배선(131)에 의해 연결되어 있다. 도 3의 A영역은 게이트 링크 배선(121)이 형성된 영역을 표시하고 B영역은 데이터링크 배선(131)이 형성되어 있는 영역을 표시하고 있다.
- [0065] 도 5a 및 5b를 참조하여 본 발명의 링크부의 구조를 더 자세히 설명한다.
- [0066] 도 5a는 도 3의 A영역 즉, 게이트 링크 배선(121)이 형성되어 있는 게이트 링크 영역의 단면도를 나타낸다. 도 5b는 게이트 링크 영역의 단면도를 더 자세히 나타내는 단면도 이다. 본 발명의 실시 예에서는 A영역의 게이트 링크 배선(121) 및 데이터 링크 영역인 B영역의 데이터 링크 배선(131) 모두 같은 단면 구조를 가지므로 하나만 설명하도록 한다. 또한 게이트 링크 배선(121)을 그저 링크 배선(121)이라고 명칭하고 설명하도록 한다.
- [0067] 도 5a 및 도 5b를 참조하면, 링크 배선(121)은 제 1 기판(201)상에 형성되어 있는 제 1 링크 배선(121a)과 제 1 절연층(202)상에 형성되어 있는 제 2 링크 배선(121b)으로 구성된다. 상기 제 1 링크 배선(121a) 및 제 2 링크 배선(121b)은 서로 교번하면서 배치되어 있다. 즉, 홀수번째 링크 배선을 제 1 링크 배선이라고 할 때 짝수 번째 링크 배선은 제 2 링크 배선이 되며, 홀수 번째 링크 배선은 제 1 기판(201)상에 형성되어 있고, 짝수 번째 링크 배선은 제 1 절연층(202)상에 형성되어 있다. 상기 제 1 기판(201)은 통상 유리기판이며, 제 1 절연층(202)는 실리콘 산화막 또는 실리콘 질화막으로 구성되는 게이트 절연층이다.
- [0068] 따라서, 상기 제 1 링크 배선(121a)과 제 2 링크 배선(121b) 사이에 절연층이 개재되어 있으므로 제 1 링크 배선(121a) 및 제 2 링크 배선(121b)은 전기적으로 단락(short)될 염려없이 매우 가깝게 배치할 수 있다. 그 결과, 단위 면적당 링크 배선의 수를 더 많이 배치할 수 있어 링크 배선이 형성될 비표시영역의 면적을 줄일 수 있어 네로우 베젤을 구현할 수 있다.
- [0069] 도 5b를 참조하여 본 실시 예의 링크 배선구조를 살펴보면, 본 실시 예의 링크 배선 구조 중, 제 1 절연층(202)상에 형성되어 있는 제 2 링크 배선(121b)는 다층 구조를 가지는 것이 특징이다. 즉, 제 2 링크 배선(121b)은 액티브층(204)과 오믹컨택층(미도시)와 소스메탈층(205M)과 투명전극층(209)이 차례로 적층되어 구성된다.
- [0070] 그리고 본 실시 예의 제조방법에서 설명될 것이지만, 채널을 형성하는 과정에서 제 2 링크 배선도 동시에 형성되기 때문에 제 2 링크 배선(121b)은 액티브층의 폭이 그 상부에 형성되는 오믹 컨택층, 소스 메탈층 및 투명전극 층의 폭 보다 더 넓다. 다시 말해, 링크영역에서 제 2 링크 배선을 구성하는 오믹 컨택층, 소스 메탈층 및 투명전극은 서로 그 폭이 같고, 대신 액티브층보다는 그 폭이 좁다.
- [0071] 상기 액티브층(204) 및 오믹 컨택층은 박막트랜지스터를 구성하는 액티브층(204) 및 오믹컨택층과 같은 물질이며, 상기 소스 메탈층(205M)은 데이터 배선, 소스 전극 및 드레인 전극을 구성하는 금속층과 같은 금속으로 구성된다.
- [0072] 또한, 상기 투명전극층(209)는 화소전극을 구성하는 도전층과 같은 투명한 도전층으로 구성된다.
- [0073] 상기 제 2 링크 배선(121b)이 복수의 층으로 구성되는 것은 박막트랜지스터의 채널을 형성할 때 동시에 링크 배선이 형성되는 본 발명의 공정의 특징 때문이다.
- [0074] 또한, 도 5b를 참조하면, 본 실시 예에서 링크 배선이 형성되는 영역인 링크 영역은 유기보호층(208)이 제거되어 있다. 즉, 제 1 기판(201)의 상부 전 영역에 유기보호층(208)을 형성하지만, 채널이 형성되는 채널 영역(도 5a의 220)과 링크 배선이 형성되는 링크 영역(230)에는 유기보호층(208)이 제거되어 있다. 이는 유기보호층(208)과 무기막으로 구성되는 절연층 사이에 접합력이 약하여 유기보호층(208)이 무기막으로 구성되는 절연층으로부터 분리되는 현상을 방지하기 위함이다. 즉, 링크영역(230)과 채널 영역(220)에 유기보호층(208)을 남겨 두면 유기보호층(208)은 무기막으로 구성되는 제 2 절연층(207) 및 제 3 절연층(210)과 접합하게 되고, 유기물질로 구성되는 유기보호층(208)과 무기막으로 구성되는 제 2 및 제 3 절연층은 그 성질이 달라 접착 특성이 약하여 들뜸이 발생한다. 이를 방지하고 접합특성을 향상시키기 위해 채널 영역(220)과 링크영역(230)에서 유기보호층(208)을 제거한다. 그 결과, 도 5b를 참조하면, 링크영역(220)에서는 유기보호층(208)이 제거되고 그 이외의 영역에는 유기보호층(208)이 남겨지는 구조를 가지게 된다.
- [0075] 한편, 도 5c는 본 발명의 다른 실시 예를 나타내는 것으로, 도 5C의 다른 실시 예는 제 2 절연층(207)위에 유기

보호층(208)이 없는 경우를 나타낸다. 이 경우, 제 1 절연층(202) 위에 제 2 절연층(207)이 형성되어 있고 제 2 절연층(207) 위에 제 3 절연층(210)이 차례로 형성되어 있다.

- [0076] 이하, 도 6a 내지 6j를 참조하여 본 발명의 제 1 실시 예에 의한 액정표시소자의 제조방법을 설명한다.
- [0077] 도 6a 내지 6j는 본 발명의 일 실시 예에 의한 표시영역의 박막트랜지스터의 제조공정을 나타내며, 도 6aa 내지 6jj는 비표시영역 중 링크영역의 링크 배선 형성공정을 나타낸다.
- [0078] 각 공정의 단계에서 하나의 마스크 공정에 의해 표시영역의 박막트랜지스터의 임의의 레이어가 형성됨과 동시에 비표시영역 중 링크영역의 링크 배선의 임의의 레이어가 형성되기 때문에 표시영역과 비표시영역을 각각 대표하여 박막트랜지스터와 링크 배선을 도시하였다.
- [0079] 링크 배선은 게이트링크 배선과 데이터링크 배선으로 구성되지만 본 실시 예에서 게이트링크 배선 및 데이터링크 배선 모두 이중 배선 구조를 가지므로 도 6aa-6cc는 데이터 링크 배선 영역만을 나타내는 것으로 한다.
- [0080] 도 6a를 참조하면 먼저, 투명한 유리와 같은 제 1 기판(201)을 준비한다. 하나의 기판에는 여러 개의 단위 액정 표시패널이 형성될 수 있는데, 이 경우, 제 1 기판을 모기판이라고 부르기도 한다. 본 실시 예에서는 하나의 단위 액정표시패널을 일 레로서 설명한다. 그러나 하나의 모기판에 여러 개의 단위 액정표시패널이 형성되는 경우, 모든 단위표시패널은 동일한 공정을 거치게 된다.
- [0081] 상기 제 1 기판(201) 위에 게이트 메탈 물질을 증착한다. 상기 게이트 메탈 물질은 본 실시 예에서는 도전성의 금속 메탈로서 Cu, Al, Mo, MoTi 합금, 또는 이들의 혼합 적층된 복수층이 사용될 수 있다. 상기 게이트 메탈 물질은 제 1 기판(201)의 전체 상면에 증착된다. 증착은 금속의 스퍼터링 방법을 통해 증착될 수 있다.
- [0082] 이어서, 상기 게이트 메탈 물질층 위에 제 1 마스크(미도시)를 정렬하고 포토리소그래피 공정을 통해 게이트 배선 및 게이트 전극(203)을 형성한다. 위 제 1 마스크 공정에서 비표시영역에 제 1 링크 배선(121a)이 함께 패터닝된다. 따라서, 상기 게이트 배선(미도시), 게이트 전극(203) 및 제 1 링크 배선(121a)은 같은 도전성 물질로 구성된다.
- [0083] 상기 포토리소그래피 공정은 증착된 게이트 메탈층 위에 포토레지스터를 도포하는 단계, 상기 포토레지스터 층 위에 제 1 마스크를 정렬하고 노광하는 단계, 노광된 포토레지스터 층을 현상하여 포토레지스터 패터를 형성하는 단계, 상기 포토레지스터 패터를 식각 블로킹 마스크로 사용하여 상기 게이트 메탈층을 식각하는 단계, 상기 포토레지스터 패터를 스트립하는 단계를 포함하는 일련의 공정을 의미한다. 또한, 하나의 마스크를 사용하면서 포토레지스터를 기판상에 도포하는 단계 부터 포토레지스터를 스트립하는 단계까지의 공정을 하나의 마스크 공정이라고 부르기로 한다.
- [0084] 따라서 제 1 마스크 공정을 통해, 게이트 배선, 게이트 전극 및 제 1 링크 배선이 형성된다.
- [0085] 이어서, 상기 게이트 배선, 게이트 전극 및 제 1 링크 배선을 덮는 제 1 절연층(202)인 게이트 절연층을 형성한다. 상기 제 1 절연층(202)은 그 하부의 금속 패터들을 절연시키기 위해 필요하다. 상기 제 1 절연층(202)은 실리콘 산화막(SiO₂)을 증착함으로써 이루어진다.
- [0086] 이어서, 도 6b 및 도 6bb를 참조하면, 상기 게이트 전극(203) 및 제 1 링크 배선(121a)이 형성된 제 1 기판(201) 상에 액티브 패터를 구성하게 될 반도체 물질층을 증착한다. 상기 반도체 물질층은 더 자세하게는 비정질 실리콘 내지 다결정질 실리콘 등의 반도체성 물질에 3족 내지 5족의 불순물 이온을 주입한 액티브층과 상기 액티브층의 표면에 불순물 이온을 더 주입하여 메탈층과의 일 함수 값을 낮추어 오믹 컨택(ohmic contact) 특성을 향상시키는 오믹 컨택층을 포함한다. 그러므로 상기 반도체 물질층은 하부의 액티브층과 상기 액티브층 상에 형성되는 오믹컨택층으로 구성될 수 있다.
- [0087] 상기 액티브층은 n형 반도체를 형성할 경우에는 3족의 원소를 진성 반도체에 주입하여 형성하고, p형 반도체를 형성하는 경우에는 인(p)과 같은 5족의 원소를 진성 반도체에 주입하여 형성한다.
- [0088] 이어서, 액티브층과 오믹 컨택층이 형성된 제 1 기판(201)상에 소스 메탈층(205M)을 증착한다. 상기 소스 메탈층(205M)은 데이터 배선, 소스 전극 및 드레인 전극을 구성하는 도전성의 금속층이다. 또한, 상기 소스 메탈층(205M)은 제 2 링크 배선(121b)을 구성하기도 한다.
- [0089] 상기 소스 메탈층(205M)은 도전성의 Mo, MoTi, Al 등이 사용될 수 있다. 본 실시 예에서는 Mo를 사용하는 것으로 한다.

- [0090] 위 공정에서 살피본 바와 같이, 액티브층(204), 오믹 컨택층(미도시) 및 소스 메탈층(205M)은 연속하는 증착공정을 통해 이루어진다. 즉, 증착 챔버 내에서 연속적으로 각 층을 형성할 수 있다.
- [0091] 이어서, 도 6b, 및 도 6bb를 참조하면, 박막트랜지스터를 형성하기 위한 채널패턴(240)과 제 2 링크 배선(121b)을 형성하기 위한 제 2 마스크 공정을 진행한다. 상기 제 2 마스크는 데이터 배선(미도시)과 향후 채널을 포함하게 되며 상기 게이트 배선으로부터 화소영역으로 돌출되는 채널패턴(240)과 제 2 링크 배선(121b)을 정의하는 패턴들을 포함한다.
- [0092] 상기 제 2 마스크를 이용하는 제 2 마스크 공정은 포토리소그래피 공정을 통해 이루어진다. 즉, 상기 소스 메탈층(205M) 상에 포토레지스트를 도포하는 공정, 상기 포토레지스트 상에 제 2 마스크를 정렬하는 공정, 상기 제 2 마스크를 블록킹 마스크로 사용하여 노광하는 공정, 노광된 포토레지스트를 현상하여 포토레지스트 패턴을 형성하는 공정, 상기 포토레지스트 패턴을 블록킹 마스크로 하여 식각하는 공정 및 상기 포토레지스트 패턴을 스트립하는 공정을 포함한다.
- [0093] 상기 식각하는 공정에서 상기 포토레지스트 패턴을 블록킹 마스크로 사용하여 상기 포토레지스트 아래의 소스 메탈층(205M), 오믹컨택층(미도시) 및 액티브층(204)을 차례로 식각한다. 상기 소스 메탈층(205M)은 에천트를 이용한 습식각을 통해 만들어지고, 상기 오믹컨택층 및 액티브층(204)은 건식각을 통해 만들어진다.
- [0094] 그 결과, 도 6b 및 도 6bb에 도시된 바와 같이, 액티브층(204)와 오믹컨택층(미도시)와 소스 메탈층(205M)이 차례로 적층되어 있는 채널패턴(240)이 완성된다.
- [0095] 한편, 비표시영역에서는 액티브층(204)과, 오믹컨택층(미도시)과 소스 메탈층(205M)이 차례로 적층되어 구성되는 제 2 링크 배선(121b)이 형성된다.
- [0096] 상기 식각 공정에서 상기 포토레지스트 패턴을 식각의 블록킹 마스크로 사용하면서 습식각과 건식각이 연속하여 진행되므로 상기 액티브층(204)와 소스 메탈층(205M)은 서로 간에는 단차를 구비하지 않고 액티브층(204)과 소스 메탈(205M)을 합쳐 하나의 단차만을 구성하게 된다.
- [0097] 이어서, 도 6c 및 도 6cc를 참조하면, 채널패턴(240)과 제 2 링크 배선(121b)이 형성된 다음, 상기 채널패턴(240)과 제 2 링크 배선(121b)을 덮는 제 2 절연층(207)을 제 1 절연층(202)상에 증착한다. 상기 제 2 절연층(207)은 채널패턴(240)과 제 2 링크 배선(121b)을 외부로부터 보호하고 절연시키는 기능을 한다. 상기 제 2 절연층(207)은 제 1 절연층(202)와 같은 물질을 사용할 수 있다. 예를 들어, 상기 제 2 절연층(207)은 실리콘질화막 또는 실리콘산화막을 사용할 수 있다.
- [0098] 상기 제 1 절연층(202) 및 제 2 절연층(207)은 물리적으로 비슷한 성질을 가지는 무기막을 사용함으로써 증착후 접합 특성이 향상된다.
- [0099] 이어서, 도 6d 및 도 6dd를 참조하면, 상기 제 2 절연층(207) 상에 감광성의 유기보호막(208)을 코팅한다. 상기 유기 보호막(208)은 예를 들어 포토아크릴 수지를 사용할 수 있다. 상기 유기 보호막(208)은 감광성의 유기막으로써 상기 제 2 절연층(207) 상에 형성되어 이어서 형성되는 화소전극(209)과 데이터 배선 사이에 형성될 수 있는 기생 커패시턴스로 인한 크로스 토크(cross talk)를 방지하는 기능을 한다. 또한 상기 유기 보호막(208)은 그 하부 레이어(layer)들로 인한 기관의 단차를 보상하는 기능을 한다. 즉, 게이트 전극(201) 및 채널패턴(240) 등으로 인한 기관 표면의 단차를 보상하고 표면을 평탄화시키는 기능을 한다.
- [0100] 본 실시 예에서는 상기 유기 보호막(208)은 노광되는 영역이 스트립에 의해 제거되는 포지티브 형 감광성 유기 보호막을 사용하는 것으로 한다.
- [0101] 이어서, 상기 유기 보호막(208)상에 채널영역(220)과 링크 배선 영역(230)이 패턴닝된마스크(M)를 정렬하고 노광하고 현상한다. 그 결과, 채널영역(220)과 링크 배선영역(230)이 노출되는 유기 보호막(208)의 패턴이 형성된다. 상기 유기 보호막(208)의 패턴을 식각의 블록킹 마스크로 사용하여 제 2 절연층(207)을 식각한다. 제 2 절연층(207)은 무기막이므로 통상 건식 식각 방법을 통해 식각한다.
- [0102] 그 결과, 도 6e 및 도 6ee에 도시된 바와 같이, 채널영역(220)과 링크 배선영역(230)에서 소스전극메탈이 노출된다.
- [0103] 이어서, 도 6f 및 도 6ff를 참조하면, 상기 채널영역(220) 및 링크 배선영역(230)에서 소스전극메탈이 노출된 상태에서 제 1 기관 상부의 전 영역에 투명전극물질을 증착한다. 상기 투명전극물질은 인듐틴옥사이드(ITO) 나 인듐징크옥사이드(IZO) 등일 수 있다. 상기 투명전극물질은 패턴닝된 후 화소전극이 된다. 특히, 상기 투명전극

물질은 채널영역의 소스전극메탈층 위에 증착되어 전기적으로 연결된다.

- [0104] 이어서, 도 6g 및 도 6gg를 참조하면, 증착된 투명물질층 위에 감광막 패턴을 더 형성한다. 상기 감광막 패턴은 화소전극(209)을 패턴닝하기 위한 제 1 감광막 v패턴(PR1)과 제 2 링크 배선(121b)을 패턴닝하기 위한 제 2 감광막(PR2)을 포함한다.
- [0105] 또한, 상기 감광막 패턴은 채널(ch)이 형성될 영역과 채널의 크기를 정의(define)한다.
- [0106] 특히, 상기 제 2 감광막 패턴(PR2)은 실제적인 제 2 링크 배선(121b)의 선폭을 결정하도록 설계되며, 도 6gg에 도시된 바와 같이 패턴닝되어 있는 제 2 링크 배선의 선폭보다 작게 설계한다. 그 이유를 좀 더 자세히 설명한다.
- [0107] 상기 감광막 패턴을 형성하는 과정에서 노광 장비가 정밀하여도 정렬에 있어서 어느 정도의 오정렬이 발생할 수가 있다. 예를 들어 5 마이크로미터의 링크 배선의 선폭을 형성하고자 하는 경우를 가정하자. 도 6gg와 같이 패턴닝되어 있는 제 2 링크 배선의 선폭이 5 마이크로미터라면 노광시 오정렬이 발생하여 제 2 감광막 패턴이 3마이크로미터 폭만큼만 제 2 링크 배선 위에 오버랩되고 2 마이크로미터는 제 2 링크 배선의 폭을 벗어난다면, 상기 제 2 감광막 패턴(PR2)을 식각 블로킹 마스크로 사용하여 식각시 상기 제 2 감광막 패턴의 오정렬로 인해 노출된 투명전극물질 및 그 아래의 소스전극메탈은 식각되어 제거되고 만다. 이 경우, 실제 제 2 링크 배선의 선폭은 3 마이크로미터 밖에 되지 않아 설계된 대로의 링크 배선의 선폭을 얻을 수 없다.
- [0108] 대신, 도 6gg에 도시된 제 2 링크 배선의 선폭을 7~8 마이크로미터의 폭을 가지도록 설계하고 5 마이크로미터의 선폭을 가지는 제 2 감광막 패턴(PR2)을 형성하면, 비록 노광 장비의 정렬 오차가 발생하여도 제 2 감광막 패턴(PR2)이 온전히 제 2 링크 배선 위에 있을 수 있어 식각 후 완전한 5 마이크로미터 만큼의 선폭을 가지는 제 2 링크 배선을 형성할 수가 있다.
- [0109] 즉, 본 실시 예에서는 채널패턴(240)을 형성할 때 형성되는 제 2 링크 배선(121b)의 선폭을 실제로 원하는 링크 배선의 선폭보다 더 크게 설계하고 제 2 감광막 패턴(PR2)을 실제 설계된 제 2 링크 배선의 선폭만큼 형성하면 비록 노광 장비의 오정렬이 발생하여도 제 2 감광막 패턴이 제 2 링크 배선 위에 형성될 수 있어 노광 장비의 오정렬에 따른 링크 배선의 패턴닝 불량을 방지할 수 있다.
- [0110] 다시 도 6g 및 도 6gg로 돌아가 본 실시 예의 제조공정을 설명한다.
- [0111] 제 1 감광막 패턴(PR1)은 화소전극을 정의하고, 제 2 감광막 패턴(PR2)은 제 2 링크 배선(121b)을 정의한다. 상기 제 1 감광막 패턴 및 제 2 감광막 패턴을 식각의 블로킹 마스크로 사용하여 투명전극물질층을 식각한다. 상기 식각은 습식각을 통해 투명전극물질층을 식각한다. 이 경우, 상기 제 1 감광막 패턴(PR1) 및 제 2 감광막 패턴(PR2)에 의해 가려지지 않은 투명전극물질층은 식각되어 제거된다. 따라서 감광막 패턴에 가려지지 않은 채널 영역의 투명전극물질 및 링크영역의 투명전극물질이 제거된다. 도 6h 및 도 6hh는 이를 보여준다.
- [0112] 이어서, 상기 제 1 감광막 패턴(PR1) 및 제 2 감광막 패턴(PR2)을 그대로 둔 채 소스전극메탈(205M)을 식각한다. 상기 식각은 습식각을 통해 이루어진다. 이어서 상기 소스전극메탈(205M)의 습식각 후, 오믹 컨택층(미도시)를 건식각에 의해 제거하여 채널을 완성한다. 즉, 상기 제 1 감광막 패턴(PR1) 및 제 2 감광막 패턴(PR2)을 식각 블로킹 마스크로 사용하여 채널영역의 투명전극물질, 소스전극메탈 및 오믹 컨택층을 차례로 식각하여 채널영역의 액티브층을 노출시키고 소스 전극(205)과 드레인 전극(206)을 분리시킨다. 도 6i에서 소스 전극(205)와 드레인 전극(206)이 분리된 것을 확인할 수 있다.
- [0113] 한편, 링크영역(230)에서는 제 2 감광막 패턴(PR2)을 식각 블로킹 마스크로 이용하여 그 하부의 투명전극물질, 소스전극메탈 및 오믹컨택층을 차례로 식각한다. 상기 투명전극물질, 소스전극메탈 및 오믹컨택층은 채널을 형성하는 과정에서 이루어지는 식각공정과 동시에 이루어진다.
- [0114] 그 결과, 도 6ii에서 처럼, 제 2 링크 배선(121b)은 액티브층(204)의 폭이 소스메탈층(205M) 및 투명전극물질층(209)의 폭보다 더 넓게 형성되며, 소스메탈층(205M) 및 투명전극물질층(209)은 서로 선폭이 같다.
- [0115] 이어서 상기 제 1 및 제 2 감광막 패턴(PR1, PR2)을 스트립하여 제거한 다음, 도 6j 및 도 6jj에 도시된 바와 같이, 제 1 기판(201)의 전체 상면에 제 3 절연층(210)을 증착한다. 상기 제 3 절연층(210)은 무기막으로 구성되며 실리콘산화막 또는 실리콘질화막일 수 있다. 상기 제 3 절연층(210)은 화소전극(209) 및 제 2 링크 배선(121b)을 보호함과 더불어 상기 제 3 절연층(210) 상에 형성될 공통전극(211)과 화소전극(209)을 절연시킨다.
- [0116] 이어서, 도 6j 및 도 6jj를 참조하면, 상기 제 3 절연층(210) 상에 공통전극(211)을 형성한다. 상기 공통전극을

형성하는 과정에서 하나의 마스크 공정이 사용된다. 상기 공통전극(211)과 화소전극(209) 사이에 횡전계가 형성되어 액정을 구동한다.

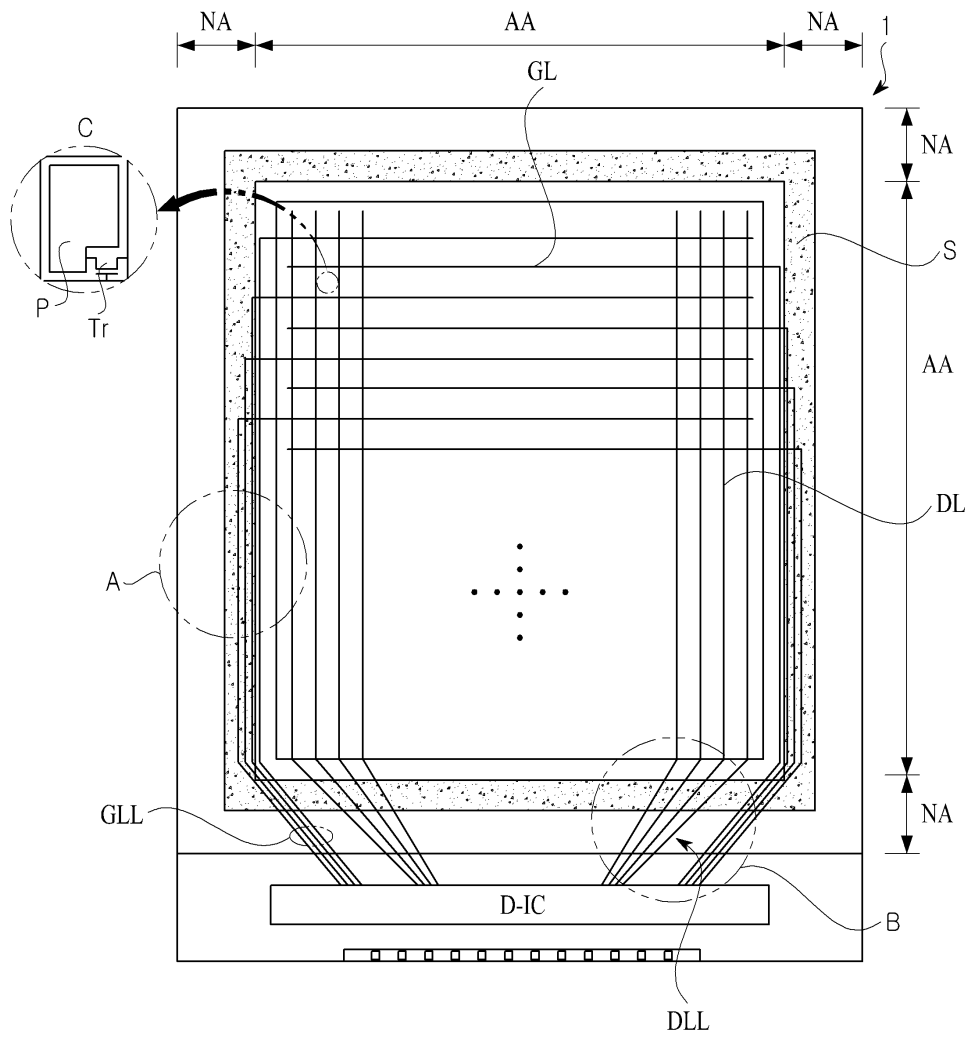
- [0117] 상기 공정을 통해 본 실시 예의 어레이 기판이 완성된다. 이어서 별도로 제조되는 컬러필터기판과 상기 어레이 기판을 실패턴을 통해 합착하여 액정표시패널을 완성한다.
- [0118] 본 발명의 제 1 실시 예에서는 횡전계를 형성하는 FFS모드 내지 IPS모드의 경우를 설명하였는데, 총 6개의 마스크 공정을 사용한다. 즉 제 1 마스크를 이용하여 게이트 전극, 게이트 배선 및 제 1 링크 배선을 형성하고, 제 2 마스크를 이용하여 채널패턴 및 제 2 링크 배선을 형성하고, 제 3 마스크를 이용하여 채널영역 및 링크영역의 제 2 절연층을 오출시키고, 제 4 마스크를 이용하여 채널과 화소전극을 형성하고, 제 5 마스크를 이용하여 게이트 패드 및 데이터 패드를 위한 컨택홀을 형성하고, 제 6 마스크를 이용하여 공통전극을 형성한다.
- [0119] 제 1 실시 예에서는 유기보호층을 구비하는 경우를 설명하였다. 그러나 유기보호층을 구비하지 않는 경우도 가능하다. 이하 도 7a 내지 도 7i를 참조하여 본 발명의 제 2 실시 예에 대해 설명한다.
- [0120] <제 2 실시예>
- [0121] 도 7a 내지 도 7c를 참조하면, 도 7a 내지 도 7c는 본 발명의 제 1 실시 예의 제 1 및 제 2 마스크 공정과 동일하다. 따라서 이를 생략한다.
- [0122] 도 7d 및 도 7dd를 참조하면 제 2 절연층(207) 상에 채널영역(220)을 정의하는 채널 영역 형성용 감광막 패턴(PRC)을 형성한다. 상기 채널영역 형성용 감광막 패턴(PRC)는 제 3 마스크 공정을 통해 형성된다. 상기 채널영역 형성용 감광막 패턴(PRC)을 식각 블로킹용 마스크로 사용하여 제 2 절연층(207)을 건식각한다.
- [0123] 이어서, 도 7e 및 도 7ee를 참조하면, 상기 채널영역 형성용 감광막 패턴(PRC)을 스트립하여 제거한 다음, 상기 제 2 절연층(207) 상에 투명전극물질층을 증착한다. 제 2 절연층(207) 상에 투명전극물질층을 증착하는 단계부터는 본 발명의 제 1 실시 예와 동일하다. 즉 도 7e~7i를 참조하면 본 발명의 제 1 실시 예와 같은 공정을 거쳐 게 됨을 확인할 수 있다. 따라서 이후 공정은 도면으로 대체하고 설명을 생략한다.
- [0124] 본 발명의 제 2 실시 예는 유기보호층을 별도로 구성하지 않는 점에서 특징이 있다. 유기보호층을 형성하지 않음으로 인해 유기보호층과 절연층 사이에 접착특성이 감소하는 문제점을 개선할 수 있다. 즉, 제 1 실시 예의 경우, 유기보호층(208)이 제 2 절연층(207)과 제 3 절연층(210)과 접촉하는데 이 경우, 유기보호층과 제 2 및 제 3 절연층은 서로 다른 성질의 막이어서 접착특성이 좋지 않을 수 있다. 따라서 본 실시 예는 접착특성을 향상시키고자 하는 경우 적용될 수 있을 것이다.
- [0125] 본 발명의 제 1 실시 예 및 제 2 실시 예는 동일한 기술적 사상을 포함하는 다른 실시 예를 나타내는 것일 뿐이며 발명이 이에 한정되는 것은 아님은 자명하다.

부호의 설명

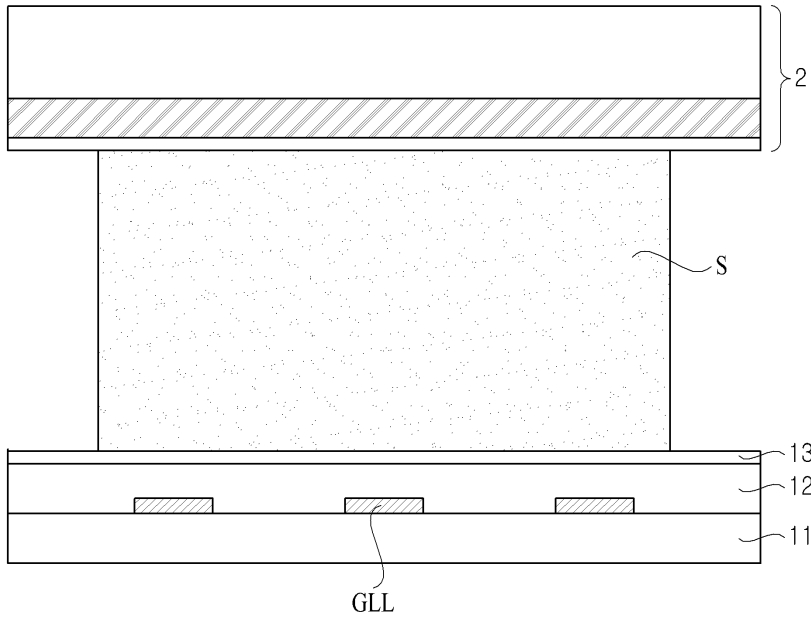
- [0126] 201 제 1 기판 202: 제 1 절연층
- 203: 제 2 절연층 204: 액티브층
- 205: 소스전극 205M: 소스전극메탈
- 206: 드레인전극 207: 제 2 절연층
- 208: 투명전극 209: 제 3 절연층
- 210: 공통전극 121: 링크 배선
- 121a: 제 1 링크 배선 121b: 제 2 링크 배선
- 240: 채널패턴 220: 채널영역
- 230: 링크영역 PR1: 제 1 감광막 패턴
- PR2: 제 2 감광막 패턴
- Ch: 채널

도면

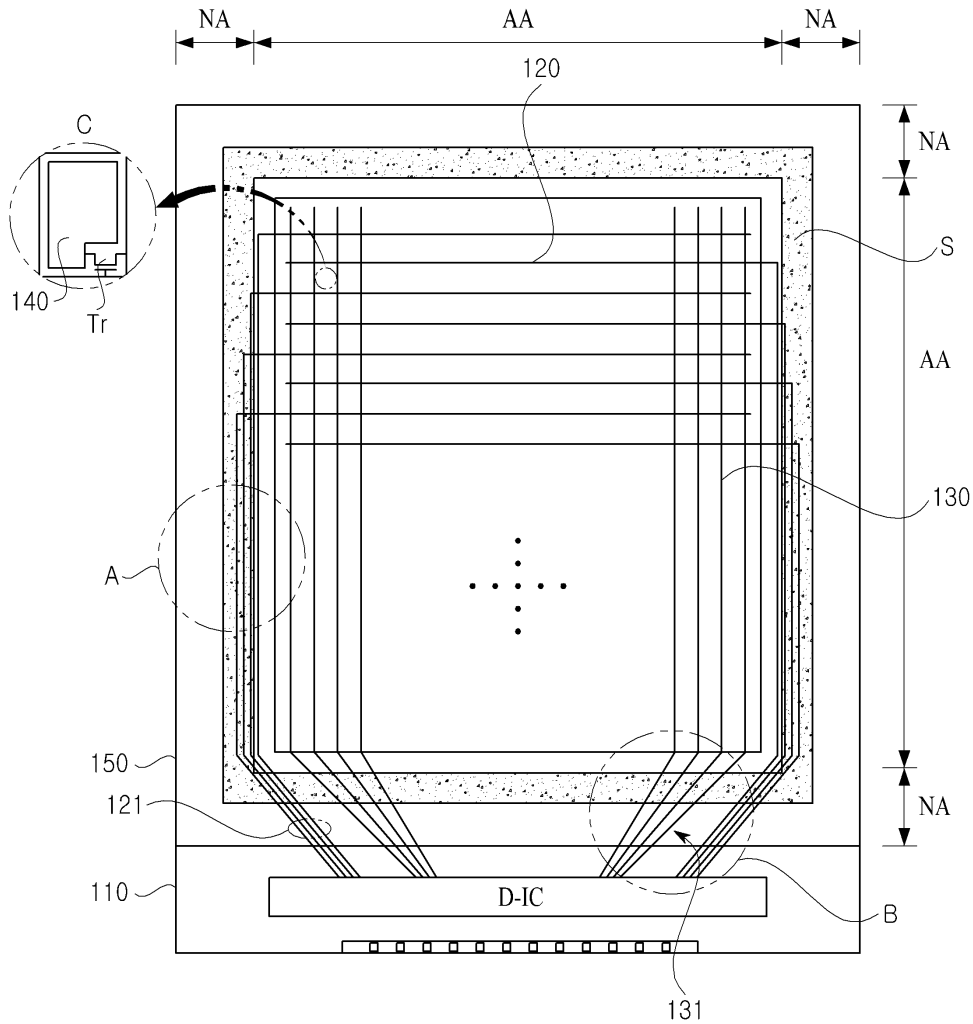
도면1



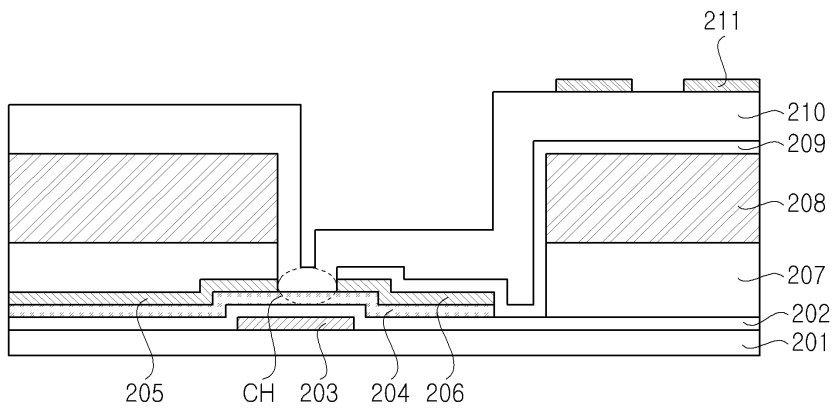
도면2



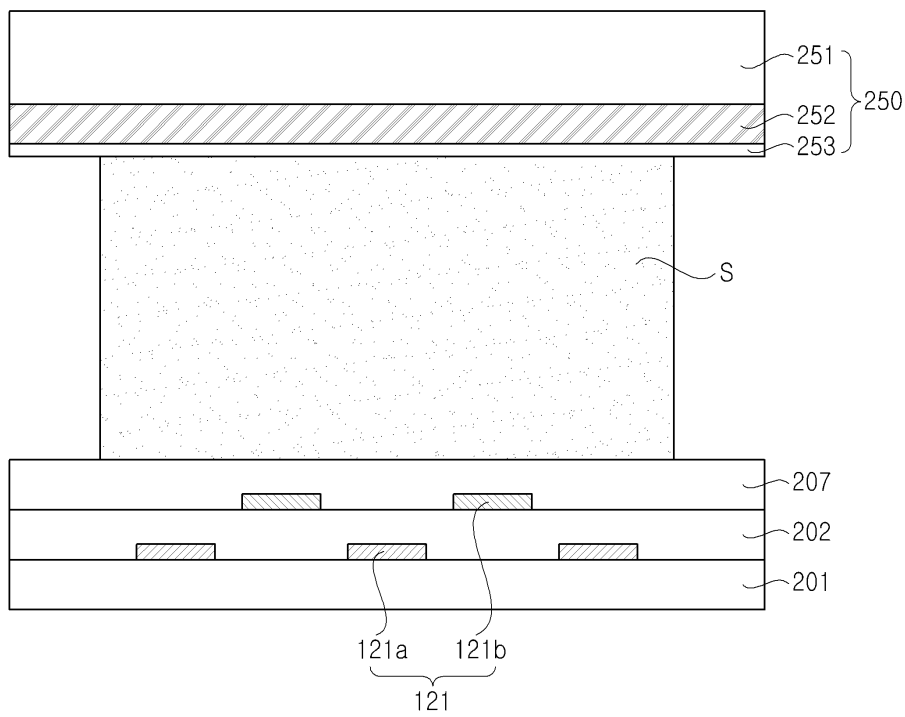
도면3



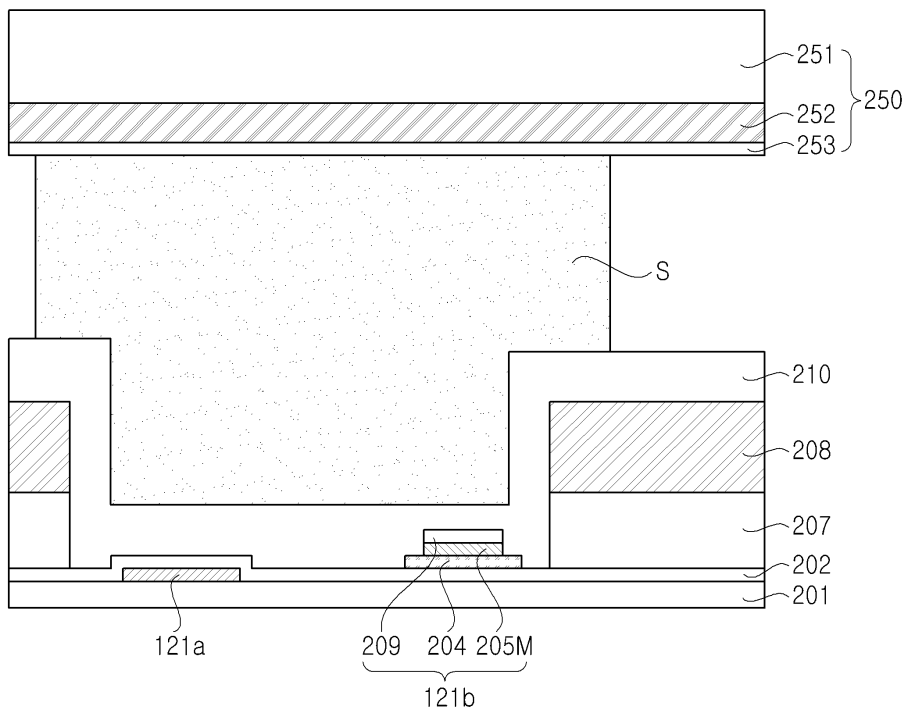
도면4



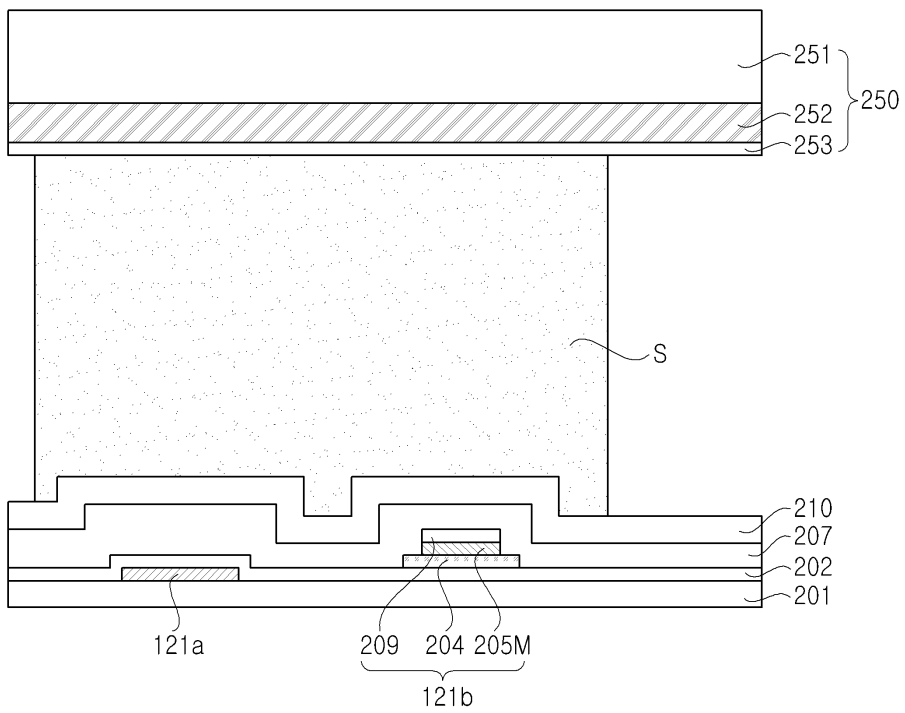
도면5a



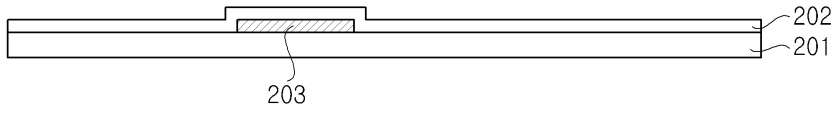
도면5b



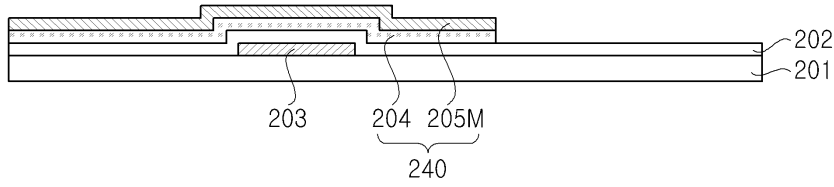
도면5c



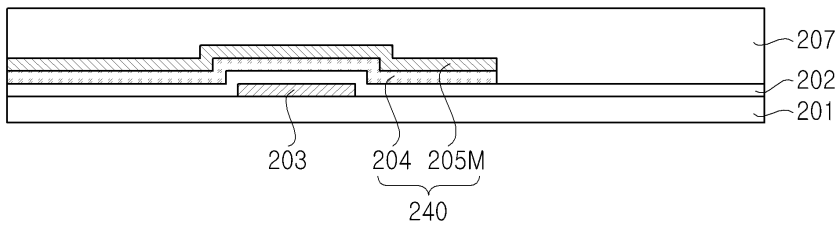
도면6a



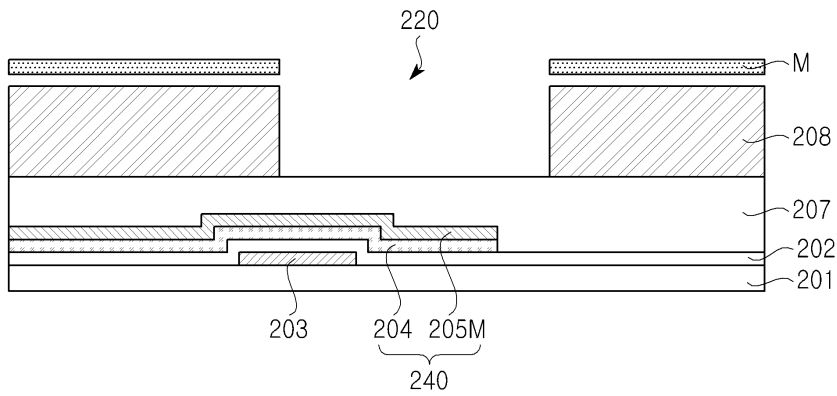
도면6b



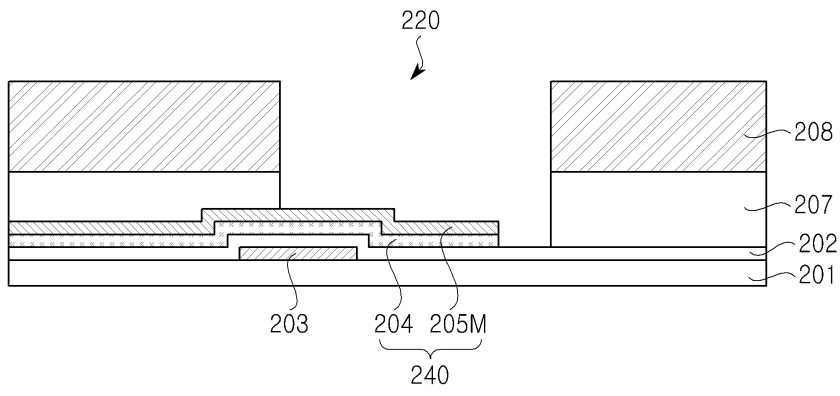
도면6c



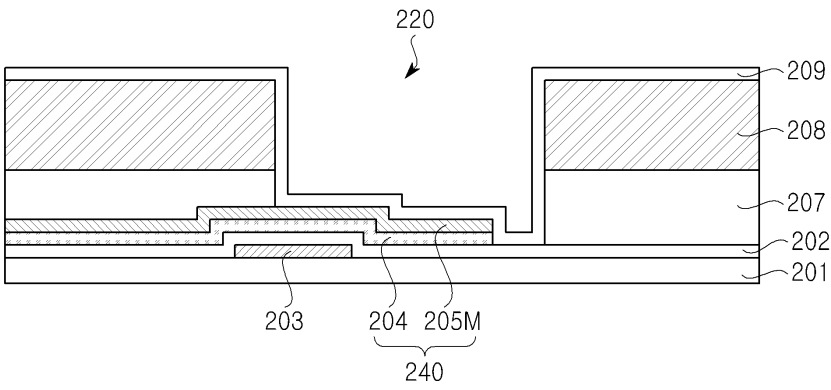
도면6d



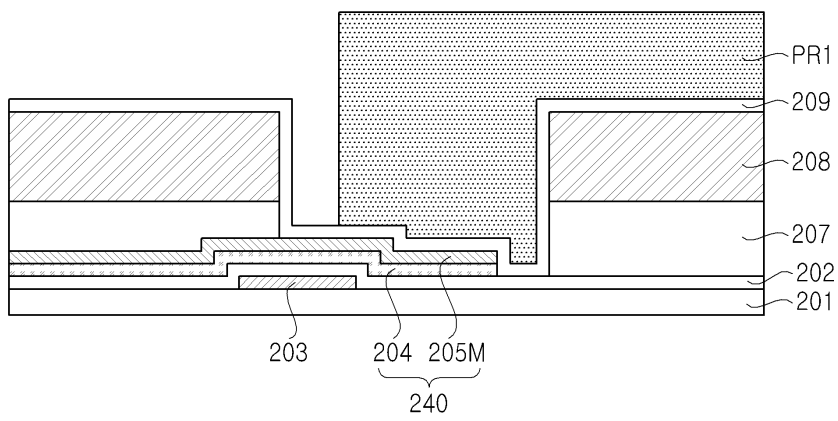
도면6e



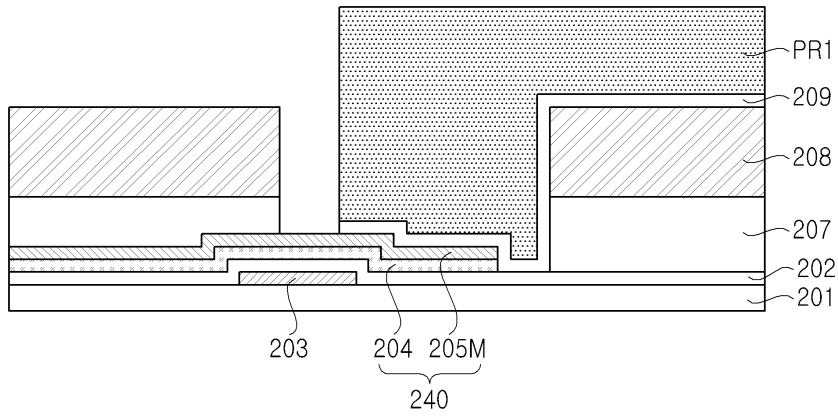
도면6f



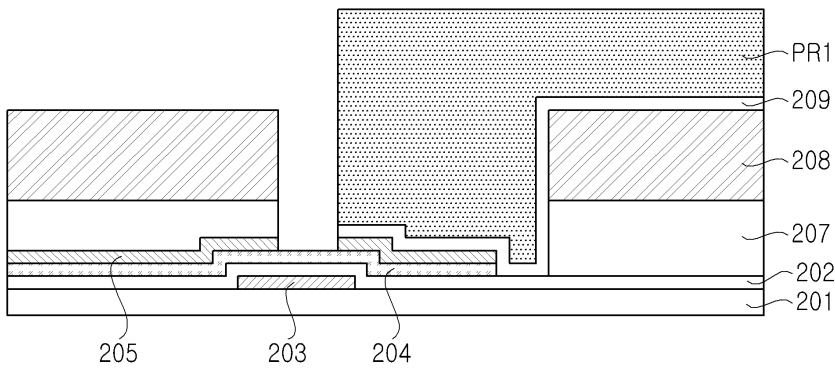
도면6g



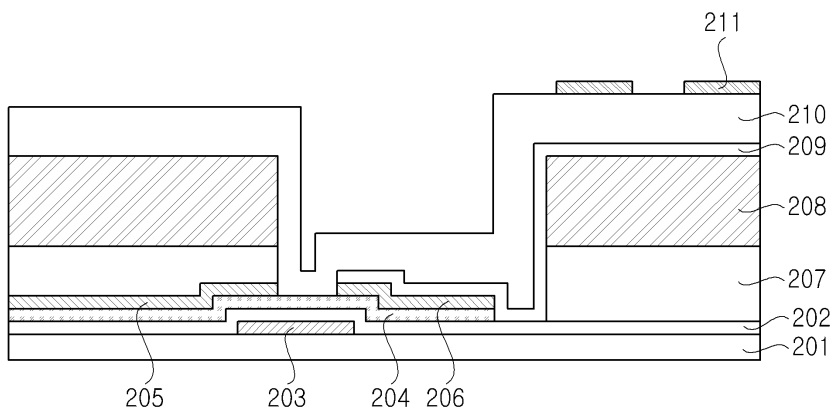
도면6h



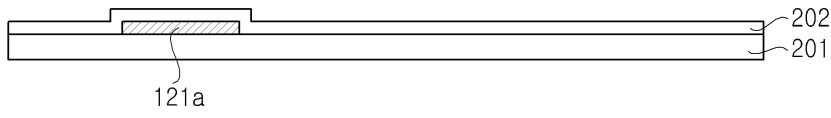
도면6i



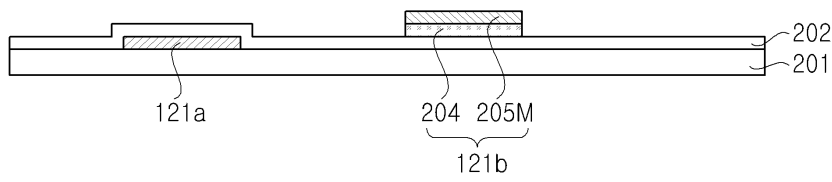
도면6j



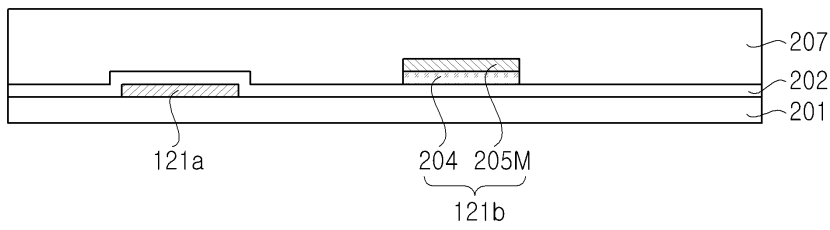
도면6aa



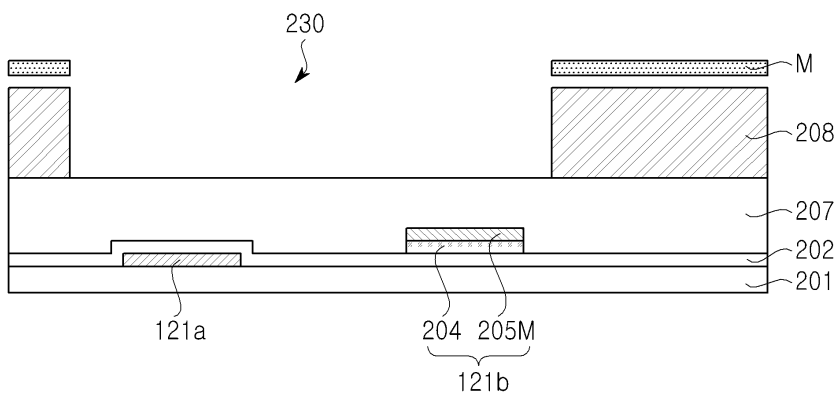
도면6bb



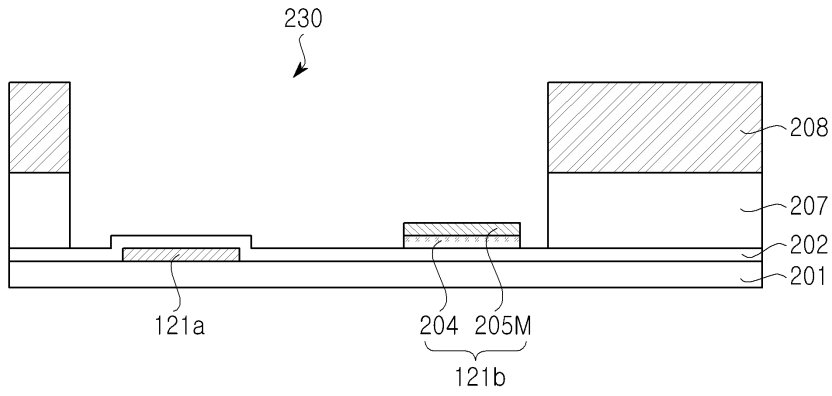
도면6cc



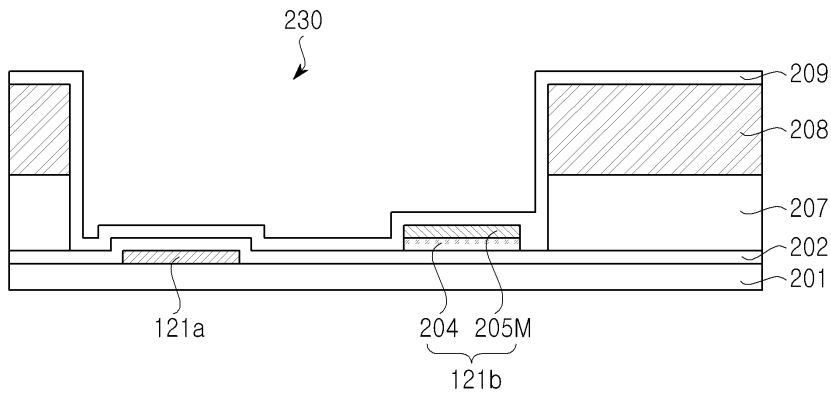
도면6dd



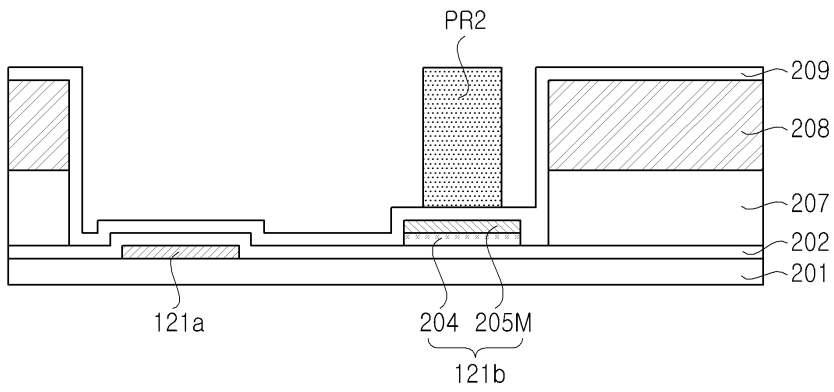
도면6ee



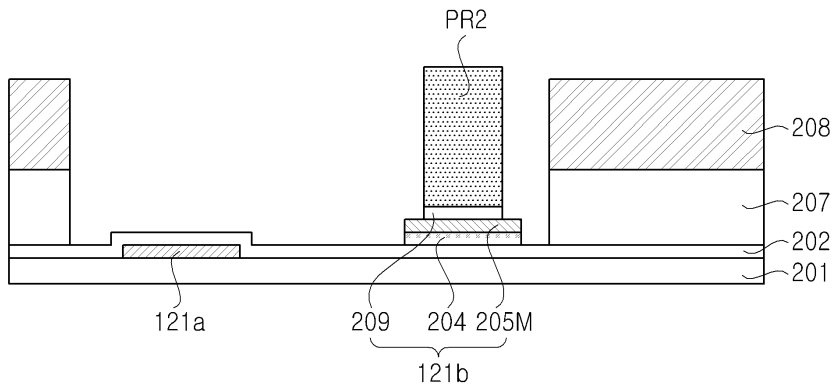
도면6ff



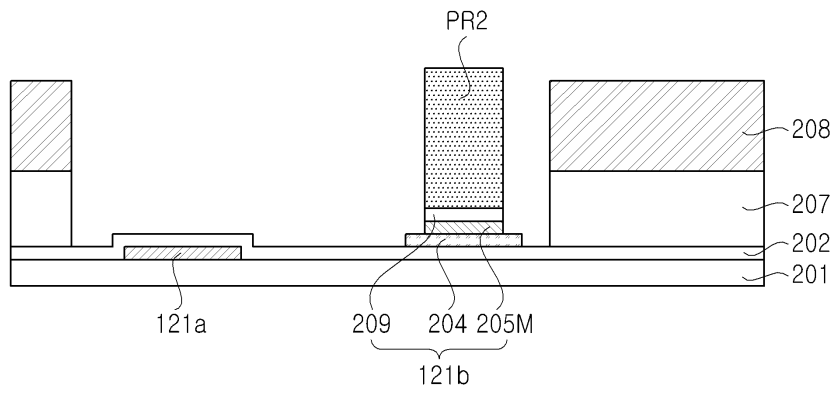
도면6gg



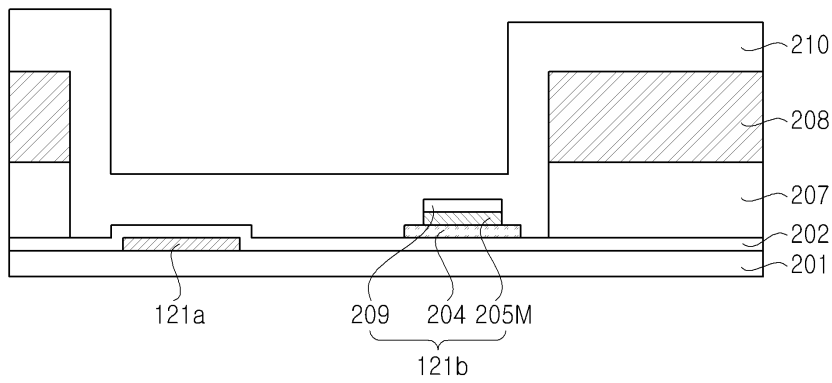
도면6hh



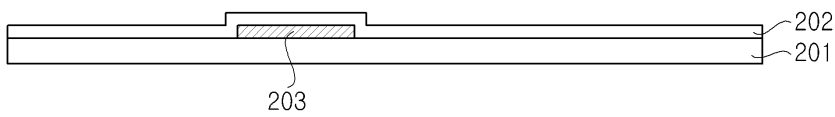
도면6ii



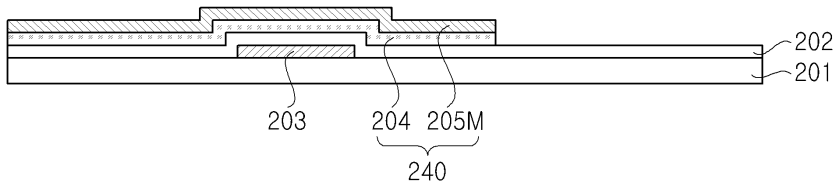
도면6jj



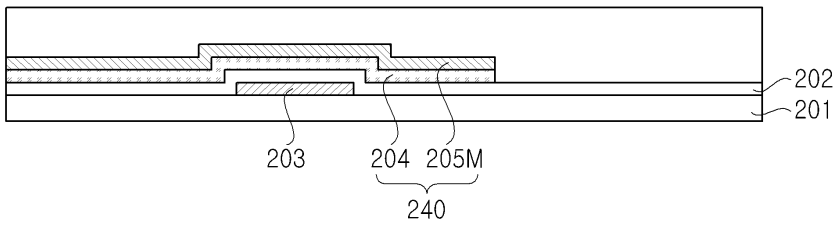
도면7a



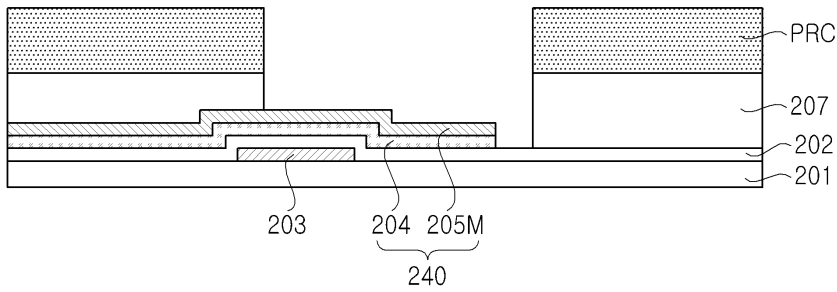
도면7b



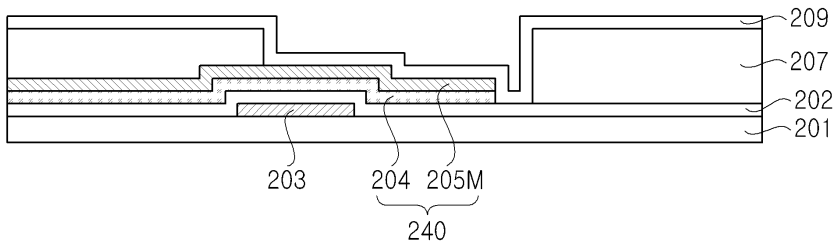
도면7c



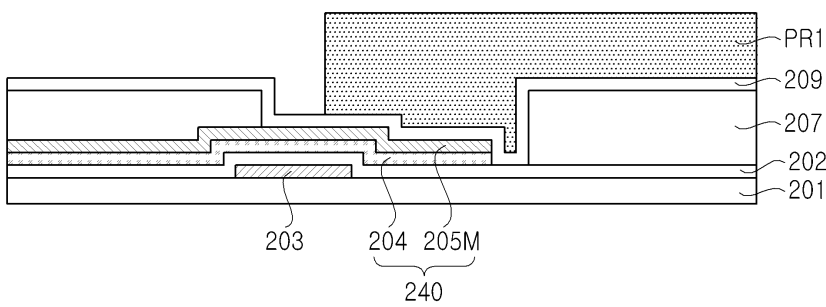
도면7d



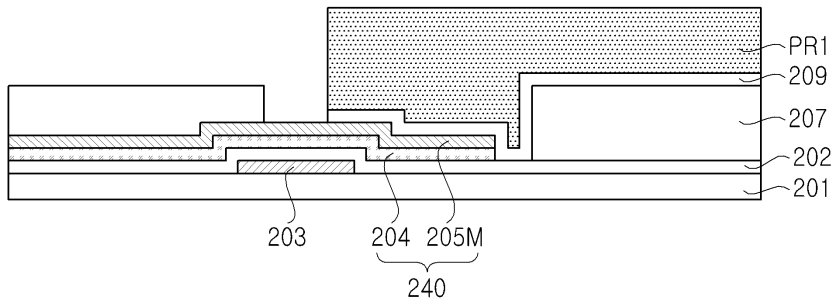
도면7e



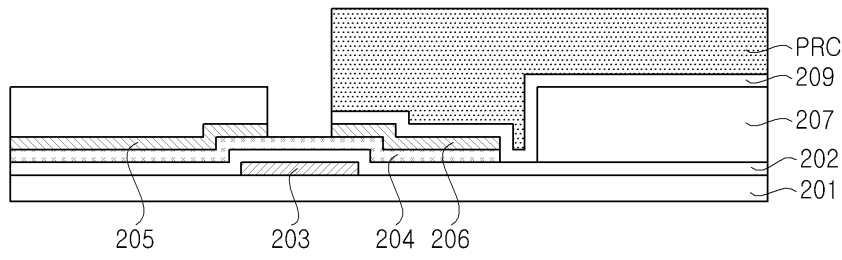
도면7f



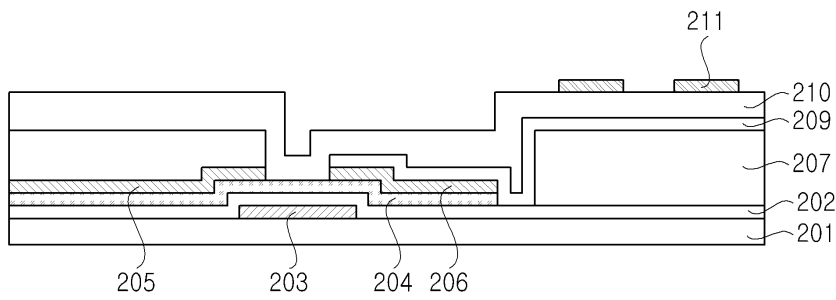
도면7g



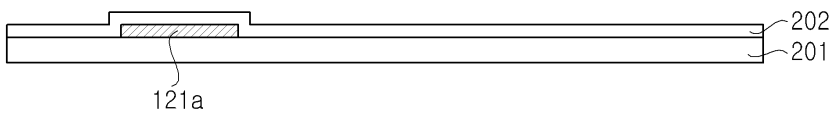
도면7h



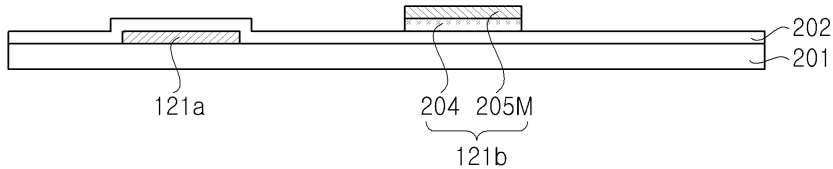
도면7i



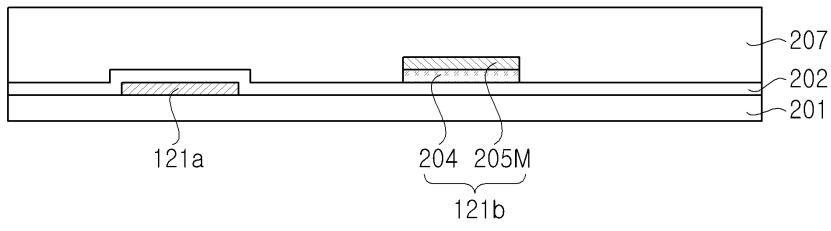
도면7aa



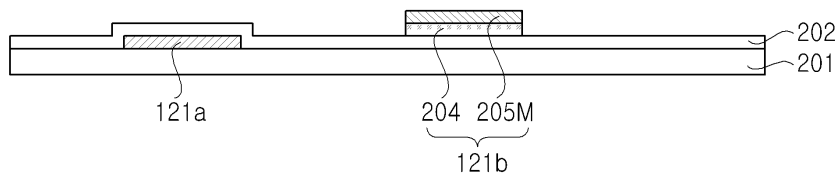
도면7bb



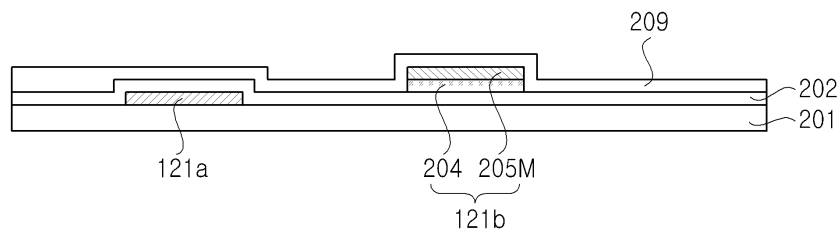
도면7cc



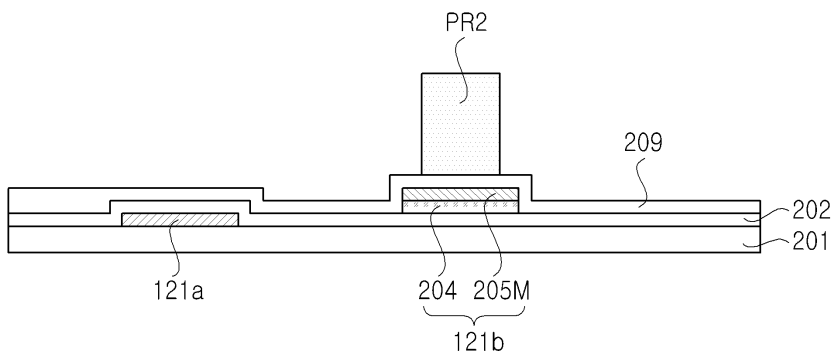
도면7dd



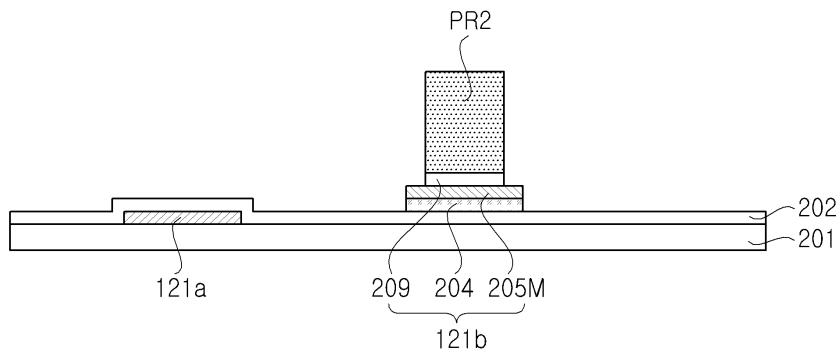
도면7ee



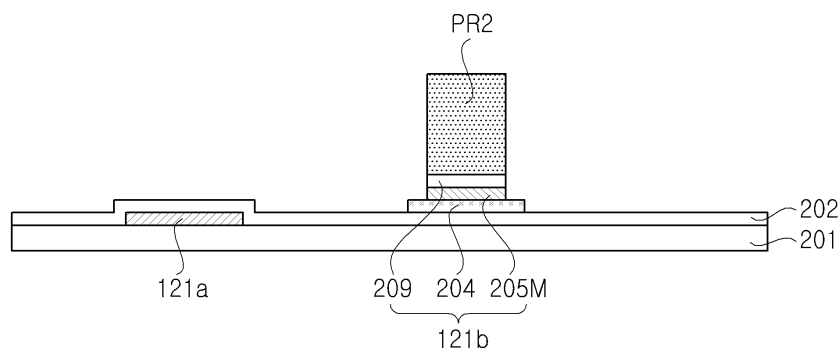
도면7ff



도면7gg



도면7hh



도면7ii

