



(12)发明专利

(10)授权公告号 CN 104541441 B

(45)授权公告日 2018.04.20

(21)申请号 201380042862.4

(72)发明人 Y·胡 M·R·豪可

(22)申请日 2013.08.15

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

(65)同一申请的已公布的文献号

申请公布号 CN 104541441 A

代理人 赵蓉民

(43)申请公布日 2015.04.22

(51)Int.Cl.

(30)优先权数据

61/683,575 2012.08.15 US

H02M 3/10(2006.01)

13/753,722 2013.01.30 US

H02M 3/135(2006.01)

G01R 19/00(2006.01)

(85)PCT国际申请进入国家阶段日

2015.02.12

(86)PCT国际申请的申请数据

PCT/US2013/055124 2013.08.15

(56)对比文件

US 5287055 A, 1994.02.15,

US 2008258697 A1, 2008.10.23,

CN 101902123 A, 2010.12.01,

US 2010188057 A1, 2010.07.29,

US 6215286 B1, 2001.04.10,

(87)PCT国际申请的公布数据

W02014/028727 EN 2014.02.20

审查员 边境

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

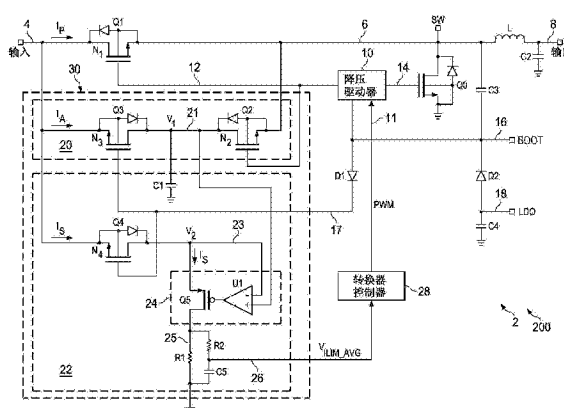
权利要求书4页 说明书8页 附图7页

(54)发明名称

开关式功率转换器电流感测装置和方法

(57)摘要

本申请公开了用于感测在开关式变换器(2)的功率晶体管(FET Q1)中流动的电流的方法和装置,其中感测连接在与该功率晶体管(FET Q1)并联的串联电路支路(20)中的第一场效应晶体管(Q3)两端的电压,并且所感测的电压被用于生成输出信号(26)以指示在该功率晶体管中流动的电流(I_P)。



1. 一种用于感测在开关式转换器的功率晶体管中流动的电流的感测装置,其包括:

开关式转换器电路,其包括功率晶体管,所述功率晶体管可连接到输入电压源并且具有第一端子和第二端子以及用于接收脉宽调制信号即PWM信号的栅极端子;

第一场效应晶体管,其连接在所述功率晶体管的所述第一端子与第一电路节点之间,并且包括由来自恒定电压源的恒定电压驱动的第一栅极端子;

第二场效应晶体管,其连接在所述第一电路节点与所述功率晶体管的所述第二端子之间,所述第二场效应晶体管包括与所述功率晶体管的所述栅极端子连接的第二栅极端子,所述第一场效应晶体管和所述第二场效应晶体管形成与所述功率晶体管并联的串联电路支路;以及

与所述第一场效应晶体管耦合的感测电路,所述感测电路至少部分基于所述第一场效应晶体管两端的电压提供表示在所述功率晶体管中流动的电流的输出信号,并且包括连接在所述功率晶体管的所述第一端子与第二电路节点之间的感测场效应晶体管,所述感测场效应晶体管具有与所述第一场效应晶体管的所述第一栅极端子连接并由施加于所述第一场效应晶体管的所述栅极的所述恒定电压驱动的栅极端子。

2. 一种用于感测在开关式转换器的功率晶体管中流动的电流的感测装置,其包括:

开关式转换器电路,其包括功率晶体管,所述功率晶体管具有第一端子和第二端子以及栅极端子;

第一场效应晶体管,其连接在所述功率晶体管的所述第一端子与第一电路节点之间,并且包括由恒定电压驱动的第一栅极端子;

第二场效应晶体管,其连接在所述第一电路节点与所述功率晶体管的所述第二端子之间,所述第二场效应晶体管包括与所述功率晶体管的所述栅极端子连接的第二栅极端子,所述第一场效应晶体管和所述第二场效应晶体管形成与所述功率晶体管并联的串联电路支路;

与所述第一场效应晶体管耦合的感测电路,所述感测电路至少部分基于所述第一场效应晶体管两端的电压提供表示在所述功率晶体管中流动的电流的输出信号,并且包括连接在所述功率晶体管的所述第一端子与第二电路节点之间的感测场效应晶体管,所述感测场效应晶体管具有与所述第一场效应晶体管的所述第一栅极端子连接并由所述恒定电压驱动的栅极端子;以及

耦合在所述第一电路节点与所述电路接地端之间的电容,

其中所述感测电路进一步包括:

放大器电路,其包括:

运算放大器,其具有与所述第二电路节点耦合的第一输入端和与所述第一电路节点耦合的第二输入端,以及

输出场效应晶体管,其具有与所述运算放大器的输出端连接的栅极端子、与所述第二电路节点连接的源极端子以及在所述放大器电路的输出端处提供电流输出的漏极端子,所述电流输出表示在所述功率晶体管中流动的电流;以及

至少一个电阻,其耦合在所述放大器电路的所述输出端与电路接地端之间以从所述放大器电路接收所述电流输出。

3. 根据权利要求2所述的感测装置,其包括:

连接在所述第一电路节点与所述运算放大器的所述第二输入端之间的第一滤波电阻；
连接在所述运算放大器的所述第二输入端与所述功率晶体管的所述第一端子之间的第一滤波电容；

连接在所述第二电路节点与所述运算放大器的所述第一输入端之间的第二滤波电阻；
以及

连接在所述运算放大器的所述第一输入端与所述功率晶体管的所述第一端子之间的第二滤波电容。

4. 根据权利要求2所述的感测装置,其中使用在集成电路的半导体主体中形成的相应整数个匹配晶体管单元来单独形成所述功率晶体管、所述第一场效应晶体管、所述第二场效应晶体管以及所述感测场效应晶体管。

5. 根据权利要求4所述的感测装置,其中形成所述功率晶体管的匹配晶体管单元的数量与形成所述第一场效应晶体管的匹配晶体管单元的数量之比大于5。

6. 根据权利要求2所述的感测装置,其中使用在集成电路的半导体主体中形成的相应整数个匹配晶体管单元来单独形成所述功率晶体管和所述第一场效应晶体管,并且其中形成所述功率晶体管的匹配晶体管单元的数量与形成所述第一场效应晶体管的匹配晶体管单元的数量之比大于5。

7. 根据权利要求2所述的感测装置,其中使用在集成电路的半导体主体中形成的相应整数个匹配晶体管单元来单独形成所述功率晶体管、所述第一场效应晶体管以及所述第二场效应晶体管。

8. 根据权利要求7所述的感测装置,其中形成所述功率晶体管的匹配晶体管单元的数量与形成所述第一场效应晶体管的匹配晶体管单元的数量之比大于5。

9. 根据权利要求7所述的感测装置,其中所述开关式转换器包括降压转换器,其中所述功率晶体管是具有与所述开关式转换器的输入端耦合的所述第一端子和与所述开关式转换器的开关节点耦合的所述第二端子的高压侧功率FET,所述集成电路进一步包括具有与所述开关节点耦合的第一端子和与所述电路接地端耦合的第二端子的低压侧功率FET或整流器。

10. 根据权利要求7所述的感测装置,其中所述开关式转换器包括升压转换器,其中所述功率晶体管是具有与升压转换器电感器耦合的所述第一端子和与升压转换器输出端耦合的所述第二端子的高压侧功率FET。

11. 一种用于感测在开关式转换器的功率晶体管中流动的电流的方法,该方法包括:

感测第一场效应晶体管两端的电压,所述第一场效应晶体管与第二场效应晶体管串联连接并在其间具有第一电路节点并且形成与所述功率晶体管并联的电路支路,所述第一场效应晶体管具有由恒定电压驱动的第一栅极端子,所述功率晶体管被连接到由脉宽调制信号即PWM信号控制的输入电压;

至少部分根据所述第一场效应晶体管两端的感测电压提供输出信号,从而指示在所述功率晶体管中流动的电流;并且

进一步包括控制连接在所述功率晶体管的第一端子与第二电路节点之间的感测场效应晶体管的栅极端子,所述感测场效应晶体管具有连接到所述第一场效应晶体管的所述第一栅极端子并由所述恒定电压驱动的栅极端子;

根据来自所述开关式转换器的驱动器电路的所述脉宽调制信号同时接通所述功率晶体管与与所述第一场效应晶体管一起连接在串联电路支路中的第二场效应晶体管;以及感测所述第一场效应晶体管两端的电压。

12. 根据权利要求11所述的方法,其包括至少部分根据所述第一场效应晶体管两端的感测电压使用运算放大器控制输出场效应晶体管的栅极端子,从而提供表示在所述功率晶体管中流动的电流的电流输出。

13. 一种集成电路,其包括:

开关式转换器电路,其包括功率晶体管,所述功率晶体管可连接到输入电压源并且具有第一端子和第二端子以及用于接收脉宽调制信号即PWM信号的栅极端子;

第一场效应晶体管,其连接在所述功率晶体管的所述第一端子与第一电路节点之间并且包括由来自恒定电压源的恒定电压驱动的第一栅极端子;

第二场效应晶体管,其连接在所述第一电路节点与所述功率晶体管的所述第二端子之间,所述第二场效应晶体管包括与所述功率晶体管的所述栅极端子连接的第二栅极端子,所述第一场效应晶体管和所述第二场效应晶体管形成与所述功率晶体管并联的串联电路支路;以及

与所述第一场效应晶体管耦合的感测电路,所述感测电路至少部分基于所述第一场效应晶体管两端的电压提供表示在所述功率晶体管中流动的电流的输出信号,并且

还包括连接在所述功率晶体管的所述第一端子与第二电路节点之间的感测场效应晶体管,所述感测场效应晶体管具有与所述第一场效应晶体管的所述第一栅极端子连接并由施加于所述第一场效应晶体管的所述栅极的所述恒定电压驱动的栅极端子。

14. 根据权利要求13所述的集成电路,其包括:

放大器电路,其包括:

运算放大器,其具有与所述第二电路节点耦合的第一输入端和与所述第一电路节点耦合的第二输入端,以及

输出场效应晶体管,其具有与所述运算放大器的输出端连接的栅极端子、与所述第二电路节点连接的源极端子以及在所述放大器电路的输出端处提供电流输出的漏极端子,所述电流输出表示在所述功率晶体管中流动的电流;以及

至少一个电阻,其耦合在所述放大器电路的所述输出端与电路接地端之间以从所述放大器电路接收所述电流输出。

15. 一种集成电路,其包括:

半导体主体;

开关式转换器电路,其包括具有第一端子和第二端子以及栅极端子的功率晶体管;

第一场效应晶体管,其连接在所述功率晶体管的所述第一端子与第一电路节点之间并且包括由恒定电压驱动的第一栅极端子;

第二场效应晶体管,其连接在所述第一电路节点与所述功率晶体管的所述第二端子之间,所述第二场效应晶体管包括与所述功率晶体管的所述栅极端子连接的第二栅极端子,所述第一场效应晶体管和所述第二场效应晶体管形成与所述功率晶体管并联的串联电路支路;以及

感测电路,其提供表示在所述功率晶体管中流动的电流的输出信号,所述感测电路包

括：

感测场效应晶体管，其连接在所述功率晶体管的所述第一端子与第二电路节点之间，所述感测场效应晶体管具有与所述第一场效应晶体管的所述第一栅极端子连接的栅极端子；

运算放大器，其具有与所述第二电路节点耦合的第一输入端和与所述第一电路节点耦合的第二输入端；以及

输出场效应晶体管，其具有与所述运算放大器的输出端连接的栅极端子、与所述第二电路节点连接的源极端子以及提供电流输出的漏极端子，

所述电流输出表示在所述功率晶体管中流动的电流；以及

至少一个电阻，其耦合在所述输出场效应晶体管与电路接地端之间以接收所述电流输出；

所述功率晶体管、所述第一场效应晶体管、所述第二场效应晶体管以及所述感测场效应晶体管各自包括在所述半导体主体中形成的相应整数个匹配晶体管单元。

开关式功率转换器电流感测装置和方法

技术领域

[0001] 本申请涉及功率转换电路,并且更具体地涉及用于在没有串联感测组件的情况下感测开关式功率转换器电流的装置和方法。

背景技术

[0002] 功率转换电路被用于许多应用,如用在使用来自通用串行总线(USB)连接的外部功率来操作设备和/或为内部电池充电的便携式设备中。在许多实例中,例如根据针对从USB连接汲取功率的设备所公开的说明书,可能需要限制从电源汲取的电流。例如,便携式设备被限制为从USB 2.0连接汲取最多100mA,除非协商了更高的限值(例如,高达500mA)。类似地,USB 3.0连接通常被限制为汲取150mA,除非协商了更高的量(例如,高达900mA)。相应地,许多便携式设备中的功率管理电路借助连接在功率输入端子和高压侧功率FET之间的感测电阻器或感测FET使用板上输入电流感测来提供具有电流极限的输入功率转换。在其他类型的功率转换器中,高压侧电流感测可能也是很重要的,例如用于感测和调节来自升压转换器或降压/升压转换器的输出电流。然而,常规电流感测方法以通过传导流过感测设备的高压侧电流所生成的热量的方式引发显著的功率损耗。此外,感测组件(例如,电阻器或FET)必须被确定尺寸以适应最高水平的输入电流,并且相应地,感测设备以集成电路管芯面积和/或外部板面积的形式占据大量空间,由此增加成本。因此,改进的电流感测装置和技术令人期望,通过其可以减少感测组件功率耗散和/或感测组件尺寸和成本。

发明内容

[0003] 本申请描述了使用与功率FET并联耦合的感测电路感测功率转换器电流的集成电路以及感测装置和方法。相应地,实施例可以有利于在不使用如过去所做的那样串联连接的感测组件的情况下减小感测设备尺寸和功率损耗。因此,所公开的装置和技术在以下各项中具有特别的实用性:便携式电子设备如便携式计算机、膝上计算机、笔记本计算机、PDA、便携式电话、平板计算机、MP3播放器等以及其功率管理集成电路(IC),所述功率管理IC对通过USB或其他外部连接所接收到的功率进行转换。而且,本公开在其中有待测量流过功率转换晶体管的电流的各种应用中具有实用性。

[0004] 本文公开了用于感测流过开关式转换器的功率FET的电流的集成电路及其感测装置。该感测装置包括串联连接的第一和第二FET、并联功率FET以及感测电路,该感测电路至少部分基于第一FET两端的电压提供表示在功率FET中流动的电流的输出。在某些实施例中,该第一FET被连接在高压侧功率FET端子与第一电路节点之间,其中该第一FET由恒定电压栅极信号驱动。某些实施例提供了耦合在该第一电路节点与电路接地端之间的电容。在某些实施方式中,该第二FET被连接在该第一电路节点与该第二高压侧功率FET端子之间,其中该第二FET由用于高压侧功率FET的同一栅极信号所驱动。

[0005] 某些实施例中的感测装置包括感测FET,该感测FET被连接在该第一高压侧功率FET端子与第二电路节点之间并且具有与该第一FET的栅极连接的栅极端子;以及放大器电

路,该放大器电路包括带有耦合至该第一和第二电路节点的输入端的运算放大器;以及输出P型FET,该输出P型FET具有连接至运算放大器输出端的栅极、连接至第二电路节点的源极以及提供表示在该功率晶体管中流动的电流的电流输出的漏极。在一些实施例中,一个或多个电阻器被耦合在放大器输出端与电路接地端之间以从该放大器电路接收电流输出。此外,在某些实施例中,可以横跨电阻器布置滤波电路组件(例如,RC组件)。

[0006] 在某些实施例中,功率FET和感测电路中的所有FET都是使用在集成电路的半导体主体中形成的相应整数个匹配晶体管单元构建而成的。这些整数被选择为使得感测比和感测准确度都能够相对较高,并且整体感测电路能够具有小的管芯面积。因此,操作中的感测组件损失与串联连接的感测设备的常规使用相比可以被显著减小,并且专用于电流感测组件的管芯和/或电路板面积可以被减小。

[0007] 本文还公开了用于感测在开关式功率转换器高压侧功率FET中流动的电流的方法,其包括:感测连接在与高压侧功率FET并联的串联电路支路中的第一FET两端的电压,以及至少部分基于该感测电压提供输出信号以指示在该高压侧功率FET中流动的电流。在某些实施例中,该方法包括根据脉宽调制(PWM)信号同时接通在串联电路支路中连接的功率FET和第二FET,以及感测第一FET两端的电压。此外,可以至少部分根据该感测电压使用运算放大器来控制输出FET的栅极端子,从而提供表示在高压侧功率FET中流动的平均电流的电流输出。某些实施例还涉及用在感测电压时提供给第一FET的栅极的恒定电压来控制连接在第一高压侧功率FET端子与输出FET之间的感测FET。

[0008] 本文提供了集成电路,其包括具有至少一个功率晶体管的开关式转换器电路以及如上所述的感测装置。

附图说明

[0009] 图1是示出具有与高压侧功率FET并联连接的改进的低损耗电流感测电路的开关式降压转换器的示意图;

[0010] 图2是示出图1的转换器中的各种电压和电流波形的图表;

[0011] 图3是示出具有另一电流感测电路实施例的降压转换器的示意图;

[0012] 图4和图5是示出具有感测电路以感测流过升压转换器的高压侧功率FET的输出电流的开关式升压转换器的示意图;

[0013] 图6是示意性示出利用匹配的单元晶体管在集成电路半导体主体中单独形成的感测电路的场效应晶体管的部分侧视图;以及

[0014] 图7是示出包括降压转换器和用于反向阻塞及充电电流感测的功率FET(Q6)的示例性开关式充电器电路的示意图。

具体实施方式

[0015] 图1示出了包括开关式降压转换器2的集成电路(IC)200,该开关式降压转换器具有与高压侧功率FET Q1并联连接的输入电流感测装置30。转换器2可以是在便携式电子设备(例如,膝上计算机、便携式电话等)中采用的功率管理IC 200的一部分,并且具有输入端子或节点4(IN),高压侧功率FET Q1从该输入端子或节点汲取电流 I_P 。这种降压转换器应用通常出于遥测的目的而需要输入电流感测,如在膝上PMIC应用中。图示的实施例中的高压

侧功率FET Q1是N沟道LDMOS,尽管可以使用其他形式和类型的功率晶体管。在图示的示例中,Q1的漏极(D)与输入端子4连接,并且Q1的源极(S)与开关节点(SW)6连接,其中低压侧N沟道LDMOS Q0耦合在开关节点6与电路接地端之间。开关节点6经由降压转换器电感器L连接至输出端或电池端子8。在图示的示例中,高压侧器件Q1和低压侧器件Q0使用电感L形成降压转换器以便在降压转换器驱动器电路10的控制下向输出端子8提供稳压DC输出,该降压转换器驱动器电路具有连接在输出节点8与电路接地端之间的输出电容器C2。如图所示,驱动器10向Q1提供栅极驱动信号12,并向Q0提供低压侧栅极驱动信号14。可以使用其他降压转换器拓扑结构,例如,其中低压侧晶体管Q0用二极管(未示出)来代替,该二极管具有与电路接地端连接的阳极和与开关节点6连接的阴极。

[0016] 在某些实施例中,降压驱动器10根据来自转换器控制器28的脉宽调制(PWM)信号或值11提供交变的栅极驱动信号12和14。为了有效地接通高压侧功率晶体管Q1,需要低漏码(LDO)调节器、二极管D2和电容器C3。在操作中,降压驱动器10提供信号14以在Q1关断时接通Q0,从而将电容器C3充电至高达LDO输出电压值(例如,在某些实施方式中为5V)。一旦Q0被关断,BOOT节点16处于比开关节点6高出近似5V的电压(例如,在Q1被接通之后并且输入为5V时为10V),并且驱动器电路10提供高压侧栅极驱动信号12,以便正栅极-源极电压电平足以接通高压侧晶体管Q1。而且,如在图1中所见,BOOT节点16经由第一二极管D1连接至感测电路栅极驱动信号节点17,并且第二二极管D2具有与BOOT节点16连接的阴极和与稳压电源电压节点18连接的阳极(LDO,例如,在一个示例中为5V DC),其中电容器C4连接在电源节点18与电路接地端之间。

[0017] 可以为转换器控制器28提供一个或多个反馈信号或值,以便调节输出节点8处的输出,并且在图示的示例中转换器控制器28从感测装置30(V_{ILIM_AVG})接收表示流过高压侧功率晶体管Q1的输入电流I_P的输出信号26。在操作中,转换器控制器28提供PWM信号或值11,以便强制实施最大输入电流限制,例如,通过将感测装置输出信号26与预定义阈值进行比较并且控制降压转换器2的操作以便不超过阈值限制。特别地,可以将预定义阈值设置成例如处于对应于100mA的水平,并且针对USB 2.0操作可以使用例如在500mA左右的第二阈值(例如,对于USB 3.0为150mA/900mA)。

[0018] 图1示出用于感测功率晶体管电流I_P的感测装置或感测电路30的一个实施例,其包括与功率晶体管Q1并联连接的辅助串联电路支路20以及提供输出信号26的感测电路22。辅助电路20横跨Q1连接在输入节点4和开关节点6之间,并包括第一辅助(例如,高压侧感测辅助)晶体管FET Q3和第二晶体管FET Q2的串联组合,其中Q3的源极端子连接至输入节点4,Q2的源极端子连接至开关节点6,并且第一电路节点21与辅助电路晶体管Q2和Q3的漏极端子接合。另外,Q2的栅极(G)由来自降压驱动器10的高压侧栅极驱动信号12驱动,而Q3的栅极由节点17处的恒定电压驱动。如在图1中所见,Q2和Q3的操作允许穿过并联电路20的辅助电流I_A的选择性传导,并且示例性辅助晶体管Q2和Q3被构建为使得辅助电流I_A显著小于流过高压侧功率FET Q1的功率电流I_P。因此,与采用在输入节点4与高压侧功率FET Q1之间串联的感测设备(例如,精密感测电阻器或感测FET)的常规输入电流感测技术相比,图示的辅助电路20被用于在没有耗散显著的功率量的情况下进行电流感测,并使用具有能够显著小于常规串联连接的感测电阻器或感测FET的集成电路管芯或电路板面积的组件Q2和Q3。穿过并联电路20的辅助电流I_A还去向输出端,因为它提供与功率晶体管电流I_P并联的路径。

[0019] 另外,常规功率管理电路通常采用连接至将串联连接的感测FET与高压侧功率FET接合的节点的中点电容器。在图1的配置中不需要这种中点电容器,其中在某些实施例中,滤波电容器C1可以连接在第一电路节点21与电路接地端之间,其中电容器C1的数值以及因此其物理尺寸和成本可以显著低于之前所采用的中点电容器。而且,对大型中点电容器的现有依赖通常需要使用与功率管理IC连接的外部中点电容器组件,然而,图示的实施例中的IC200可以采用图1中所示的片上滤波电容器C1,由此减少与集成电路200的外部连接的数量。就此而言,通道滤波(pass filtering)在这种电流感测应用中可能是有益的,尤其是在运算放大器U1具有受限的带宽并且不能跟踪高速信号的情况下。

[0020] 此外,如在图1中所见,感测装置30包括被耦合以感测输入节点4与第一内部节点21之间的电压(例如,Q3两端的电压)的感测电路22。感测电路22至少部分基于所感测的Q3两端的电压提供表示在Q1中流动的电流 I_P 的输出信号26。在图1的实施例中,感测电路22包括连接在输入端子4与第二电路节点23之间的感测FET Q4,其中Q4的栅极端子连接至Q3的栅极(例如,在节点17处提供的恒定电压栅极信号)。在操作中,感测电流 I_S 从输入节点4流经Q4流到感测电路22的剩余部分,该剩余部分包括 V_{DS} 匹配放大器电路24,该放大器电路24具有运算放大器(op amp)U1和输出FET Q5,以及连接在放大器电路输出节点25与电路接地端之间的电流感测负载电阻器R1,以及所示的由电阻器R2和电容器C5形成的可选的RC滤波器。滤波器组件R2和C5在此示例中的使用提供了输出信号26,该输出信号表示流过高压侧功率晶体管Q1的过滤电流或平均电流,尽管在感测电路22中没有提供过滤的其他实施例也是可能的。如在图1中所见,辅助电路电流 I_A 对功率损失没有贡献,因为此电流流到开关节点6并从而流到转换器2的输出端。

[0021] 还参照图6,为了提供对功率晶体管电流 I_P 的准确感测并促进减小感测设备功率损耗,在感测装置组件30的某些实施例中可以采用晶体管匹配。特别地,图6示出了具有在半导体主体202(如硅晶片、SOI结构等)中/上形成的多个单元MOS晶体管201的集成电路200。在一种可能的实施方式中,可以使用相应数量 N_2 - N_4 的单元晶体管201来构建一些或全部感测电路晶体管Q2-Q4,这些单元晶体管在某些实施例中可以被制造成LDMOS N沟道单元器件。另外,当在同一集成电路200中实现功率晶体管Q1(和Q0,如果包括在内的话)时,还可以使用一个或多个单元晶体管201来构造这些功率晶体管。

[0022] 图6示出了使用单元MOS晶体管201来构建晶体管Q1-Q4中的两个或更多个。在一个示例中,通过使用晶体管单元201来构建Q1-Q4,这些晶体管中的每一个具有表示连接在一起形成晶体管的单元或“栅极指状物”的数量的相应整数 N_1 - N_4 。为了便于匹配感测装置晶体管的特性,可以将这些建立在集成电路200的半导体主体202的均匀阵列中。例如,Q1可以具有100个指状物($N_1=100$),并且这些可以构建成全部平行或处于平行布置的晶体管单元201的子组中,Q2可以仅具有一个指状物($N_2=1$)并且Q3可以仅具有10个指状物($N_3=10$)。可以扩展此类比例,例如其中 $N_1=1000$,并且 $N_2=10$ 等,其中Q2(以及还有或可替代地Q3)的指状物可以与Q1的那些指状物交织,例如,通过将Q2指状物包括在每组100个Q1指状物之间,以便相对于尺寸和热学特性最大化匹配准确度。而且,如在图6中可见,相邻的单元晶体管201可以在某些实例中共享半导体主体202的源极/漏极区域。

[0023] 所有的个体单元FET 201理想地具有完全相同的沟道长度和宽度尺寸,并且可以根据给定设计不同载流能力要求设置形成FET Q1-Q4中的每一个的FET单元201的数量。

例如,功率转换器设计通常将指定传导高压侧电流 I_P 所需要的单元晶体管201的数量 N_1 。特别地,单元晶体管201的沟道宽度和其他设计参数(例如,电流密度限制)可以确定高压侧功率FET Q1所需要的指状物的数量 N_1 。一旦确定了 N_1 ,可以设置用于其他晶体管Q2-Q4的指状物的数量,从而减小那些晶体管的尺寸并且也在维持较好准确度的同时减小感测电路22中流动的电流的水平。为了将感测电流水平 I_S 设置为与流过Q1的功率电流 I_P 相比相对地小(并因此提高效率并减小功率转换器2的组件尺寸和成本),在某些实施例中将比率 N_1/N_2 设置为大于50,例如在一种实施方式中为约100或更大。比率 N_3/N_2 也被设置得相当高,例如在某些实施例中为约5-10或更大。同样, N_3/N_4 也被设置为约5-10。

[0024] 在一个可能的示例中,晶体管Q1-Q4被构建成具有 $N_1=100$ 、 $N_2=1$ 、 $N_3=10$ 以及 $N_4=2$ 。当Q1打开(导通)时,辅助电路 I_A 和流过Q1的高压侧功率电流 I_P 通过以下等式(1)相关:

[0025] (1) $I_P/I_A = N_1(N_2+N_3)/N_2N_3$ 。

[0026] 由于Q3和Q4被同一栅极驱动电压节点17打开并通过使用单元晶体管201而被匹配,当 V_{ds} 匹配放大器电路24将漏极保持一样时,可以根据以下等式(2)表达流过感测FET Q4的电流 I_S 和 I_A :

[0027] (2) $I_A/I_S = N_3/N_4$ 。

[0028] 基于上述等式(1)和(2),可以由以下等式(3)来描述感测比率:

[0029] (3)
$$N = \frac{I_P}{I_S} = \frac{N_1 \cdot N_3}{N_2 \cdot N_4} \left(1 + \frac{N_2}{N_3} \right),$$

[0030] 其为高压侧平均电流 I_P 与感测电流 I_S 之间的比率。由于 I_P 比 I_A 或 I_S 大得多,因此总输入电流根据以下等式(4)近似地等于 I_P :

[0031] (4)
$$\frac{I_{IN}}{I_S} \approx \frac{I_P}{I_S} = \frac{N_1 \cdot N_3}{N_2 \cdot N_4} \left(1 + \frac{N_2}{N_3} \right)。$$

[0032] 在上文描述的其中 $N_1=100$ 、 $N_2=1$ 、 $N_3=10$ 且 $N_4=2$ 的示例中,上述等式(3)的感测比率“N”是550,并且等式(2)的 I_A/I_S 的比率是5。

[0033] 图2图解说明了示出图1的降压转换器2中的示例性感测装置30的操作的各个波形28。在上部曲线中,共享的高压侧栅极驱动信号12应用于Q1和Q2的栅极,并且在一个示例中用近似10V DC电压(V_{GQ1} 和 V_{GQ2})周期性地打开这些晶体管,其中降压转换器驱动器电路10和转换器控制器28选择性地改变通过信号12所施加的向高走(high-going)的脉冲的宽度,同时施加至Q3和Q4的栅极电压信号17是恒定电压(V_{GQ3} 和 V_{GQ4}),这使得应当基于上述等式(2)根据构建Q3和Q4所使用的单元晶体管201的数量(N_3 和 N_4)使相应的辅助电流 I_A 和感测电流 I_S 相关。

[0034] 如在图1中所见,由于Q4接通,感测电流 I_S 流至放大器电路24的输出FET Q5,其栅极由运算放大器U1的输出所驱动。运算放大器U1进而通过非反相输入端(+)与第一内部节点21(图2中的 V_1)的连接以及反相输入端(-)与连接至Q4的漏极和Q5的源极的电路节点23(V_2)的连接来感测Q3两端的电压。图2示出感测装置30的分别在内部节点21和23处的电压 V_1 和 V_2 ,其中Q1和Q2的激活不改变 V_2 的电平,但会造成 V_1 从第一电压水平(例如,在一个示例中为约5V)稳定地降低,直到Q1和Q2再次关断,并且该模式以Q1和Q2栅极信号12的脉冲宽度进

行重复,所述栅极信号确定下斜倾(ramp-down)时间并因此确定 V_1 波形的下限值。运算放大器U1对节点21和23处的电压之差做出反应,并且运算放大器输出驱动Q5的栅极以试图均衡该电压差。结果,感测电流 I_s 与在高压侧驱动器Q1中流动的电流 I_P 基本上成比例。而且,借助信号12来激励Q1和Q2允许传导功率电流 I_P 和辅助电流 I_A ,其中此示例中的功率电流 I_P 上升到约1安培并且此示例中的辅助电流 I_A 上升到约10mA。如在图2中进一步所见,当高压侧功率FET Q1接通时,开关节点电压(图1中节点6处的 V_{sw})从近似电路接地端(0V)脉跳至近似输入电压(例如,在一个示例中为约5V)。

[0035] 如前所述,所描述的并联电流感测技术与常规电流感测方法相比非常不同,其中感测FET被插入在输入端和高压侧功率FET之间,并且所公开的装置和技术提供了优于常规实施方式的显著优点和改善。特别地,对于同一总导通电阻(R_{dson}),本公开中的Q1和串联晶体管Q2和Q3的管芯面积可以比常规方法的高压侧功率FET和相关感测FET的组合面积小高达75%。另外,本公开中来自Q1的切换损耗将比常规方法中的更低,因为感测FET Q2-Q4比常规电路的大得多的感测FET占据更小的总面积。而且,如果将Q1设计成具有与常规电路中所使用的相同的导通电阻,本公开的实施例将由于功率路径中不存在感测器件(感测电阻器或感测FET)而更加高效。同样,由于图示的装置30中的Q3的导通电阻比常规方法中的感测FET的导通电阻高得多,电路30中的滤波电容器 C_1 的电容可以比针对同一过滤要求的常规方法中的中点电容(C_{PMID})小得多,这使得可以将 C_1 集成在集成电路200中的芯片上。这进而允许减少集成电路封装连接的数量,例如,可以消除常规晶圆芯片级封装(WCSP)实施方式中的PMID球。

[0036] 图3示出了降压转换器2的另一实施例,其中感测装置30a包括用于对提供给运算放大器输入端的信号进行低通滤波的滤波电路组件。在此示例中,第一滤波电阻R3被连接在节点21与运算放大器U1的非反相输入端(+)之间,其中第一滤波电容C6被连接在非反相输入端与输入节点4之间。另外,这种实施方式包括连接在第二电路节点23与U1的反相输入端(-)之间的第二滤波电阻R4,以及连接在U1的非反相运算放大器输入端(+)与输入节点4之间的第二滤波电容C7。在这种情况下,由R3和C6形成的低通滤波器提供了开关波纹衰减并去除所感测的信号的AC分量,并且由R4和C7形成的滤波器将匹配R3和C6并因此具有更好的匹配结果。图1或图3中的降压转换器2可以用在一般的功率转换系统中,或者可以用在具有附加高压侧FET(例如,下文图7中的Q6)的开关式充电器中。

[0037] 参照图4和图5,在包括升压转换器102的功率转换系统中可以采用上文所述的并联电流感测概念。在图4的示例中,升压转换器102提供了用于感测流过高压侧功率FET Q1a的输出电流 I_{OUT} 的电流感测电路30b,其中在某些实施例中可以将升压转换器102加工成单个集成电路200。该系统包括连接在DC输入端IN与节点34之间的转换器电感L,其中升压转换器级102向输出端子36提供输出电流 I_{OUT} 。在该示例中,升压转换器102包括电流感测电路30b,用于感测流过升压转换器高压侧功率FET Q1a的输出电流 I_{OUT} ,其中在图5中进一步展示了电路30b的细节。

[0038] 如在图5中所见,电流感测电路装置30b被耦合在升压转换器高压侧功率FET Q1a两端,该Q1a可以是类似于上文描述的降压转换器高压侧功率FET Q1的N沟道LDMOS。升压转换器102还包括低压侧晶体管Q0a,其可以类似于上文描述的晶体管Q0。升压转换器电感器L连接在输入节点6与开关节点34之间。低压侧功率FET Q0a连接在升压转换器开关节点34与

电路接地端之间,并且高压侧功率FET Q1a具有连接至开关节点34的源极端子、连接至升压转换器输出节点36的漏极端子,并且功率FET Q1a和Q0a分别从升压驱动器电路40接收栅极驱动信号42、44。升压驱动器40进而根据来自转换器控制器28的一个或多个PWM信号41来操作,其中转换器控制器28在某些实施例中根据输出电流反馈信号56 (V_{IOUT}) 来操作。就此而言,转换器控制器28可以基于反馈信号56实现输出电流 I_{OUT} 的任何合适的闭环反馈控制。在操作中,升压驱动器40提供切换控制信号44和42以用于Q0a和Q1a的脉冲宽度调制的切换,并且输出电流感测电路30b被用于感测输出电流 I_{OUT} 。可替代地,可以将感测电流输出 I_s 馈送至外部精密电阻器中以供输出电流遥测使用。

[0039] 图5的示例中的感测装置30b基本上以如上文结合图1的感测装置30所讨论的方式操作,其中晶体管Q3与辅助串联电路支路20中的Q2串联连接,该辅助串联电路支路与高压侧驱动器Q1a并联,其中Q2从升压驱动器40接收栅极驱动信号42,并且Q3借助二极管D1基于BOOT节点16根据内部节点17上的恒定电压栅极驱动信号来操作。相应地,当Q1a和Q2借助信号42打开/接通时,辅助电流 I_A 流过电路20,并且感测电路22感测Q3两端的电压,其中感测FET Q4传导感测电流 I_s ,并且放大器电路24使用运算放大器U1基于输入节点36和23处的电压来调整输出FET Q5。放大器电路24向连接到节点25处的电阻器R1提供感测电流 I_s ,其中通过如上文所述的包括电阻器R2和电容器C5的可选RC低通滤波器从输出节点25提供输出信号56。使用上文如图3中所示的传感器装置30a并结合升压转换器102的其他实施方式也是可能的,其中感测电路30a可以连接至高压侧功率FET Q1a两端的节点34和36,以便在不使用任何串联连接的感测电阻器或感测FET的情况下感测输出电流 I_{OUT} 。而且,升压转换器102可以包括使用如上文结合图6所述的单元晶体管201制造的晶体管(例如,Q1a和Q2-Q4)。

[0040] 如上文所描述的,并联电流感测技术提供优于常规技术的显著优点,其中在常规技术中感测电阻器或感测FET与高压侧功率FET Q1或Q1a串联连接。因此,本公开介绍了用于感测流过开关式转换器2的降压转换器高压侧功率FET Q1的输入电流 I_P 或者流过开关式转换器102的升压转换器高压侧功率FET Q1a的输出 I_{OUT} 的方法,其中感测连接在与功率FET Q1或Q1a并联的串联电路支路20中的第一FET Q3两端的电压,并且至少部分根据所感测的电压提供输出信号26、56,从而表示在功率晶体管Q1、Q1a中流动的电流 I_P 、 I_{OUT} 。该方法可以进一步包括根据来自开关式转换器2或102的驱动器10或40的共享PWM栅极控制信号12或42打开/接通电路支路20的功率晶体管Q1和其他串联连接的FET(例如,Q2),以及感测Q3两端的电压。此外,在某些实施例中,该方法包括至少部分根据所感测的电压使用运算放大器(U1)控制输出FET Q5的栅极端子,以便提供表示流过功率FET Q1的电流 I_P 或流过功率FET Q1a的电流 I_{OUT} 的电流输出(例如,图1中的 I_s)。另外,该方法可以包括控制连接在图1和图3中的降压转换器的节点4或图5中的升压转换器的节点21与输出FET Q5的源极之间的感测FET Q4的栅极处于在感测Q3两端的电压时同样提供给Q3的栅极的恒定电压。

[0041] 图7展示了示例性开关式充电器电路2,其包括降压转换器2和用于反向阻塞和感测提供给电池电路(未示出)的充电电流 I_{CHG} 的高压侧FET Q6。充电器电路2包括如结合图1和图3所描述的由Q1、Q0和电感器L形成的降压转换器,并且另外,耦合在(图7中用LX标识的)节点8与电池充电器输出端子BAT之间的FET Q6提供充电电流感测/反向阻塞。在该实施例中,Q6执行反向阻塞以便当移除充电电源时将电池与输入节点4隔离。当充电电源可用且有效时,Q6完全地打开/接通,并且电路的剩余部分作为降压开关式充电器运行。当该充电

电源被移除或无效时, Q6关断并且开关式充电器停止充电。某种常规电流感测电路60可以用于感测流过Q6的充电电流 I_{CHG} , 因为Q6是完全打开/接通的(而不是开关式的)。由感测电路60提供表示流过Q6的充电电流的信号(例如, 在当前情况下的电压信号) V_{ICHG} , 该充电电流反馈信号在一个实施例中可以由转换器控制器28所采用。另外, 可以横跨如上文所述的降压转换器高压侧FET Q1提供输入电流感测电路30、30a, 从而提供输入平均电流反馈和调节。所描述的并联电流感测的其他实施方式可以被用在一般的开关式转换器和/或开关式充电电路中。

[0042] 本领域技术人员将理解, 可以对所描述的实施例进行修改, 并且在本发明所要求保护的范围内许多其他实施例是可能的。

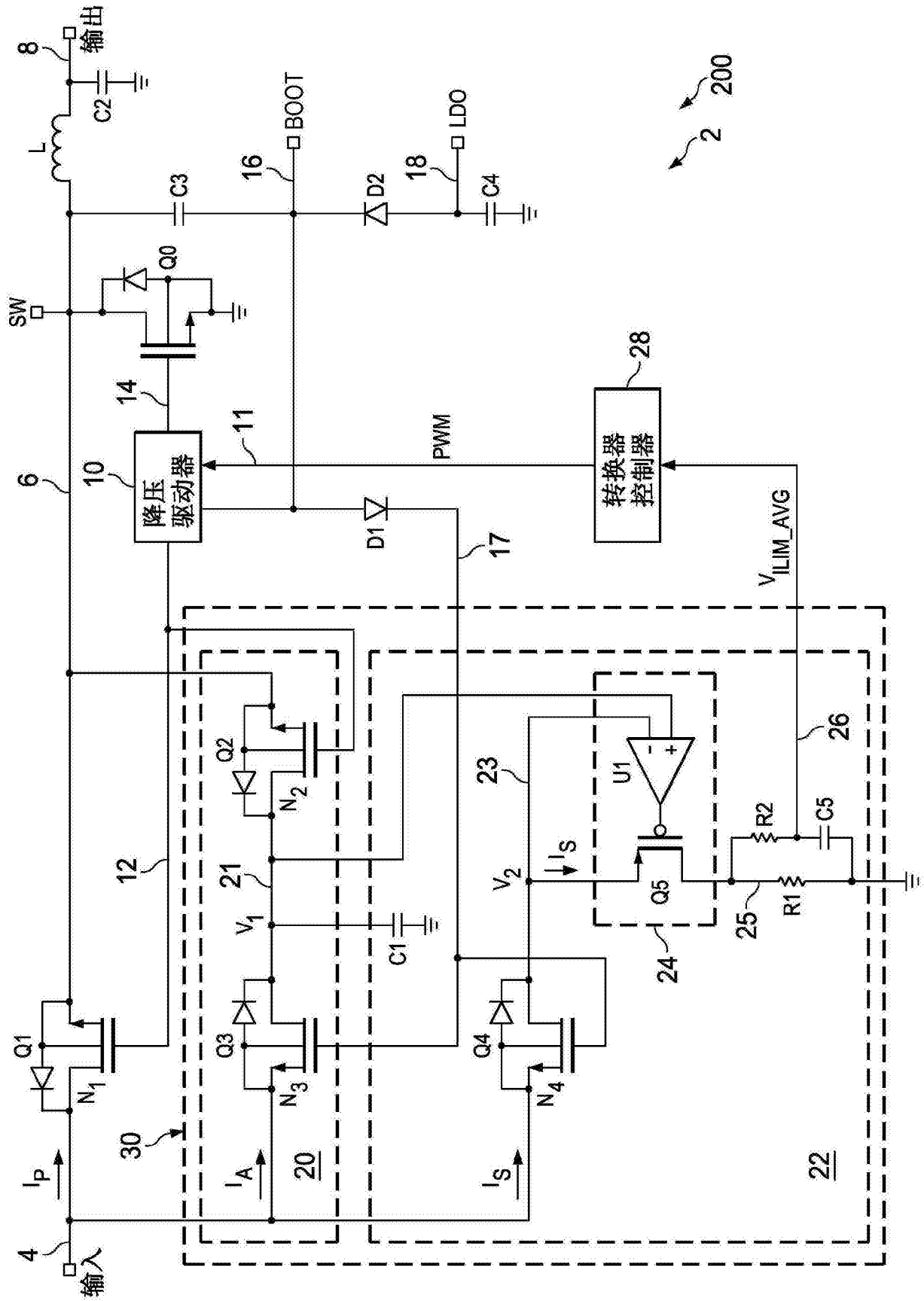


图1

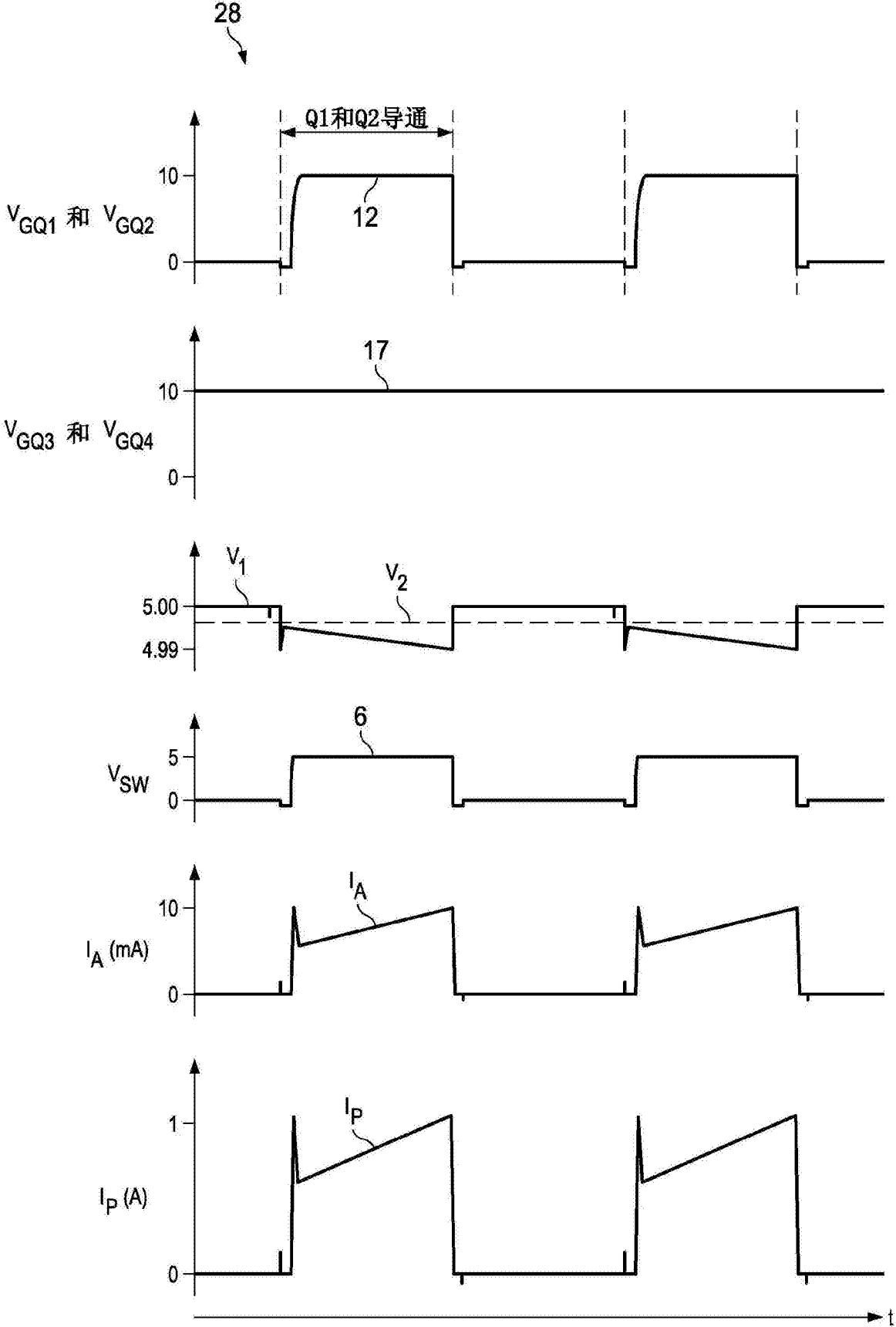


图2

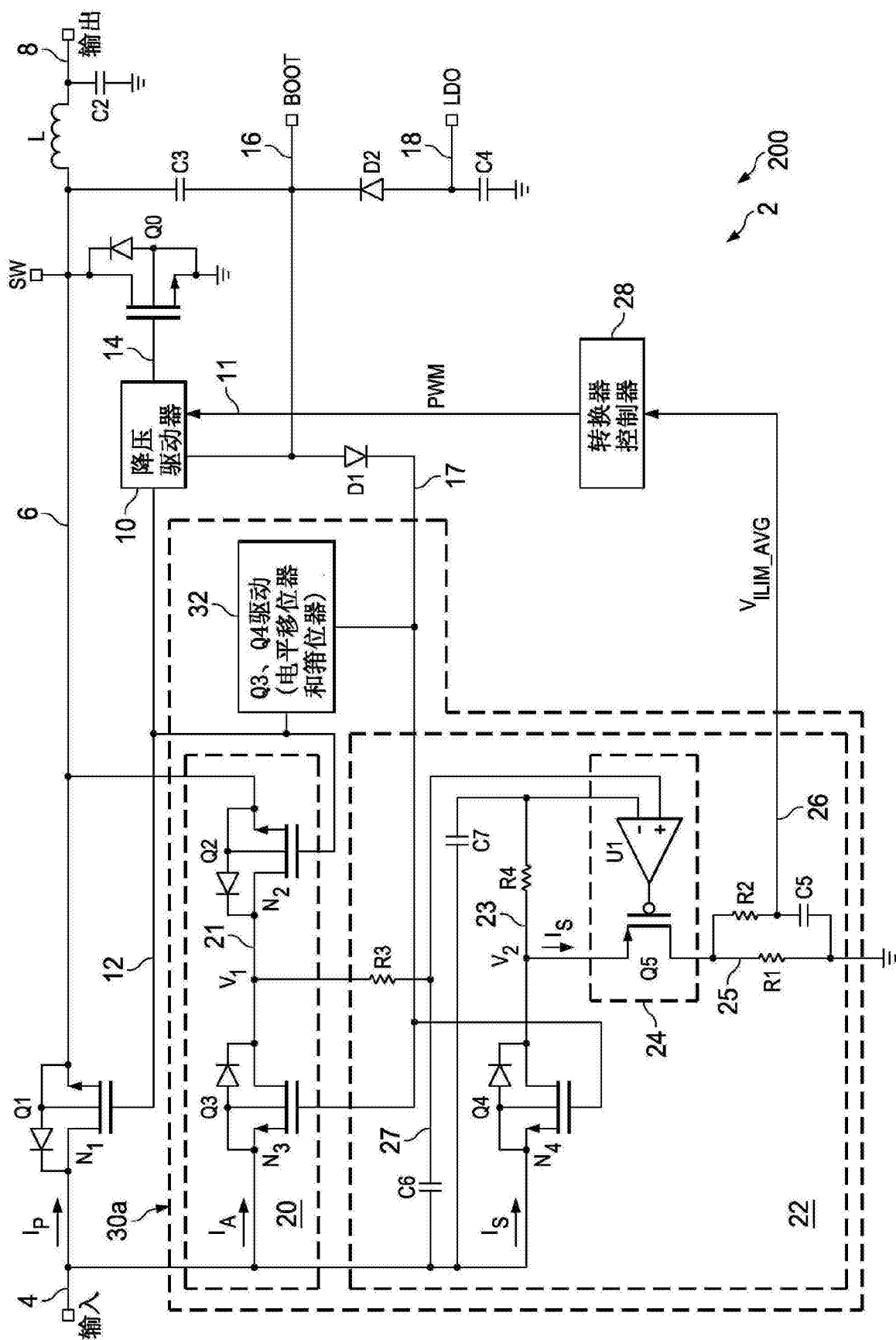


图3

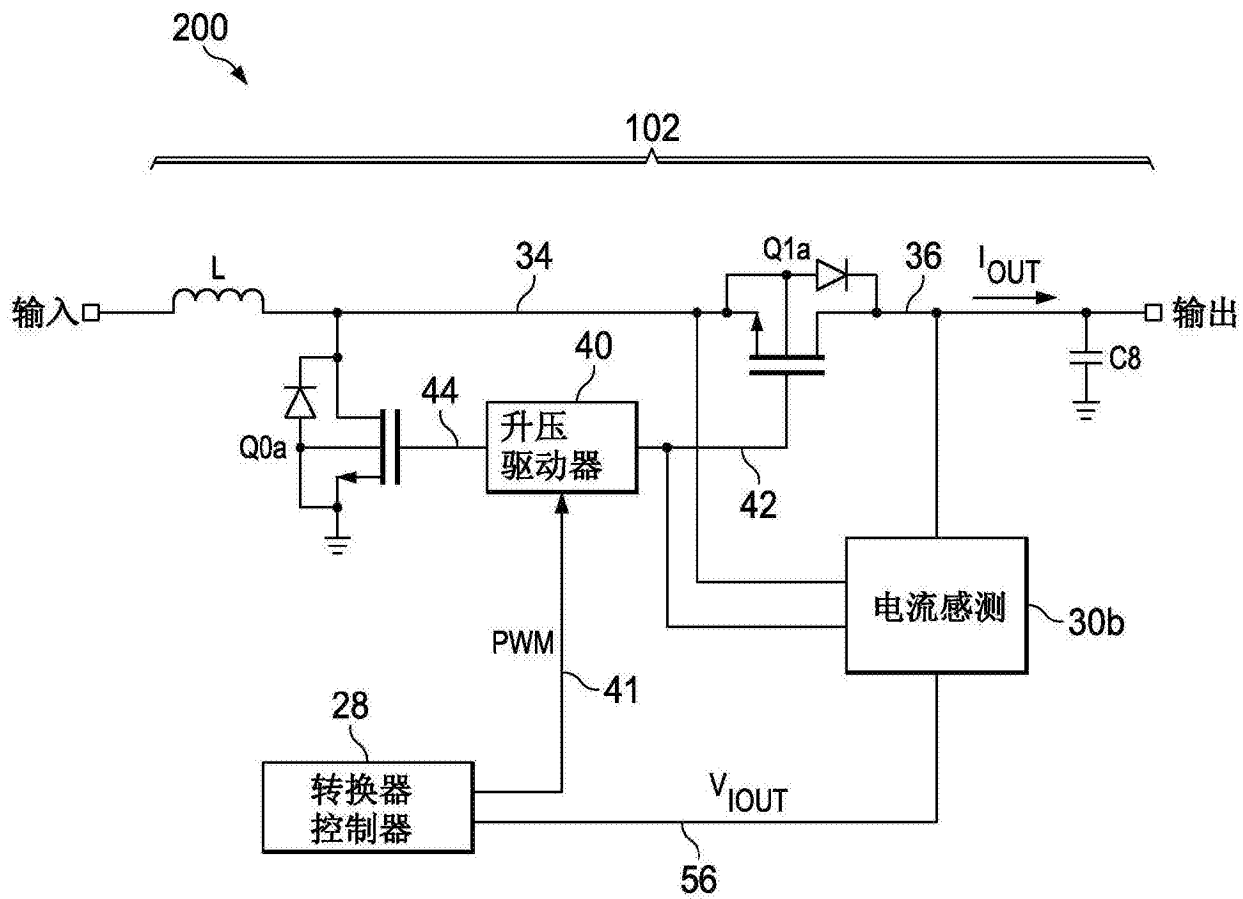


图4

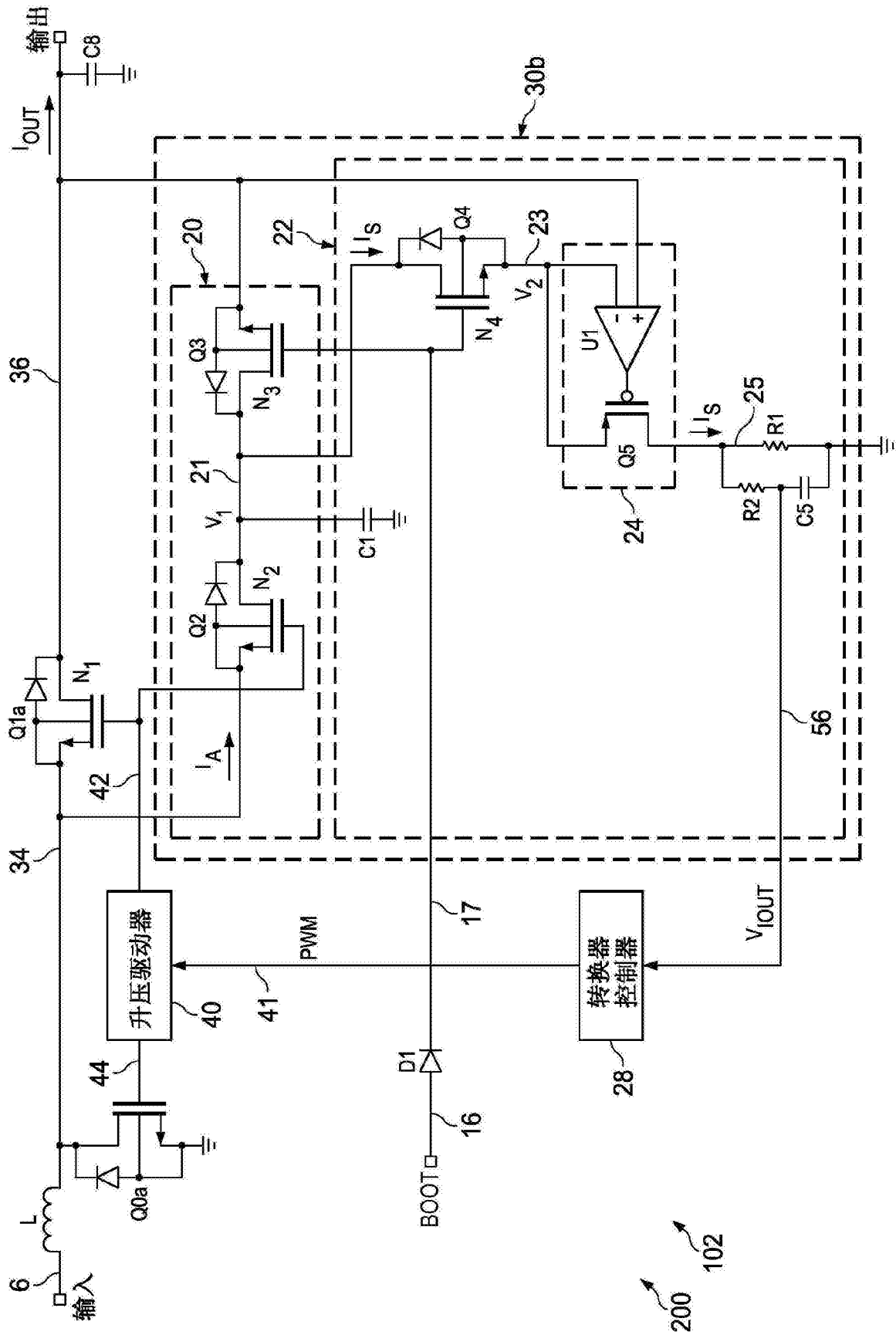


图5

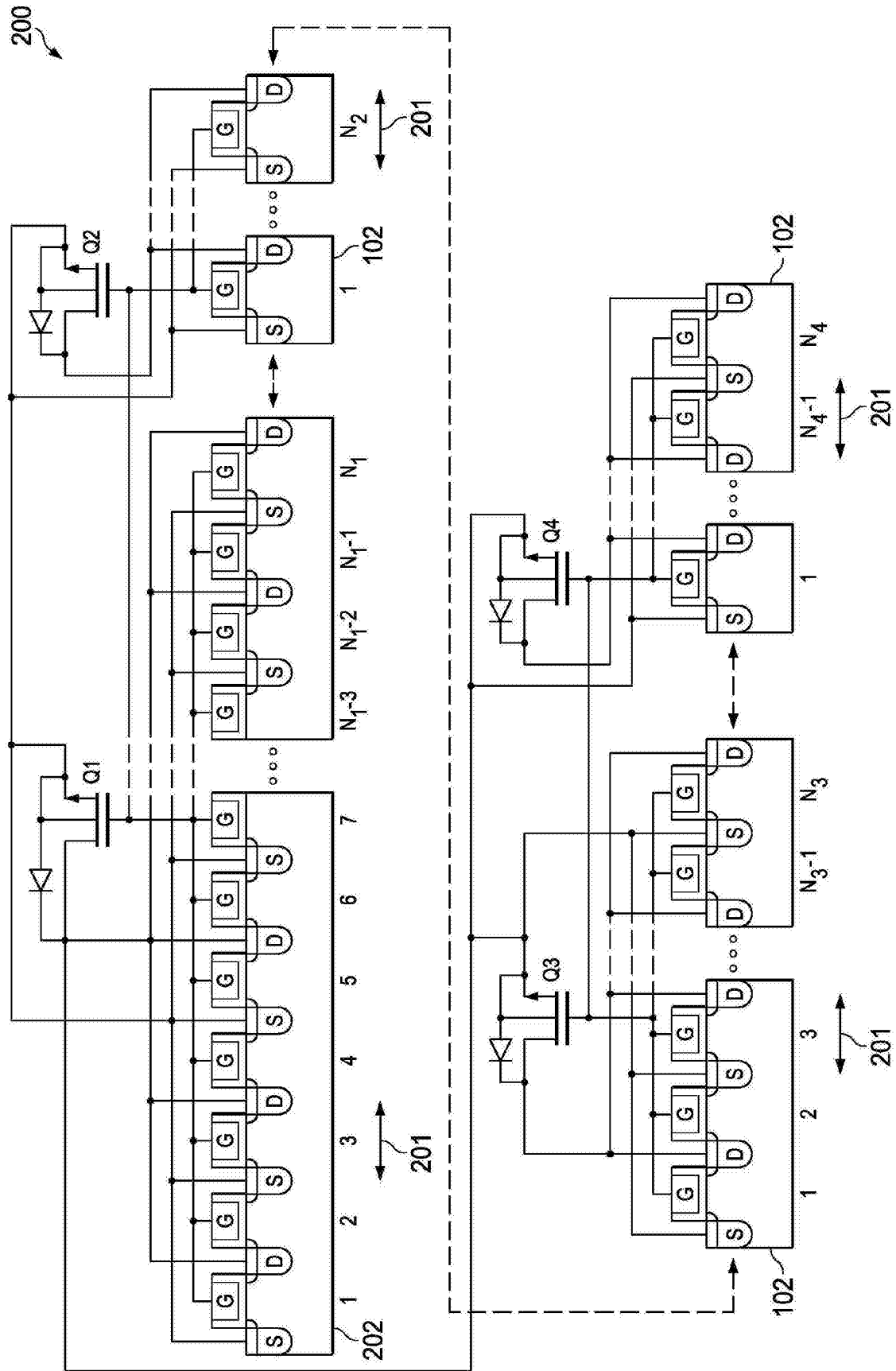


图6

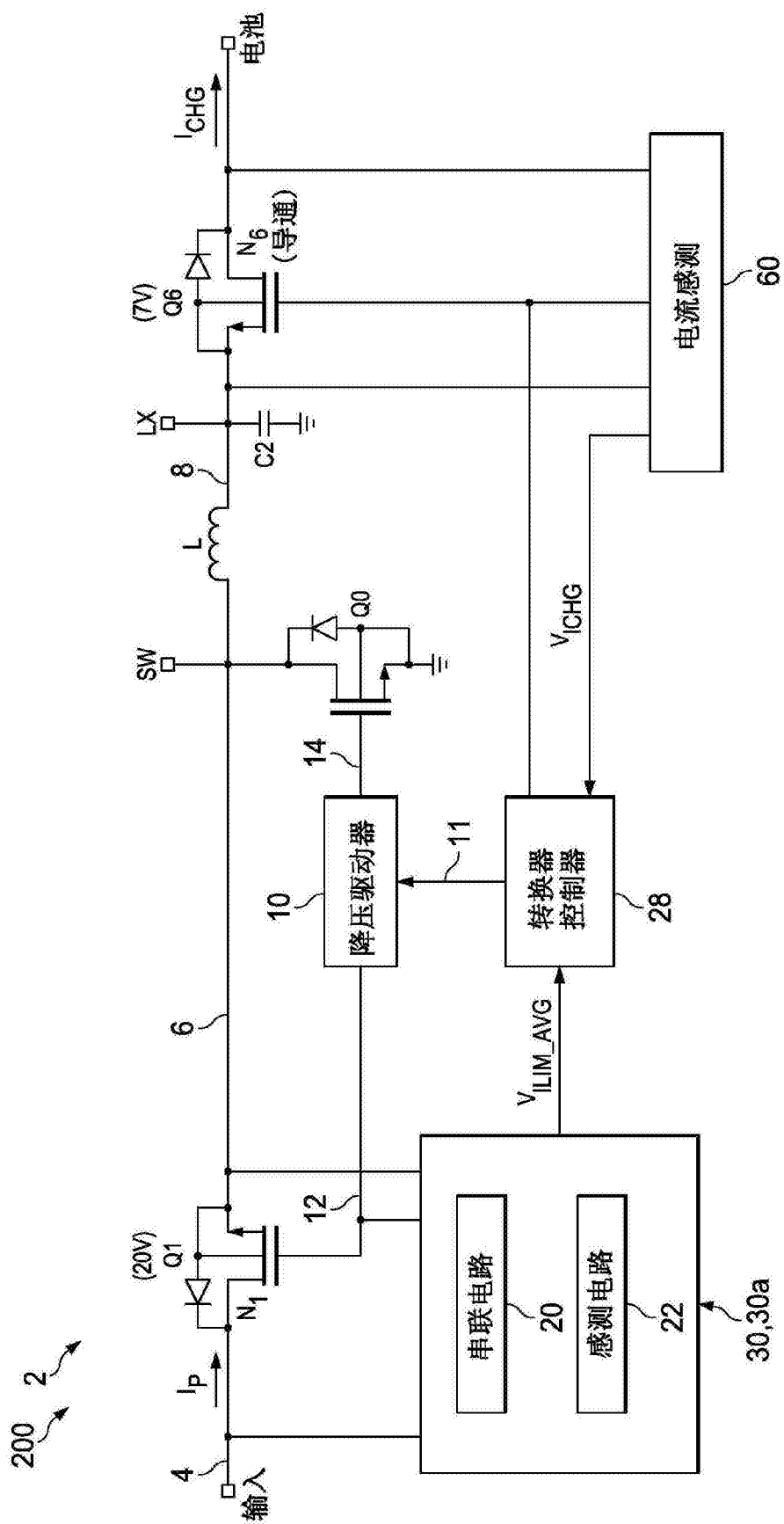


图7