

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/10 (2006.01)

H01L 27/115 (2006.01)

G11C 7/10 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810144033.8

[43] 公开日 2009年1月28日

[11] 公开号 CN 101354921A

[22] 申请日 2008.7.23

[21] 申请号 200810144033.8

[30] 优先权

[32] 2007.7.23 [33] KR [31] 10-2007-0073605

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞416番地

[72] 发明人 李昌炫

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 陆锦华 穆德骏

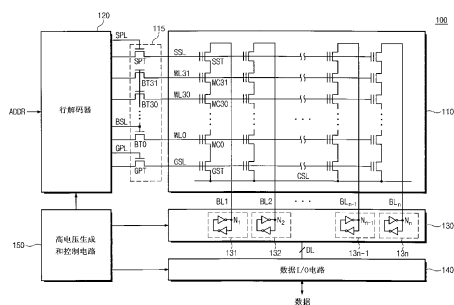
权利要求书3页 说明书20页 附图13页

[54] 发明名称

非易失存储器设备编程选择晶体管以及对其编程的方法

[57] 摘要

一种存储器系统，包括闪速存储器设备和用于控制闪速存储器设备的存储器控制器。该闪速存储器设备包括单元串和与单元串串联连接的选择晶体管。该单元串包括多个串联连接的存储器单元。该选择晶体管与串联连接的存储器单元中的存储器单元具有相同的结构，并且通过沟道热电子注入被编程。



1. 一种用于对 NAND 闪速存储器设备执行编程的方法，该方法包括：

通过沟道热电子注入，来对选择晶体管执行编程；以及
通过福勒诺德海姆(F-N)隧穿，来对选定的存储器单元执行编程。

2. 如权利要求 1 所述的方法，其中所述选择晶体管包括电荷存储层。

3. 如权利要求 1 所述的方法，其中所述选择晶体管包括串选择晶体管或接地选择晶体管之一。

4. 如权利要求 3 所述的方法，其中对所述串选择晶体管执行编程的步骤包括：

向字线和接地选择线施加传输电压；

向位线施加位线电压；以及

向串选择线施加编程电压，

其中所述位线电压包括对所述串选择晶体管执行编程时的第一电压，以及没有对所述串选择晶体管执行编程时的第二电压。

5. 如权利要求 4 所述的方法，其中向所述串选择线施加的所述编程电压是增量式增加的。

6. 如权利要求 4 所述的方法，其中所述第一电压是用于对所述串选择晶体管执行编程禁止的电压，并且所述第二电压是用于对所述串选择晶体管执行编程的电压。

7. 如权利要求 3 所述的方法，其中对所述接地选择晶体管的编程包括：

向字线和串选择线施加传输电压；
向公共源极线施加公共源极线电压；
向位线施加位线电压；以及
向接地选择线施加编程电压，
其中所述位线电压包括对所述接地选择晶体管执行编程时的第三电压，以及没有对所述接地选择晶体管执行编程时的第四电压。

8. 如权利要求 7 所述的方法，其中所述编程电压是增量式增加的。

9. 如权利要求 7 所述的方法，其中所述公共源极线电压是增量式增加的。

10. 如权利要求 9 所述的方法，其中所述第三电压是用于对所述接地选择晶体管执行编程禁止的电压，并且所述第四电压是用于对所述接地选择晶体管执行编程的电压。

11. 一种用于对 NAND 闪速存储器设备执行编程的方法，该方法包括：

擦除选定存储器块中的选择晶体管；
将用于对所述选择晶体管执行编程的数据加载到页面缓冲器中；
通过沟道热电子注入，来对所述选择晶体管执行编程；以及
通过福勒诺德海姆 (F-N) 隧穿，来对选定的存储器单元执行编程。

12. 如权利要求 11 所述的方法，其中所述选择晶体管包括电荷存储层。

13. 如权利要求 11 所述的方法，其中选择性地执行擦除所述选择晶体管的步骤。

14. 如权利要求 11 所述的方法，其中擦除所述选择晶体管的步骤

包括：

向字线施加接地电压；
向串选择线和接地选择线施加第一电压；以及
向块体施加擦除电压。

15. 如权利要求 14 所述的方法，其中所述第一电压是用于禁止过擦除所述选择晶体管的电压。

16. 一种存储器系统，包括：
NAND 闪速存储器设备；以及
存储器控制器，用于控制所述 NAND 闪速存储器设备，该 NAND 闪速存储器设备包括：

包含多个串联连接的存储器单元的单元串；以及
选择晶体管，与所述单元串串联连接并且与所述多个串联连接的存储器单元中的存储器单元具有相同结构，其中通过沟道热电子注入对该选择晶体管执行编程。

17. 如权利要求 16 所述的存储器系统，其中所述 NAND 闪速存储器设备和所述存储器控制器被集成在一个存储器卡中。

18. 一种用于对非易失存储器设备执行编程的方法，该方法包括：
通过沟道热电子注入，来对选择晶体管执行编程；以及
通过福勒诺德海姆 (F-N) 隧穿，来对选定的存储器单元执行编程。

19. 如权利要求 18 所述的方法，其中所述选择晶体管包括电荷存储层。

20. 如权利要求 18 所述的方法，其中所述非易失存储器设备包括 NOR 存储器设备，该 NOR 存储器设备包含存储器单元，并且通过 F-N 隧穿对该存储器单元执行编程。

非易失存储器设备编程选择晶体管以及对其编程的方法

相关申请的交叉引用

本申请要求于 2007 年 7 月 23 日提交的韩国专利申请 No.10-2007-0073605 的优先权，其中该申请的主题在这里引入作为参考。

背景技术

本发明涉及一种半导体存储器设备，并且尤其涉及诸如闪速存储器设备之类的非易失存储器设备的编程选择晶体管，以及对其执行编程的方法。

半导体存储器设备是一种能够根据需要来存储数据和读取被存储数据的存储器设备。通常，半导体存储器设备是随机存取存储器(RAM)或只读存储器(ROM)。RAM 是一种易失存储器设备，它会在没电的时候丢失所存储的数据。ROM 则是一种非易失存储器设备，即使在没电的时候，它也可以保持所存储的数据。RAM 的例子包括动态 RAM (DRAM) 和静态 RAM (SRAM)。ROM 的例子则包括可编程 ROM (PROM)、可擦除 PROM (EPROM)、电 EPROM (EEPROM)、闪速存储器设备等等。通常，闪速存储器设备是 NAND 闪速存储器设备或 NOR 闪速存储器设备。与 NOR 闪速存储器设备相比，NAND 类型的闪速存储器设备具有较高的集成度。

图 1 是典型的 NAND 类型的闪速存储器设备的框图。参考图 1，NAND 闪速存储器设备 10 包括存储器单元阵列 12、行解码器 14 和页面缓冲器 16。

存储器单元阵列 12 包括与字线 $WL_0 \sim WL_{n-1}$ 和位线 $BL_0 \sim BL_{m-1}$ 连

接的多个存储器单元。字线 $WL_0 \sim WL_{n-1}$ 由行解码器 14 驱动，位线 $BL_0 \sim BL_{m-1}$ 则由页面缓冲器 16 驱动。

存储器单元阵列 12 包括多个单元串。每一个单元串都包括串联连接的接地选择晶体管、多个存储器单元以及串选择晶体管。接地选择晶体管与接地选择线 GSL 连接，存储器单元与字线连接，串选择晶体管则与串选择线 SL 连接。

参考图 1，每个存储器单元都包括控制栅极和浮动栅极。相比之下，每个选择晶体管都包含金属氧化物半导体（MOS）晶体管，而不具有附加的浮动栅极。在 NAND 闪速存储器设备中需要附加处理来将选择晶体管实现为 MOS 晶体管。此外，与存储器单元晶体管相比，选择晶体管通常被制造的相对较大，以防止漏泄电流。由此，典型的 NAND 闪速存储器设备具有由于选择晶体管而以及关于它的制造过程的各种限制。

为了克服这些限制，我们可以将选择晶体管设计成与典型的存储器单元具有相同结构。例如，电荷捕获闪速存储器（CTF）使用陷阱层（trap layer）作为电荷存储层，以此取代浮动栅极。在 CTF 中，选择晶体管可以被设计成具有电荷存储层。

但是，当选择晶体管包含电荷存储层时，电荷存储层有可能会用带电电荷充电。这些带电电荷将会改变选择晶体管的阈值电压。换言之，如果无意中将带电电荷充入选择晶体管的电荷存储层，那么该选择晶体管的阈值电压将会改变。这将会导致 NAND 闪速存储器设备发生故障。因此，当选择晶体管包含电荷存储层时，这时需要统一调整选择晶体管的阈值电压，以便正常驱动 NAND 闪速存储器。

发明内容

本发明提供了一种非易失存储器设备，该设备减小了包含电荷存

储层的选择晶体管的阈值电压分布，此外，本发明还提供了一种对其执行编程的方法。

本发明的一个方面提供的是一种用于对 NAND 闪速存储器设备执行编程的方法。该方法包括：通过沟道热电子注入来对选择晶体管执行编程，以及通过福勒诺德海姆（F-N）隧穿方式来对选定的存储器单元执行编程。

在不同实施例中，选择晶体管可以包括电荷存储层。此外，该选择晶体管还可以是串选择晶体管或接地选择晶体管。

在不同实施例中，串选择晶体管的编程可以包括：将传输电压施加于字线和接地选择线、将位线电压施加于位线，以及将编程电压施加于串选择线。位线电压可以包括对串选择晶体管执行编程时的第一电压，以及不对串选择晶体管执行编程时的第二电压。施加于串选择线的编程电压可以增量式增加。同样，第一电压可以是用于抑制对串选择晶体管进行编程的电压，而第二电压是用于对串选择晶体管执行编程的电压。

在不同实施例中，接地选择晶体管的编程可以包括：将传输电压施加于字线和串选择线、将公共源极电压施加于公共源极线、将位线电压施加于位线，以及将编程电压施加于接地选择线。该位线电压可以包括在对接地选择晶体管执行编程时的第三电压，以及在不对接地选择晶体管执行编程时的第四电压。该编程电压可以增量式增加，并且公共源极电压也可以增量式增加。同样，第三电压可以是用于抑制对接地选择晶体管执行编程的电压，并且第四电压可以是用于对接地选择晶体管执行编程的电压。

本发明的另一个方面提供了一种用于对 NAND 闪速存储器设备编程的方法。该方法包括：擦除选定存储器块的选择晶体管、将用于编

程选择晶体管的数据加载到页面缓冲器中、通过沟道热电子注入来对选择晶体管执行编程，以及通过 F-N 隧穿方式来对选定的存储器单元执行编程。

在不同实施例中，选择晶体管可以包括电荷存储层。同样，选择晶体管还可以与 NAND 闪速存储器设备的存储器单元具有相同的结构。

在不同实施例中，擦除选择晶体的处理可以有选择地执行。此外，擦除选择晶体管还可以包括：将接地电压施加于字线、将第一电压施加于串选择线和接地选择线，以及将擦除电压施加于块体 (bulk)。第一电压可以是用于禁止过擦除选择晶体的电压。

本发明的另一个方面提供了一种存储器系统，该系统包括 NAND 闪速存储器设备以及用于控制 NAND 闪速存储器设备的存储器控制器。该 NAND 闪速存储器设备包括包含了串联连接的存储器单元的单元串，以及选择晶体管，该选择晶体管与单元串串联连接并且与串联连接的存储器单元的存储器具有相同结构。该选择晶体管通过沟道热电子注入被编程。该 NAND 闪速存储器设备和存储器控制器可以集成在一个存储器卡中。

本发明的另一个方面提供了一种用于对非易失存储器设备执行编程的方法。该方法包括：通过沟道热电子注入来编程选择晶体管，以及通过 F-N 隧穿方式来编程选定的存储器单元。

在不同实施例中，选择晶体管可以包括电荷存储层。同样，非易失存储器设备可以包括包含了存储器单元的 NOR 存储器设备，其中该存储器单元通过 F-N 隧穿方式被编程。

附图描述

通过包含附图，可以进一步理解本发明，并且这些附图将被引入并构成本说明书的一部分。本发明的实施例是参考附图描述的，其中：

图 1 是示出了典型 NAND 闪速存储器设备的框图；

图 2 是示出了根据本发明例示实施例的 NAND 闪速存储器的单元串结构的截面图；

图 3 是示出了选择晶体管的阈值电压分布的图示；

图 4 是示出了根据本发明例示实施例的 NAND 闪速存储器设备的框图；

图 5 是示出了根据本发明实施例的图 4 中的串选择晶体管 SST 的编程偏压状态的截面图；

图 6 是示出了根据本发明例示实施例、通过增量式增加串选择线的电压来对串选择晶体管执行编程的方法的图和表；

图 7 是示出了根据本发明例示实施例、通过增量式增加位线电压来对串选择晶体管执行编程的方法的图和表；

图 8 是示出了根据本发明例示实施例的图 4 的接地选择晶体管 GST 的编程偏压状态的截面图；

图 9 是示出了根据本发明例示实施例、通过增量式增加接地选择线电压来编程接地选择晶体管的方法的图和表；

图 10 是示出了根据本发明例示实施例、通过增量式增加公共源极线电压来编程接地选择晶体管的方法的图和表；

图 11 是示出了根据本发明例示实施例来对图 4 的 NAND 闪速存储器设备的选择晶体管执行编程的方法的流程图；

图 12 是示出了根据本发明例示实施例的、具有本发明的闪速存储器设备的存储器卡的框图；

图 13 是示出了根据本发明例示实施例的、包含闪速存储器设备的存储器系统的框图。

具体实施方式

本发明的实施例包括：通过使用沟道热电子注入来编程包含电荷存储层的选择晶体管，从而减小选择晶体管的阈值电压分布的方法。

现在将参考示出了本发明例示实施例的附图来对本发明进行更全面的描述。但是，本发明可以采用不同的形式来实施，并且不应该被解释成是仅限于图示实施例。更确切地，这些实施例是为了向本领域技术人员传达本发明的思想而被作为例子提供的。相应地，在这里并未描述与本发明的某些实施例相关的已知的处理、元素和技术。在附图和书面描述中，相同的附图标记将被用于指示相同或相似的元素。

图 2 是示出了根据本发明例示实施例的 NAND 闪速存储器的单元串结构的截面图。参考图 2，单元串包括串选择晶体管 SST、存储器单元 MC0~MC31 以及接地选择晶体管 GST。选择晶体管 SST 和 GST 与存储器单元 MC0~MC31 具有相同的结构。换言之，选择晶体管 SST 和 GST 包含浮动栅极或者电荷陷阱作为电荷存储层。

图 3 是示出了选择晶体管的阈值电压分布的图示。参考图 3，附图标记 11 代表的是选择晶体管的正常阈值电压分布，并且附图标记 12 代表的是异常阈值电压分布。在这里，正常阈值电压意味着该选择晶体管的阈值电压分布允许闪速存储器设备正常操作。对图 3 所示的说明性选择晶体管来说，其正常阈值电压大约是 0.7V。

附图标记 13 示出的是这样一种情形，其中选择晶体管的阈值电压分布低于正常阈值电压分布 11。如果选择晶体管的阈值电压低，那么有可能会无意中对编程禁止的单元执行编程。换言之，当对用于编程禁止的沟道进行升压（boost）时，经升压的沟道的带电电荷有可能会通过串选择晶体管 SST 或接地选择晶体管 GST 而泄漏。因此，编程禁止特性将会急剧恶化。

附图标记 14 示出的是这样一种情形，其中选择晶体管的阈值电压分布高于正常的阈值电压分布 11。如果选择晶体管的阈值电压分布高，那么有可能无法正常使该选择晶体管导通。

举个例子，假设对选择晶体管的栅极和漏级施加电源电压 V_{cc} ，以进行编程禁止，如果该选择晶体管没有正常地导通，那么编程禁止的单元串的沟道电压不会上升。此外，要被编程的单元串的沟道进入浮动状态，以致于不能执行正常的编程操作。当读取单元中存储的数据时，有可能会出现错误。如果选择晶体管没有导通，那么存储器单元的数据有可能会因为过高的阻抗而无法读取。

换句话说，当选择晶体管的阈值电压分布是异常阈值电压分布 12 时，在编程和读取操作期间，NAND 闪速存储器设备有可能会发生故障。举例来说，编程禁止（program inhibit）的单元有可能会被编程，而编程单元则有可能未被编程，或者已存储的数据有可能无法读取。为了避免这些问题，本发明的实施例能够通过沟道热电子注入方法，使得选择晶体管的阈值电压分布与正常阈值电压分布 11 相类似。

图 4 是根据本发明例示实施例的 NAND 闪速存储器设备 100 的框图。参考图 4，NAND 闪速存储器设备 100 包括单元阵列 110、块选择电路 115、行解码器 120、页面缓冲器 130、数据 I/O 电路 140 以及高压生成和控制电路 150。

单元阵列 110 包括多个存储器块，但是出于论述目的，在图 4 中仅仅详细描述了一个存储器块。每一个存储器块都包括多个页面。每一个页面都包括多个存储器单元 MC0~MC31。在 NAND 闪速存储器设备 100 中，存储器块是擦除单位，并且页面是读取或编程单位。

每一个存储器块还包括多个单元串。每一个单元串包括接地选择晶体管 GST、存储器单元 MC0~MC31 以及串选择晶体管 SST。接地选择晶体管 GST 与接地选择线 GSL 连接。存储器单元 MC0~MC31 分别与字线 WL0~WL31 连接。串选择晶体管 SST 与串选择线 SSL 连接。而单元串则连接在对应的位线（例如 BL1）与公共源极线 CSL 之间。

每一个存储器单元都包括控制栅极和电荷存储层。该电荷存储层包括电荷陷阱或浮动栅极。

选择晶体管 GST 和 SST 与每一个存储器单元都具有相同的结构。换言之，选择晶体管 GST 和 SST 具有控制栅极和电荷存储层。但是，根据不同的例示实施例，选择晶体管 GST 和 SST 中的每一个都与存储器单元具有不同的编程方法。每一个存储器单元是通过福勒诺德海姆（F-N）隧穿方式方法被编程的，但是每一个选择晶体管 GST 和 SST 是通过沟道热电子注入方法被编程的，在下文中将会对此进行更详细的描述。

参考图 4，块选择电路 115 连接在单元阵列 110 与行解码器 120 之间。块选择电路 115 包括接地传输晶体管（ground pass transistor）GPT、块晶体管 BT0~BT31 以及串传输晶体管 SPT（string pass transistor）。

接地传输线 GPL 与接地传输晶体管 GPT 的栅极连接，行解码器 120 与接地传输晶体管 GPT 的漏级连接，并且接地选择线 GSL 与接地传输晶体管 GPT 的源极连接。接地传输晶体管 GPT 依照接地传输线 GPL 的电压电平而导通或截止。应该理解的是，在本公开中，漏级和源极的连接是可以互换的，其中举例来说，可以在不脱离本公开的实质和范围的情况下，取决于晶体管类型来进行该互换。

块晶体管 BT0~BT31 分别连接在字线 WL0~WL31 与行解码器 120 之间。块选择线 BSL 与块晶体管 BT0~BT31 的栅极连接。所述块选择线 BSL 是响应于提供给行解码器 120 的块地址而被驱动的。块晶体管 BT0~BT31 可以包括高电压晶体管，对于高于电源电压 V_{cc} 的电压，该高电压晶体管具有高的耐久性。

串传输线 SPL 与串传输晶体管 SPT 的栅极连接。串传输晶体管 SPT 的漏级与行解码器 120 连接，并且源极与串选择线 SSL 连接。根据串传输线 SPL 的电压电平，所述串传输晶体管 SPT 导通或截止。

参考图 4，行解码器 120 通过块选择电路 115 而与存储器单元阵列 110 连接。该行解码器 120 是在高电压生成和控制电路 150 的控制下操作的。行解码器 120 接收地址，并且相应地选择字线。举个例子，行解码器 120 接收块地址并且驱动块选择线 BSL，此外它还接收页面地址并且驱动字线。

行解码器 120 对接地传输晶体管 GPT、块晶体管 BT0~BT31 以及串传输晶体管 SPT 进行控制。此外，施加于接地选择晶体管 GSL、字线 WL0~WL31 以及串选择线 SSL 的电压分别通过接地传输晶体管 GPT、块晶体管 BT0~BT31 以及串传输晶体管 SPT。

页面缓冲器 130 连接在存储器单元阵列 110 与数据 I/O 电路 140 之间。该页面缓冲器 130 通过位线 BL1~BL31 而与存储器单元阵列 110 连接，并且通过数据线 DL 与数据 I/O 电路 140 连接。页面缓冲器 130 由高电压生成和控制电路 150 来控制。页面缓冲器 140 存储的是将要在单元阵列 110 中编程的数据，或者存储的是从单元阵列 110 中读取的数据。

页面缓冲器 130 包括多个页面缓冲单元 131~13n。每一个页面缓冲单元 131~13n 都包括锁存器。页面缓冲器 130 将那些即将编程的数据或读取的数据临时存储在锁存器中。每一个锁存器通常包含了两个反相器以及感测节点 N1~Nn 之一，其中这些感测节点分别与位线 BL1~BLn 连接。

在对存储器单元执行编程的时候，感测节点的电压电平具有大小约为 0V 的接地电压。相比之下，在对选择晶体管执行编程的时候，感

测节点的电压电平具有编程电压。这其中的原因在于：存储器单元是通过使用 F-N 隧穿方式被编程的，而选择晶体管是通过使用沟道热电子注入被编程的。在下文中将会对此进行更详细的描述。

数据 I/O 电路 140 通过数据线 DL 而与页面缓冲单元 131~13n 连接。该数据 I/O 电路 140 将外部输入的数据传送到页面缓冲器 130 中，或者输出从页面缓冲器 130 提供的的数据。数据 I/O 电路 140 是由高电压生成和控制电路 150 控制的。

高电压生成和控制电路 150 对 NAND 闪速存储器设备 100 的一般操作进行控制。该高电压生成和控制电路 150 对行解码器 120、页面缓冲器 130 以及数据 I/O 电路 140 进行控制。高电压生成和控制电路 150 在编程操作期间生成编程电压、在读取操作期间生成读取电压，此外在擦除操作期间生成擦除电压。

参考图 4，NAND 闪速存储器设备 100 包括与存储器单元具有相同结构的选择晶体管。根据本发明的不同实施例，存储器单元是使用 F-N 隧穿方式被编程的，而选择晶体管是使用沟道热电子注入被编程的。由于选择晶体管是使用沟道热电子注入被编程的，因此，选择晶体管的对应阈值电压分布可以减小。

图 5 是示出了根据本发明例示实施例的图 4 的串选择晶体管 SST 的编程偏压状态的截面图。为了简化论述，在图 5 中只示出了与串选择晶体管 SST 相邻的存储器单元 MC31 以及例示位线。

参考图 5，传输电压 V_{PASS} （例如大约 5V）被施加到图 4 的存储器单元 MC0~MC31 的字线 WL0~WL31 上。传输电压 V_{PASS} 也被施加到图 4 的接地选择线 GSL 上，并且公共源极线 CSL 是接地的。在这种偏压状态下，接地电压（如 0V 所示）被施加于串选择晶体管 SST 的源极 S。

在位线 BL 上施加位线电压 V_{BL} (例如大约 1.5V 至大约 5.5V)。然后, 向串选择晶体管 SST 的栅极施加编程电压 V_{PGM} (例如大约 5V)。在不同实施例中, 串选择晶体管 SST 的栅极电压或位线电压可以在后续的编程操作中增量式增加。在下文中将会参考图 6 和图 7 来对此进行更详细的描述。

在这种偏压状态下, 串选择晶体管 SST 是使用沟道热电子注入被编程的。在块体 (bulk) PPWELL 上施加大约 0V 或大约 -1.5V 的电压。可以向块体 PPWELL 施加负电压, 以便于增加串选择晶体管 SST 的栅极与沟道之间的电场。

图 6 是示出了根据本发明例示实施例、通过增量式增加串选择线的电压来对串选择晶体管执行编程的方法的图和表。

首先, 参考图 6 表格中的第一列, 在位线 BL 上施加位线电压 V_{BL} 。该位线电压 V_{BL} 是高到足以允许通过沟道热电子注入来编程串选择晶体管的电压 (例如大约 1.5V 至大约 5.5V)。传输电压 (例如大约 5V) 被施加到每一条字线 WL 上。编程电压 V_{PGM} (例如大约 5V) 被施加到图 4 的串选择线 SSL 上。这时, 共享串选择线 SSL 的串选择晶体管 SST 被同时编程。此外, 编程电压 V_{PGM} 还可以增量式增加。在块体 PPWELL 上施加了大约 0V 或大约 -1.5V 的电压。向块体 PPWELL 施加负电压的原因是为了增加串选择晶体管 SST 的栅极与沟道之间的电场。

所有串选择晶体管 SST 都必须在预定电平的阈值电压 (例如大约 0.7V) 以上被编程。预定电平的阈值电压可以被称为验证电压。

接下来执行的是编程验证操作。这时, 在位线 BL 上施加预定电压 (例如大约 0.7V)。在串选择线 SSL 上施加验证电压 (例如大约 0.7V)。在每一条字线 WL 上施加传输电压 V_{PASS} (例如大约 5V)。

当编程验证操作指示编程验证结果时，对于编程通过的串选择晶体管 SST，将不会重复执行编程操作。这时，编程禁止电压（在这里 $V_{BL}=V_{IHB}$ ）被施加于编程通过的串选择晶体管 SST 的位线 BL。编程电压 V_{IHB} 是足够低到不允许通过沟道热电子注入来对串选择晶体管 SST 执行编程的电压。

串选择晶体管 SST 的编程电压 V_{PGM} 或编程禁止电压 V_{IHB} 被图 4 的页面缓冲器 130 的锁存器控制。换言之，当编程验证结果是编程通过时，锁存器的感测节点（例如 N1）将被变成约为 0V 的编程禁止电压。这与存储器单元编程方法的结果正好相反。在存储器单元中，当编程验证结果是编程通过时，锁存器的感测节点（例如 N1）变成电源电压 V_{CC} 。

当编程验证结果指示的是编程失败的串选择晶体管 SST 时，编程电压 V_{PGM} 将会例如以预定的增量增加，并且编程操作重复执行。编程禁止电压不施加于位线 BL。在图 6 所示的例子中，如有必要可以将编程电压 V_{PGM} 从大约 5V 以 0.5V 的增量增加到大约 6.5V。通过重复执行这些操作，每一个串选择晶体管 SST 都能够具有正常的阈值电压分布（例如图 3 的阈值电压分布 11）。

图 7 是示出了根据本发明例示实施例、通过增量式增加位线 BL 的电压来对串选择晶体管执行编程的方法的图和表。

首先，在图 4 所示的所有位线 $BL_1 \sim BL_n$ 上施加大约为 1.5V 的位线电压 V_{BL} 。在每一条字线 WL 上施加传输电压（例如大约 5V）。在图 4 的串选择线 SSL 上施加编程电压 V_{PGM} （例如大约 5V）。在块体 PPWELL 上施加大约 0V 或大约 -1.5V 的电压。在块体 PPWELL 上施加负电压的原因是为了增加串选择晶体管 SST 的栅极与沟道之间的电场。这时，每一个串选择晶体管 SST 的阈值电压都会提高。

接下来将会执行编程验证操作。此时，在位线 BL 上施加预定电压(例如大约 0.7V)。在串选择线 SSL 上施加验证电压(例如大约 0.7V)。此外，在每一条字线 WL 上施加传输电压 V_{PASS} (例如大约 5V)。

当编程验证结果是编程通过时，对于编程通过的串选择晶体管 SST，不重复执行编程操作。在与编程通过的串选择晶体管 SST 连接的位线 BL 上施加编程禁止电压 V_{IHB} (大约 0V)。当编程验证结果是编程失败时，在与编程失败的串选择晶体管 SST 连接的位线 BL 上所施加的位线电压 V_{BL} 将会增量式增加，然后该编程操作将会重复执行。在图 7 所示的例子中，如有必要，位线电压 V_{BL} 可以以 0.5V 的增量从大约 1.5V 增加到大约 3V。通过重复执行这些操作，每一个串选择晶体管 SST 都能具有正常的阈值电压分布(例如图 3 的阈值电压分布 11)。

图 8 是示出了根据本发明例示实施例的图 4 的接地选择晶体管 GST 的编程偏压状态的截面图。为了简化论述，在图 8 中仅仅图示了与接地选择晶体管 GST 相邻的存储器单元 MC0 以及公共源极线 CSL，来描述偏压状态。

参考图 8，在图 4 的存储器单元 MC0~MC31 的字线 WL0~WL31 上施加传输电压 V_{PASS} (例如大约 5V)。在图 4 的串选择线 SSL 上施加传输电压 V_{PASS} ，并且图 4 的位线 BL0~BLn 是接地的。在这种偏压状态下，在接地选择晶体管 GST 的漏级 D 上施加接地电压(如 0V 所示)。

在公共源极线 CSL 上施加公共源极线电压 V_{CSL} (例如大约 1.5V 至大约 5.5V)。然后，在接地选择晶体管 GST 的栅极上施加编程电压 V_{PGM} (例如大约 5V)。在不同实施例中，在后续编程操作中，可以增量式增加接地选择晶体管 GST 的栅极电压或公共源极线电压。在下文中将会参考图 9 和 10 来对此进行更详细的描述。

在这种偏压状态下，接地选择晶体管 GST 是通过沟道热电子注入被编程的。在块体 PPWELL 上施加大约 0V 或大约 -1.5V 的电压。可以在块体 PPWELL 上施加负电压，以便于增加接地选择晶体管 GST 的栅极与沟道之间的电场。

图 9 是示出了根据本发明例示实施例、通过增量式增加接地选择线电压来对接地选择晶体管执行编程的方法的图和表。

首先参考图 9 表格中的第一列，在公共源极线 CSL 上施加了公共源极线电压 V_{CSL} （例如大约 1.5V 至大约 5.5V）。然后，在每一条字线 WL 上施加传输电压 V_{PASS} （例如大约 5V）。在位线 BL 上施加接地电压。在图 4 的接地选择线 GSL 上施加编程电压 V_{PGM} （例如大约 5V）。此时，共享接地选择线 GSL 的接地选择晶体管 GST 被同时编程。在块体 PPWELL 上施加大约 0V 或大约 -1.5V 的电压。在块体 PPWELL 上施加负电压的原因是为了增加接地选择晶体管 GST 的栅极与沟道之间的电场。

所有接地选择晶体管 GST 都必须在预定电平的阈值电压（例如大约 0.7V）以上编程。这个预定电平的阈值电压被称为验证电压。

接下来，执行编程验证操作。此时，在公共源极线 CSL 上施加预定电压（例如大约 0.7V）。在接地选择线 GSL 上施加验证电压（例如大约 0.7V）。在每一条字线 WL 上施加传输电压 V_{PASS} （例如大约 5V），并且在位线 BL 上施加了接地电压。

当编程验证操作指示编程验证结果时，对于编程通过的接地选择晶体管 GST，不重复执行编程操作。此时，在编程通过的接地选择晶体管 GST 的位线 BL 上施加编程禁止电压（在这里 $V_{BL}=V_{IHB}$ ）。该编程禁止电压 V_{IHB} 是足够低到不允许通过沟道热电子注入来对接地选择

晶体管 GST 执行编程的电压（例如大约 0V）。

当编程验证操作指示的是编程失败的接地选择晶体管 GST 时，编程电压 V_{PGM} 例如以预定的增量增加，并且再次执行编程操作。在图 9 所示的例子中，如有需要，可以以 0.5V 的增量将编程电压 V_{PGM} 从大约 5V 增加到大约 6.5V。通过重复执行这个操作，可以允许每一个接地选择晶体管 GST 都具有正常的阈值电压分布（例如图 3 的正常阈值电压分布 11）。

图 10 是示出了根据本发明例示实施例、通过增量式增加公共源极线的电压来对接地选择晶体管执行编程的方法的图和表。

首先，在图 4 的公共源极线 CSL 上施加大约为 1.5V 的公共源极线电压 V_{CSL} 。在每一条字线 WL 上施加传输电压（例如大约 5V），并且在位线 BL 上施加接地电压。在图 4 的接地选择线 GSL 上施加编程电压 V_{PGM} （例如大约 5V）。此时，每一个接地选择晶体管 GST 的阈值电压都增加。在块体 PPWELL 上施加大约 0V 或大约 -1.5V 的电压。在块体 PPWELL 上施加负电压的原因则是为了增加接地选择晶体管 GST 的栅极与沟道之间的电场。

接下来，执行编程验证操作。在公共源极线 CSL 上施加预定电压（例如大约 0.7V）。在接地选择线 GSL 上施加验证电压（例如大约 0.7V）。在每一条字线 WL 上施加传输电压 V_{PASS} （例如大约 5V）。在位线 BL 上施加接地电压。

当编程验证操作指示编程验证结果时，对于编程通过的接地选择晶体管 GST，不重复执行编程操作。在与编程通过的接地选择晶体管 GST 连接的位线 BL 上施加编程禁止电压 V_{IHB} （大约 1.5V）。如下所述，当公共源极线电压 V_{CSL} 增量式增加时，编程禁止电压 V_{IHB} 也可以增量式增加（incrementally increased）。

当编程验证操作指示的是编程失败的接地选择晶体管 GST 时，公共源极线电压 V_{CSL} 将增加，然后将再次执行编程操作。在图 10 所示的例子中，如有必要可以将公共源极线电压 V_{CSL} 以 0.5V 的增量从大约 1.5V 增加到大约 3V。通过重复执行这个操作，可以允许每一个接地选择晶体管 GST 都具有正常的阈值电压分布（例如图 3 的正常阈值电压分布 11）。

图 11 是示出了根据本发明例示实施例来对图 4 的 NAND 闪速存储器设备的选择晶体管执行编程的方法的流程图。该方法将参考图 4 和 11 被描述。

在操作 S210 中，选择存储器块。如图 4 所示，该存储器块可以通过块地址来选择。从操作 S210 中指示的第一个块地址（ $n=1$ ）开始到最后一个块地址，来顺序地选择这个块地址。

在操作 S220 中，选定的存储器块（ $block_n$ ）的选择晶体管 SST 或 GST 被擦除。此时，存储器单元并未被擦除，所擦除的仅仅是所述选择晶体管。为了禁止擦除存储器单元，图 4 中的分别与字线 $WL0\sim WL31$ 连接的块晶体管 $BT0\sim BT31$ 被截止。存储器单元的栅极进入浮动状态。相应地，即使将擦除电压（例如大约 20V）施加于块体 PPWELL，这些存储器单元也不会被擦除。

为了擦除选择晶体管 SST 或 GST，在选择线 SSL 或 GSL 上施加了预定电压（例如大约 0V）或正电压（例如大约 10V）。如有必要，正电压可以被施加到选择线 SSL 或 GSL，以防止过擦除选择晶体管。

根据另一个例示实施例，存储器单元和选择晶体管可以被同时擦除。当擦除所有选择晶体管时，在字线 $WL0\sim WL31$ 上施加较低电压（例如大约 0V）。然后，在串选择线 SSL 和接地选择线 GSL 上施加正电

压（例如大约 10V）。相应地，当在块体 PPWELL 上施加擦除电压（例如大约 20V）时，所有选择晶体管都被擦除。

在某些情况下，操作 S220 可以省略。举个例子，如果选择晶体管 SST 或 GST 的阈值电压并未分布在图 3 的阈值电压分布 14 的区域上，那么可以省略操作 S220。

在操作 S230 中，用于对选择晶体管执行编程的数据将会存储在图 4 的页面缓冲器 130 中。这些编程数据可以通过图 4 的数据 I/O 电路 140 从外部输入。此外，通过控制页面缓冲器 130 的感测节点，也可以在内部设置编程数据。举个例子，可以将页面缓冲器 130 的所有感测节点设置成具有电源电压 V_{CC} 。

在操作 S240 中，执行选择晶体管 SST 或 GST 的验证操作。根据验证操作结果，如果选择晶体管 SST 或 GST 的编程失败，则在页面缓冲器 130 中存储电源电压 V_{CC} ，并且该处理前进到操作 S260。根据验证操作结果，如果选择晶体管 SST 或 GST 编程通过，则在页面缓冲器 130 中存储接地电压，并且该处理前进到操作 S270。

在操作 S260 中，通过沟道热电子注入来对选择晶体管 SST 或 GST 执行编程。此时，选择晶体管 SST 或 GST 的阈值电压增加，并且操作 240 将重复执行，以便实施编程验证。根据编程验证结果，如操作 S250 所示，当存在编程失败的选择晶体管时，编程电压 V_{PGM} 增加，并且在操作 S260 中再次执行编程操作。

当选择晶体管是串选择晶体管 SST 时，可以增加位线电压 V_{BL} 并执行编程操作。当选择晶体管是接地选择晶体管 GST 时，可以增加公共源极线电压 V_{CSL} 并执行编程操作。

在操作 S270 中，确定是否成功编程了所有选择晶体管。当只有串

选择晶体管被编程时，该处理将会返回到操作 S230，以便对接地选择晶体管 GST 执行编程。同样，当只有接地选择晶体管 GST 被编程时，该处理将会返回到操作 S230，以便对串选择晶体管 SST 执行编程。

在操作 S280 中，确定是否对已经所有存储器块的选择晶体管执行了编程。如果还有存储器块需要被编程，那么该处理前进到操作 S290，并且该操作会使 n 递增 1，这指示将要被编程的下一个存储器块。然后，对下一个存储器块重复执行操作 S220~S280。当在操作 S280 中确定不再有需要被编程的存储器块时，该编程操作终止。

根据上述例示实施例，当 NAND 闪速存储器设备中的选择晶体管包含电荷存储层时，选定的晶体管是沟通过沟道热电子注入而被编程的。但是，在其他类型的存储器设备中，包含电荷存储器的选择晶体管同样可以通过沟道热电子注入被编程。

举个例子，如果存储器设备包含以 2T-FN-NOR 类型排列的电可擦写可编程 ROM (EEPROM)，那么两个晶体管构成一个存储器单元。每一个存储器单元都具有浮动栅极和控制栅极，并且是通过 F-N 隧穿方式被编程的。相比之下，选择晶体管包括不具有附加浮动栅极的 MOS 晶体管。根据本发明的实施例，如果 2T-FN-NOR 类型的 EEPROM 中的选择晶体管具有浮动栅极或者电荷陷阱层，那么该选择晶体管可以通过沟道热电子注入被编程。

图 12 是根据本发明例示实施例的具有闪速存储器设备的存储器卡的框图。参考图 12，用于支持大容量数据存储的存储器卡 300 包括根据本发明例示实施例的闪速存储器设备 310。存储器卡 300 包括存储器控制器 320，用于控制主机与闪速存储器设备 310 之间的一般数据交换。

SRAM321 是作为中央处理单元 (CPU) 322 的操作存储器使用的。

主机 I/F323 包括与存储器卡 300 连接的主机的数据交换协议。纠错 (ECC)块 324 检测并且校正那些从闪速存储器设备 310 中读取的数据中的差错。存储器 I/F 325 则与闪速存储器 310 对接。

CPU322 执行的是用于存储器控制器 320 的数据交换的一般操作。虽然在图中并未示出，但是本领域技术人员可以清楚了解，存储器卡 300 还可以包括用于存储代码数据的 ROM（未显示），例如为了与主机对接。

图 13 是根据本发明例示实施例的包含闪速存储器设备的存储器系统的框图。参考图 13，存储器系统 400 包括闪速存储器系统 410、电源 420、CPU430、RAM440、用户接口 450 以及系统总线 460。

闪速存储器系统 410 包括存储器控制器 412 和闪速存储器设备 411。闪速存储器系统 410 通过系统总线 460 电连接到电源 420、CPU430、RAM440 以及用户接口 450。闪速存储器设备 411 依照存储器控制器 412 的控制来存储数据，其中举例来说，该数据可以是通过用户接口 450 提供并由 CPU430 处理的数据。

举例来说，如果闪速存储器系统 410 是作为固态硬盘（SSD）安装的，那么系统的引导速度将会提升。虽然在图中并未示出，但是本领域技术人员可以清楚了解，该系统还可以包括应用芯片组、相机图像处理器等。

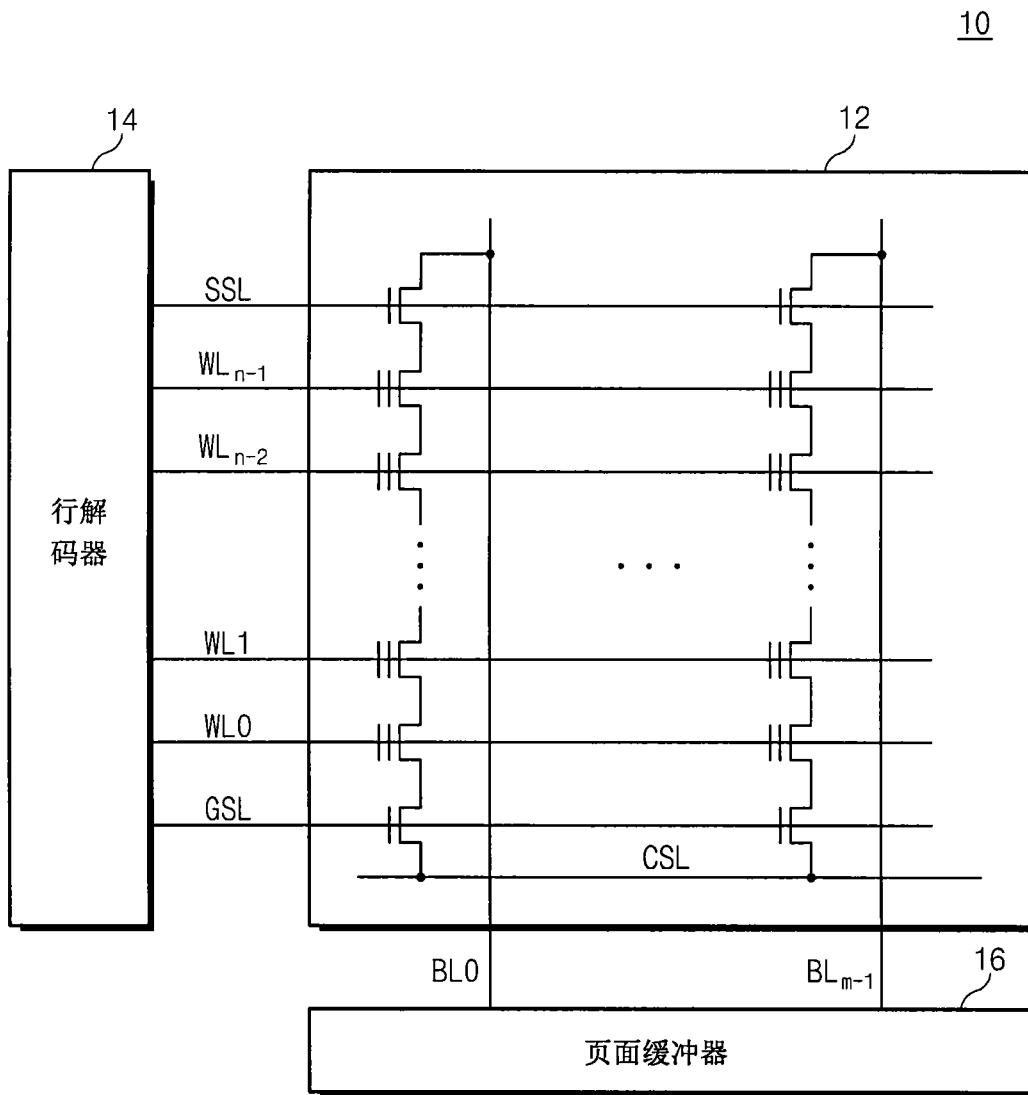
如上所述，本发明提供了一种借助预定电压对存储器单元阵列中的位线、接地选择线、字线以及串选择线执行偏压的方法。选择晶体管 SST 或 GST 是通过沟道热电子注入被编程的。对被编程的选择晶体管 SST 或 GST 来说，其阈值电压分布将被调整成正常分布。由此，即使当选择晶体管 SST 或 GST 具有电荷存储层时，闪速存储器设备也可以正常操作。

根据本发明的不同例示实施例，通过沟道热电子注入来对选择晶体管执行编程的方法会减小选择晶体管的阈值电压分布。

对使用浮动栅极类型的晶体管的 NAND 闪速存储器来说，当选择晶体管包含浮动栅极时，本发明实施例的编程方法将会防止存储器发生故障。换言之，本编程方法可以省略将每一个选择晶体管制造成具有 MOS 晶体管结构的处理。

对使用了电荷陷阱型晶体管的 NAND 闪速存储器来说，本发明实施例的编程方法减小了阈值电压分布，由此可以防止选择晶体管发生故障。这样一来，NAND 闪速存储器的成品率和可靠性将会得到改善。

虽然在这里参考例示实施例而对本发明进行了描述，但对本领域技术人员来说明显的是，在不脱离本发明的实质和范围的情况下，各种变更和修改都是可行的。由此应该理解，上述实施例并不是限制性的，而是说明性的。



现有技术

图1

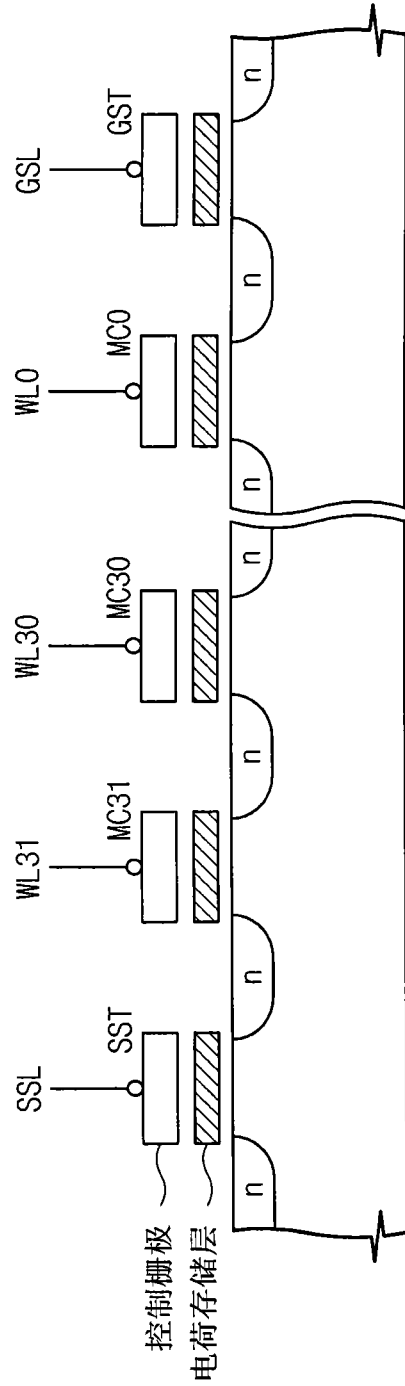


图2

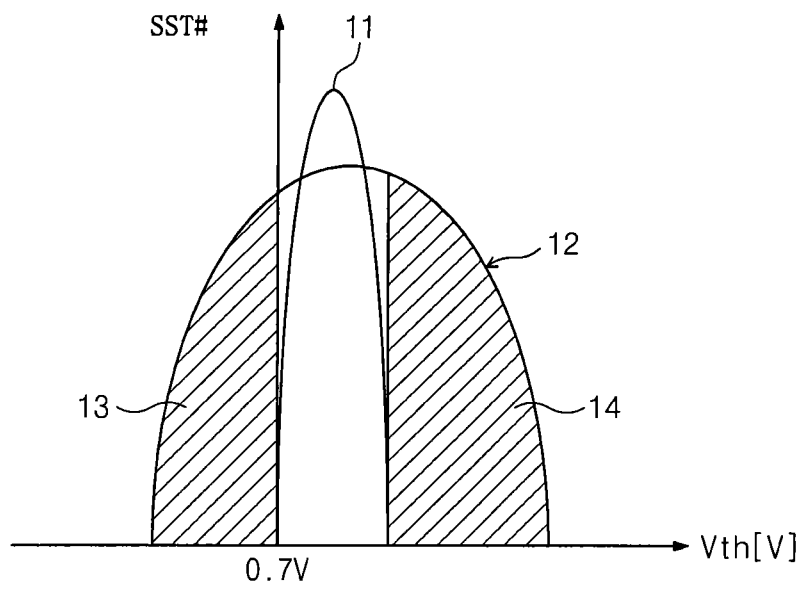


图3

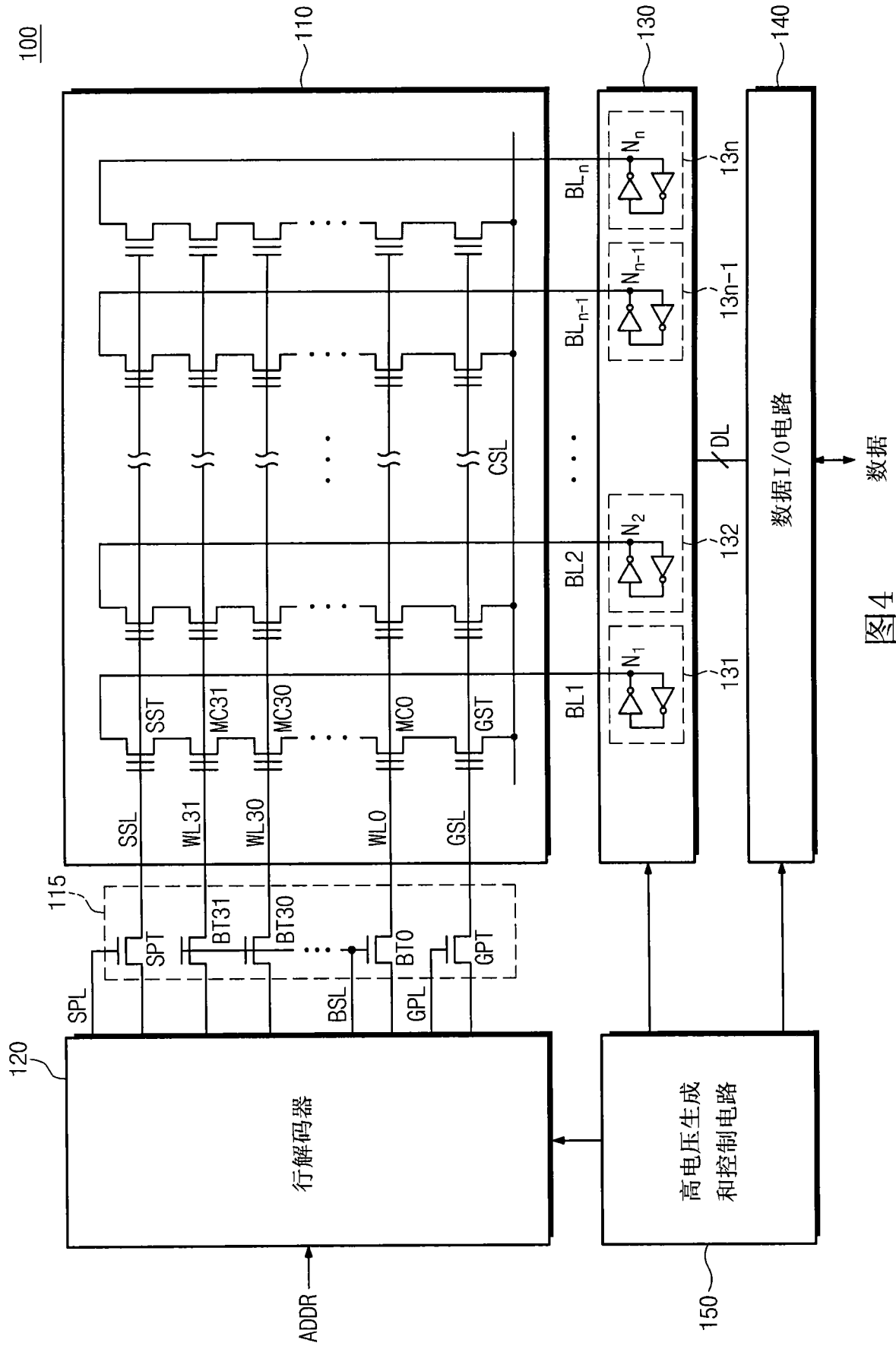


图4

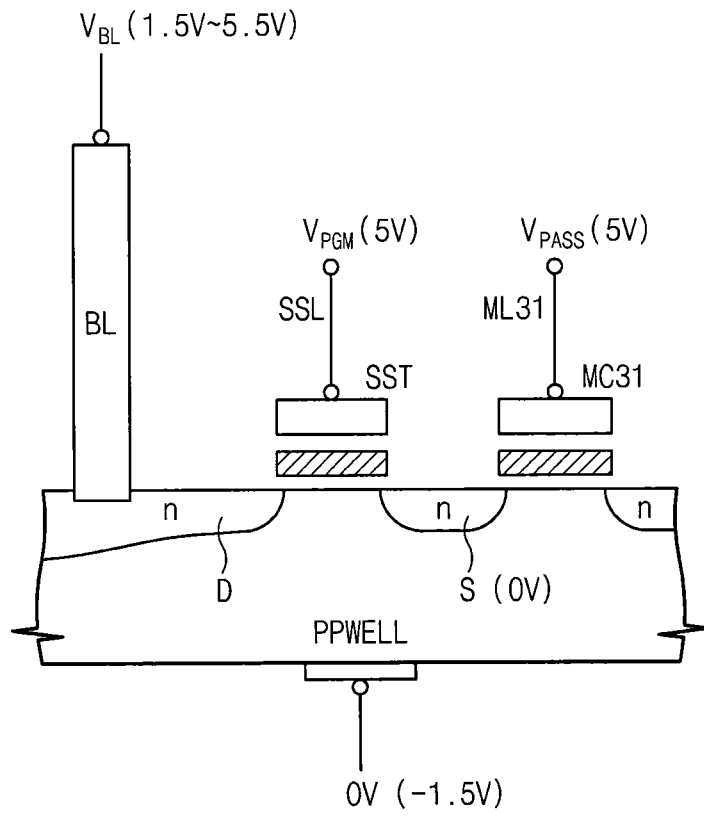
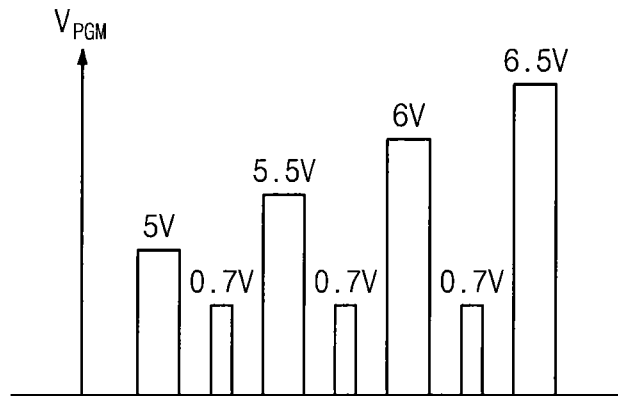
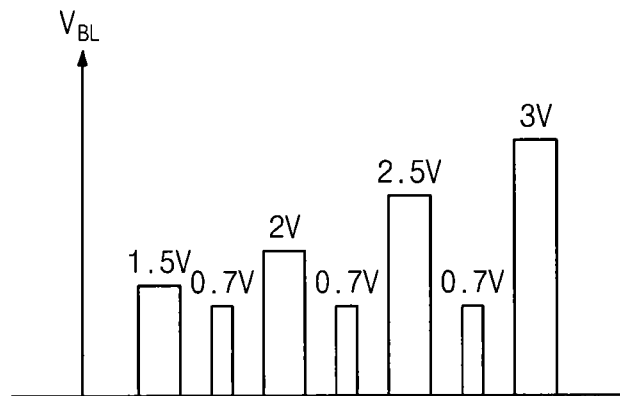


图5



	PGM	PGM禁止	验证
BL	1.5V~5.5V	0V	0.7V
SSL	5V(ISPP)	5V(ISPP)	0.7V (SST Vth目标)
单元WL	5V	5V	5V
CSL	0V	0V	0V
PPWell	0V, -1.5V	0V, -1.5V	0V

图6



	PGM	PGM禁止	验证
BL	1.5V(1SPP)	0V	0.7V
SSL	5V	5V	0.7V (SST Vth目标)
单元WL	5V	5V	5V
CSL	0V	0V	0V
PPWeII	0V, -1.5V	0V, -1.5V	0V

图7

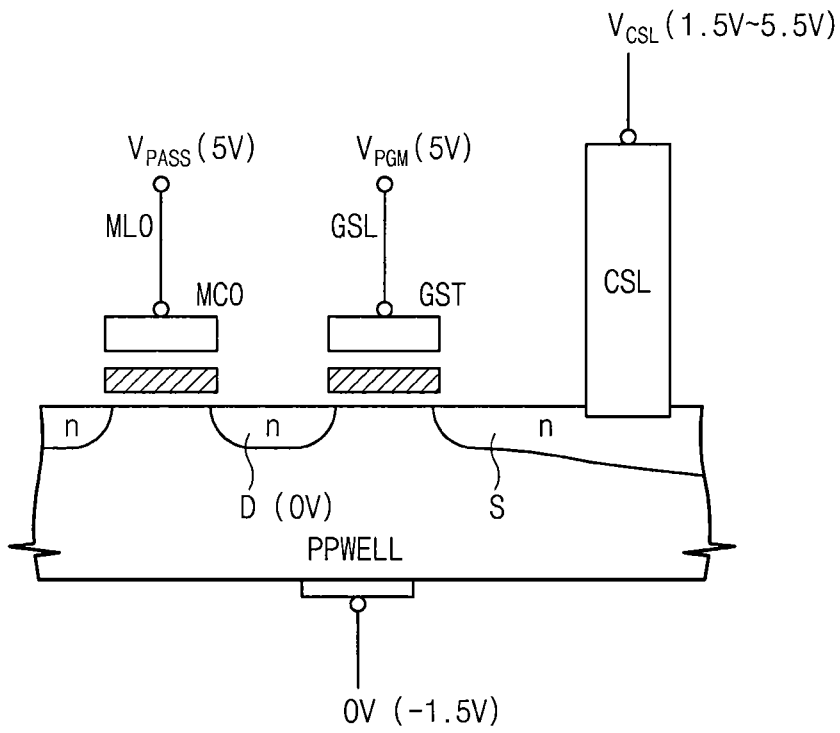
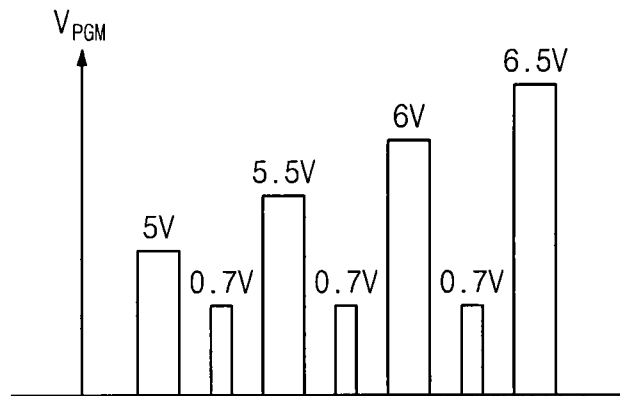
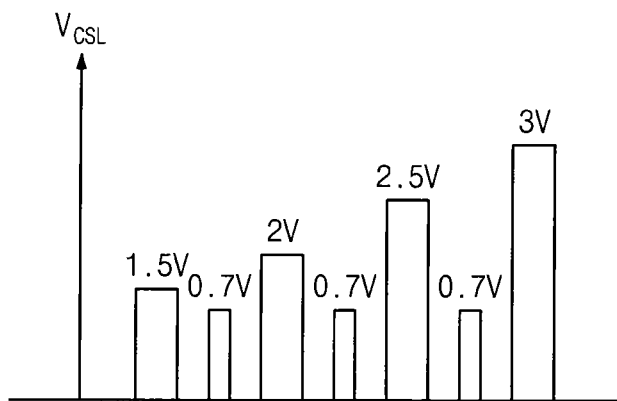


图8



	PGM	PGM禁止	验证
CSL	1.5V~5.5V	1.5V~5.5V	0.7V
GSL	5V(ISPP)	5V(ISPP)	0.7V (GST V _{th} 目标)
单元WL	5V	5V	5V
BL	0V	0V	0V
PPWeII	0V, -1.5V	0V, -1.5V	0V

图9



	PGM	PGM禁止	验证
CSL	1.5V(ISPP)	1.5V(ISPP)	0.7V
GSL	5V	5V	0.7V (GST V_{th} 目标)
单元WL	5V	5V	5V
BL	0V	1.5V(ISPP)	0V
PPWell	0V, -1.5V	0V, -1.5V	0V

图10

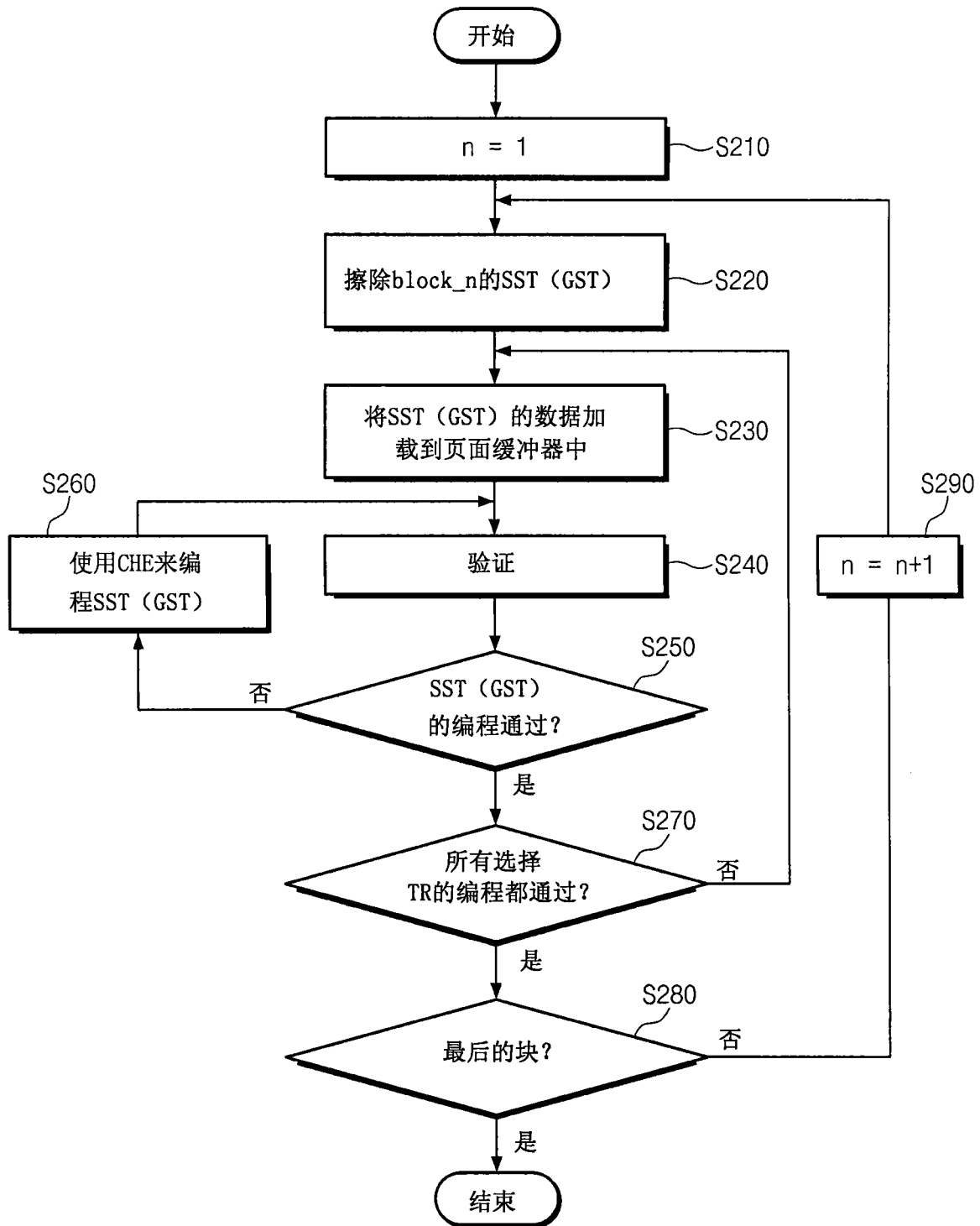


图11

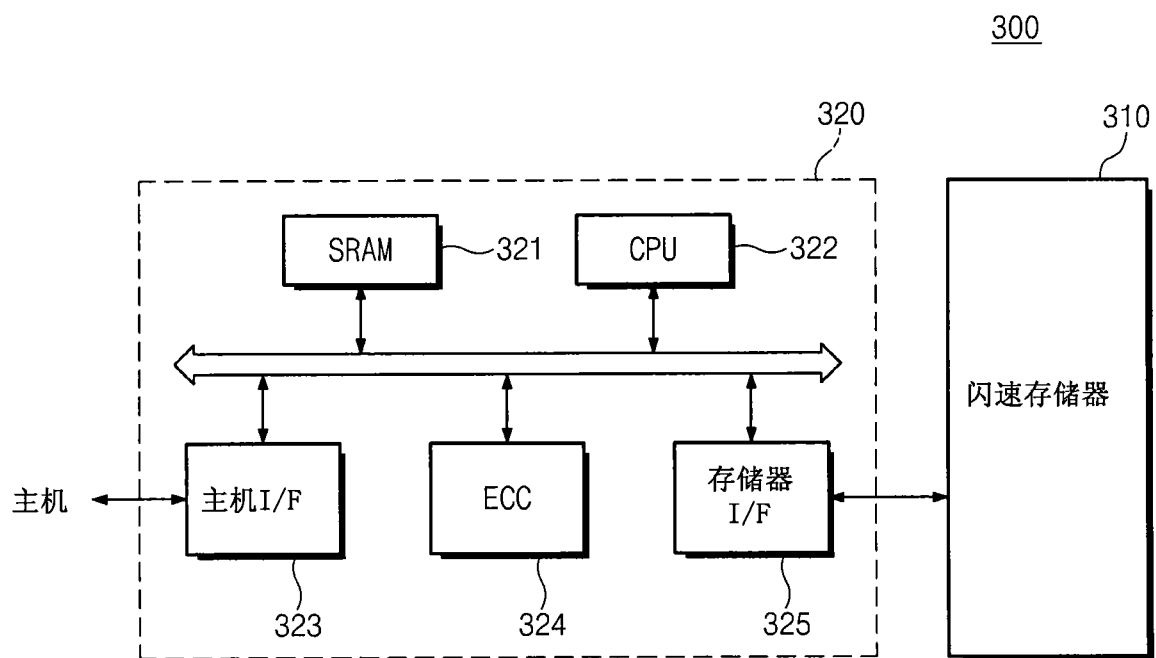


图12

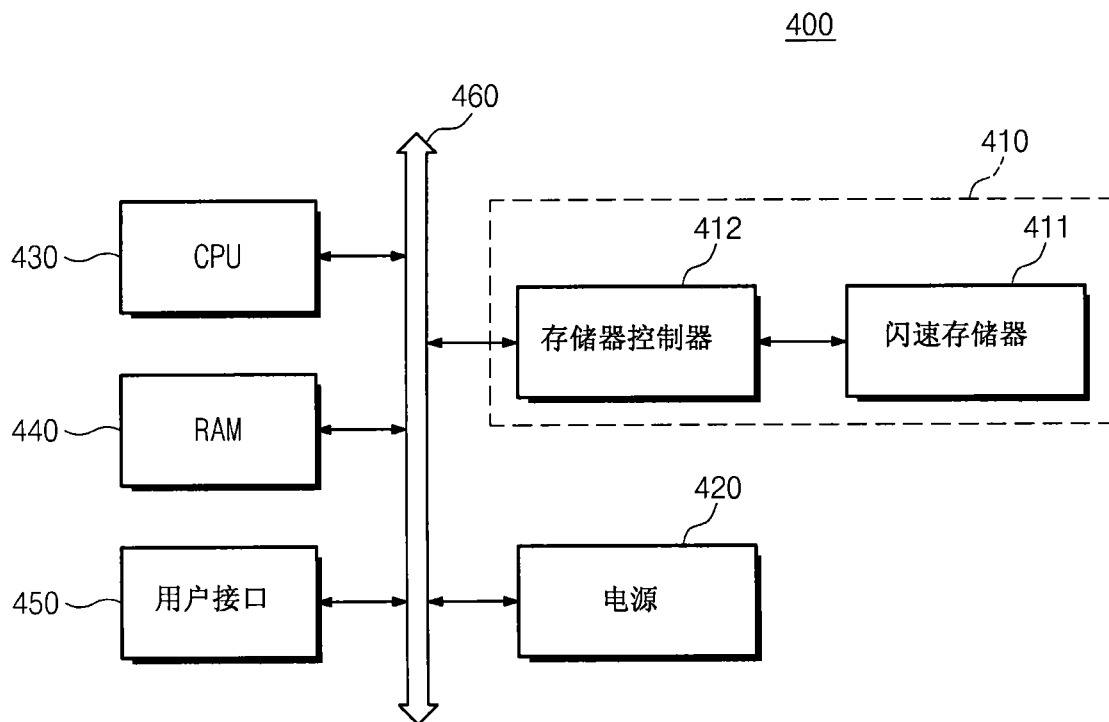


图13