



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I786276 B

(45)公告日：中華民國 111 (2022) 年 12 月 11 日

(21)申請案號：108107876

(22)申請日：中華民國 108 (2019) 年 03 月 08 日

(51)Int. Cl. : **H01L33/20 (2010.01)**

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市東區新竹科學工業園區力行路 21 號

(72)發明人：李元智 LEE, YUAN-CHIH (TW) ; 張道淇 CHANG, TAO-CHI (TW) ; 溫偉值 WEN, WEI-CHIH (TW)

(56)參考文獻：

TW 201131836A

TW 201318207A

CN 106505132A

CN 106848029A

US 2003/0062529A1

審查人員：劉聖尉

申請專利範圍項數：9 項 圖式數：6 共 26 頁

(54)名稱

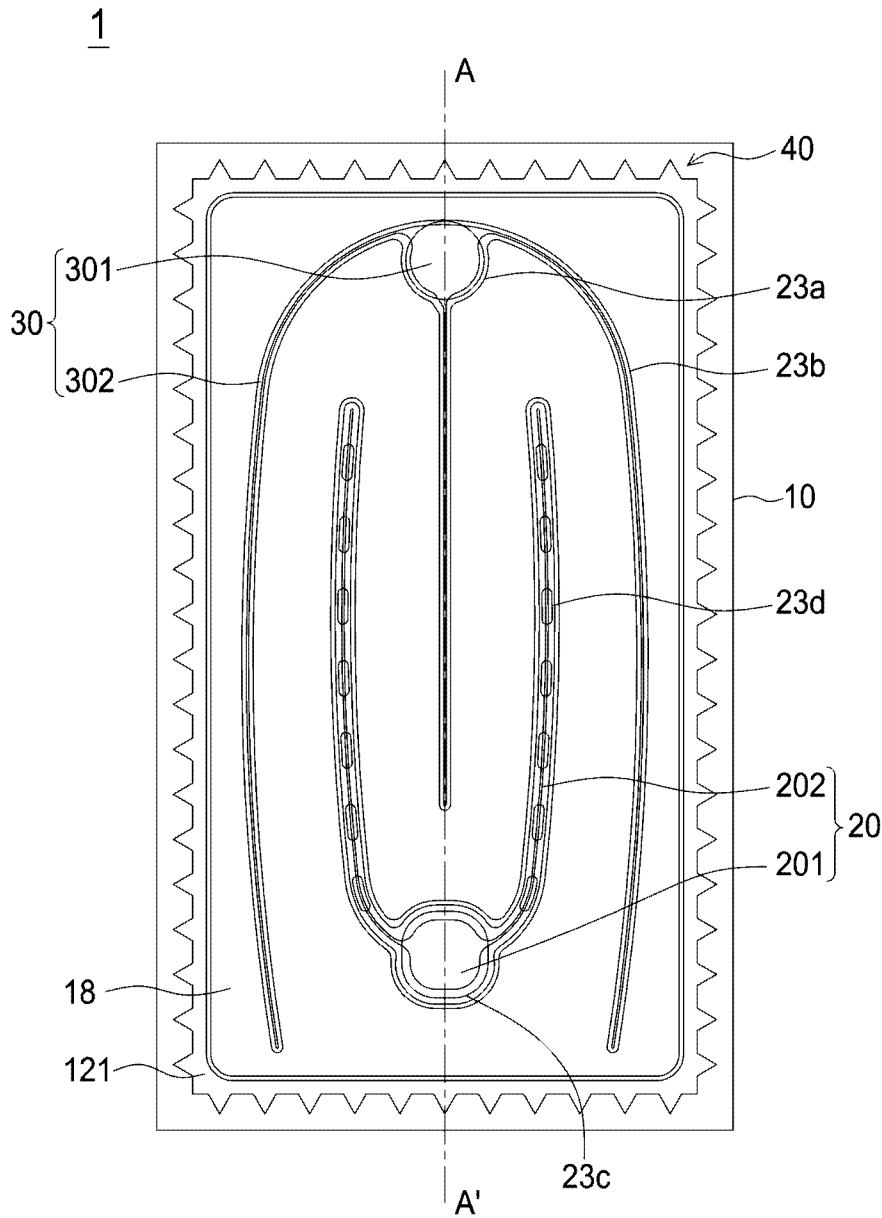
發光元件之製造方法

(57)摘要

一種發光元件製造方法，包含：提供一基板，包含一主表面；形成一半導體疊層於主表面；移除部份半導體疊層，以在半導體疊層中形成一上部半導體層以及一下部半導體層，其中下部半導體層包含一上表面，不被上部半導體層所覆蓋；圖案化下部半導體層以形成一圖案化下部半導體層；以及移除部分圖案化下部半導體層以形成一側壁，側壁與主表面之內夾角為一鈍角。

A method of fabricating a light emitting device, including: providing a substrate having a main surface; forming a semiconductor stack on the main surface; removing a portion of the semiconductor stack to form an upper semiconductor stack and a lower semiconductor stack, wherein the lower semiconductor stack includes an upper surface that is not covered by the upper semiconductor stack; patterning the lower semiconductor stack to form a patterned lower semiconductor stack; and removing a portion of the patterned lower semiconductor stack to form a sidewall, wherein an included angle between the sidewall and the main surface is an obtuse angle.

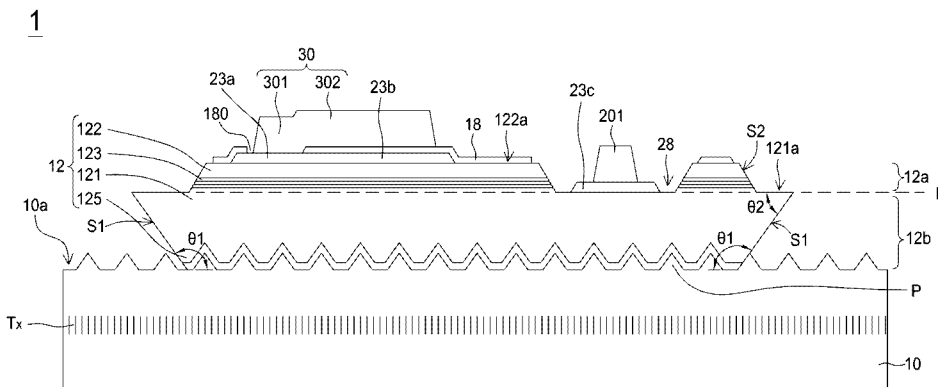
指定代表圖：



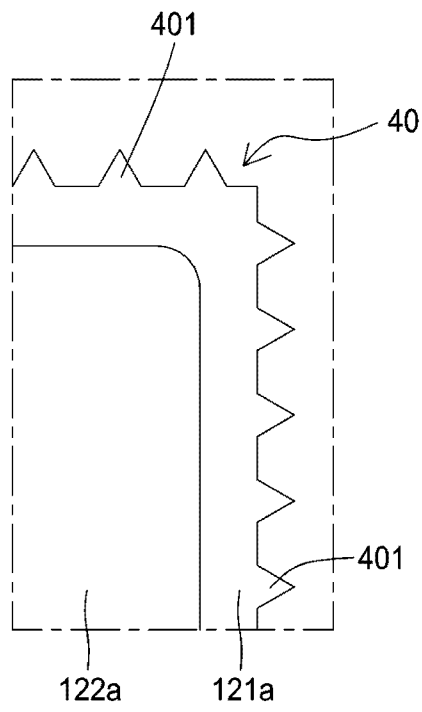
第1A圖

符號簡單說明：

- 1:發光元件
- 10:基板
- 10a:上表面
- 12:半導體疊層
- 121:第一半導體層
- 18:透明導電層
- 20:第一電極
- 201:第一焊盤電極
- 202:第一延伸電極
- 23a-23d:電流阻擋層
- 30:第二電極
- 301:第二焊盤電極
- 302:第二延伸電極
- 40:圖案化結構



第1B圖



第1C圖



公告本

I786276

【發明摘要】

【中文發明名稱】 發光元件之製造方法

【英文發明名稱】 Manufacturing Method of Light-Emitting Device

【中文】

一種發光元件製造方法，包含：提供一基板，包含一主表面；形成一半導體疊層於主表面；移除部份半導體疊層，以在半導體疊層中形成一上部半導體層以及一下部半導體層，其中下部半導體層包含一上表面，不被上部半導體層所覆蓋；圖案化下部半導體層以形成一圖案化下部半導體層；以及移除部分圖案化下部半導體層以形成一側壁，側壁與主表面之內夾角為一鈍角。

【英文】

A method of fabricating a light emitting device, including: providing a substrate having a main surface; forming a semiconductor stack on the main surface; removing a portion of the semiconductor stack to form an upper semiconductor stack and a lower semiconductor stack, wherein the lower semiconductor stack includes an upper surface that is not covered by the upper semiconductor stack; patterning the lower semiconductor stack to form a patterned lower semiconductor stack; and removing a portion of the patterned lower semiconductor stack to form a sidewall, wherein an included angle between the sidewall and the main surface is an obtuse angle.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

1	發光元件
10	基板
10a	上表面
12	半導體疊層
121	第一半導體層
18	透明導電層
20	第一電極
201	第一焊盤電極
202	第一延伸電極
23a-23d	電流阻擋層
30	第二電極
301	第二焊盤電極
302	第二延伸電極
40	圖案化結構

【發明說明書】

【中文發明名稱】 發光元件之製造方法

【英文發明名稱】 Manufacturing Method of Light-Emitting Device

【技術領域】

【0001】本申請案係關於一種發光元件，更詳言之，係關於一種具有高亮度之發光元件。

【先前技術】

【0002】固態發光元件中的發光二極體(LEDs)具有具低耗電量、低產熱、壽命長、體積小、反應速度快以及良好光電特性，例如具有穩定的發光波長等特性，故已被廣泛的應用於家用裝置、指示燈及光電產品等。隨著光電技術的發展，固態發光元件在發光效率、操作壽命以及亮度方面有相當大的進步，發光二極體已是目前照明裝置的主流。

【0003】習知的發光二極體晶片包含一基板、一n型半導體層、一活性層及一p型半導體層形成於基板上、以及分別形成於p型/n型半導體層上的p、n-電極。當透過電極對發光二極體晶片通電，且在一特定值的順向偏壓時，來自p型半導體層的電洞及來自n型半導體層的電子在活性層內結合以放出光。然而，發光二極體晶片所發出的光，可能會在其半導體層內部及其基板內部發生內部全反射，以致於光不易從發光二極體中導出，導致光萃取及亮度皆惡化。

【發明內容】

【0004】一種發光元件製造方法，包含：提供一基板，包含一主表面；形成一半導體疊層於主表面；移除部份半導體疊層，以在半導體疊層中形成一上部半導體層以及一下部半導體層，其中下部半導體層包含一上表面，不被上部半導體層所覆蓋；圖案化下部半導體層以形成一圖案化下部半導體層；以及移除部分圖案化下部半導體層以形成一側壁，側壁與主表面之內夾角為一鈍角。

【圖式簡單說明】

【0005】

〔圖1A及圖1B〕分別為本申請案一實施例發光元件1的上視圖及截面圖。

〔圖1C〕為圖1B的局部放大圖。

〔圖2A至圖2C〕為本申請案不同實施例發光元件的局部上視放大圖。

〔圖3至圖3D〕為本申請案一實施例發光元件1的製作方法。

〔圖4〕為本申請案一實施例發光元件2的上視圖。

〔圖5〕為本申請案一實施例發光元件3的上視圖。

〔圖6〕為本申請案一實施例發光元件2製造方法或發光元件3製造方法的其中一步驟。

【實施方式】

【0006】本申請案之實施例會被詳細地描述，並且繪製於圖式中，相同或類似的部分會以相同的號碼在各圖式以及說明出現。

【0007】本申請案一些實施例可配合圖式一併理解，本申請案實施例之圖式亦被視為本申請案實施例說明之一部分。需了解的是，本申請案實施例之圖式並未以實際裝置及元件之比例繪示。在圖式中可能誇大實施例的形

狀與厚度以便清楚表現出本申請案實施例之特徵。此外，圖式中之結構及裝置係以示意之方式繪示，以便清楚表現出本申請案實施例之特徵。

【0008】圖1A係本申請案第一實施例中所揭示之一發光元件1；圖1B係為圖1A中沿A-A'線段之截面圖。

【0009】發光元件1包含一基板10、設置於基板10上方的一半導體疊層12、位於半導體疊層12上的一電流阻擋層23(23a-23d)、一透明導電層18、一第一電極20、一第二電極30以及一保護層(圖未示出)覆蓋上述各層疊及電極之一部份，並具有暴露第一電極20和第二電極30另一部份的開口。

【0010】基板10可以是一成長基板，包括用於生長磷化鎵銻(AlGaInP)的砷化鎵(GaAs)基板、及磷化鎵(GaP)基板，或用於生長氮化銻鎵(InGaN)或氮化鋁鎵(AlGaIn)的藍寶石(Al_2O_3)基板，氮化鎵(GaN)基板，碳化矽(SiC)基板、及氮化鋁(AlN)基板。於一實施例中，基板10對半導體疊層12發出的光是可以穿透的一透明基板，且在基板10的主表面10a上具有一圖案化結構P。於一實施例中，圖案化結構P係藉由機械研磨、乾式蝕刻或濕式蝕刻等方式，在部分蝕刻基板10的一上表面後形成。於另一實施例中，圖案化結構P包含自基板10的主表面10a向基板外延伸的凸出結構，圖案化結構P的材料包含不同於基板10的材料。藉由在基板10的主表面10a上，形成一不同於基板10的材料層，再將此材料層圖案化所形成。圖案化結構P可包含：具有三角形(或多角形)底面之平台結構或角錐狀結構、半球形結構、圓錐狀結構或多角形結構(polygonal structure)等。從半導體疊層12發射的光可以被基板10的圖案化結構P所折射，從而提高發光元件的亮度。此外，圖案化結構P減緩或抑制了基板10與半導體疊層12之間因晶格不匹配而導致的錯位，從而改善半導體疊層12的磊晶品質。於另一實施例中，圖案化結構P為自基板

10的主表面10a向基板內延伸的凹陷結構(圖未示)，凹陷結構的圖案可為角錐狀、半球形、圓錐狀或多角形等。

【0011】在本申請案的一實施例中，可以藉由有機金屬化學氣相沉積(MOCVD)、分子束磊晶法(MBE)、氫化物氣相磊晶(HVPE)或離子鍍，例如濺鍍或蒸鍍等方式，在基板10上形成半導體疊層12。

【0012】半導體疊層12包括依序形成在基板10上的一緩衝層125、一第一半導體層121、一活性層123和一第二半導體層122。緩衝層125順應地形成在凸出部P與上表面10a上。於一實施例中，緩衝層125的厚度大於5 nm，於另一實施例中，緩衝層125的厚度大於5 nm，不超過50 nm；較佳的，緩衝層125的厚度可介於10 nm至30 nm之間(兩者皆含)。緩衝層125可減小上述的晶格不匹配並抑制錯位，從而改善磊晶品質。緩衝層125的材料包括GaN、AlGaN或AlN。在一實施例中，緩衝層125包括多個子層(圖未示)。子層包括相同材料或不同材料。在一實施例中，緩衝層125包括兩個子層，其中第一子層的生長方式為濺鍍，第二子層的生長方式為MOCVD。在一實施例中，緩衝層125另包含第三子層。其中第三子層的生長方式為MOCVD，第二子層的生長溫度高於或低於第三子層的生長溫度。於一實施例中，第一、第二及第三子層包括相同的材料，例如AlN。在本申請案的一實施例中，第一半導體層121和第二半導體層122，例如為包覆層(cladding layer)或侷限層(confinement layer)，具有不同的導電型態、電性、極性或用於提供電子或電洞的摻雜元素。例如，第一半導體層121是n型半導體，以及第二半導體層122是p型半導體。活性層123形成於第一半導體層121與第二半導體層122之間。電子與電洞在電流驅動下在活性層123中結合，將電能轉換成光能以發光。可藉由改變半導體疊層12中一個或多個層別的物理特性和化學組成，來調整發光元件1或半導體疊層12所發出的光之波長。

【0013】半導體疊層12的材料包括 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 或 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{P}$ 的III-V族半導體材料，其中 $0 \leq x, y \leq 1$ ； $x+y \leq 1$ 。根據活性層的材料，當半導體疊層12的材料是AlInGaP系列時，可以發出波長介於610nm和650nm之間的紅光或波長介於550nm和570nm之間的黃光。當半導體疊層12的材料是InGaN系列時，可以發出波長介於400nm和490nm之間的藍光或深藍光或波長介於490nm和550nm之間的綠光。當半導體疊層12的材料是AlGaIn系列時，可以發出波長介於400nm和250nm之間的UV光。活性層123可以是單異質結構(single heterostructure；SH)、雙異質結構(double heterostructure；DH)、雙面雙異質結構(double-side double heterostructure；DDH)、多重量子井(multi-quantum well；MQW)。活性層123的材料可以是i型、p型或n型半導體。

【0014】半導體疊層12包含一平台區28。平台區28的形成，是經由從半導體疊層12之上表面向下移除部份的第二半導體層122和活性層123，直到第一半導體層121的上表面121a露出。由側視觀之，平台區28的延長線L(及延長面)以上的半導體疊層12稱為一上部半導體層12a，延長線L以下的半導體疊層12稱為一下部半導體層12b。上部半導體層12a包含第二半導體層122、活性層123。於一實施例中，上部半導體層12a更包含一部分的第一半導體層121。下部半導體層12b包含第一半導體層121的全部或另一部分以及緩衝層125。

【0015】第一電極20位於平台區28上，與第一半導體層121電性連接。第二電極30位於第二半導體層122上，與第二半導體層122電性連接。於一實施例中，第一電極20包含一第一焊盤電極201和延伸自第一焊盤電極201的一第一指狀電極202。第二電極30包含一第二焊盤電極301和延伸自第二焊盤

電極301的一第二指狀電極302。第一焊盤電極201與第二焊盤電極301用以打線或銲接，使發光元件1和外部電源或外部電子元件電性連接。

【0016】電流阻擋層23(23a-23d)位於半導體疊層12上。其中，電流阻擋層23a與23b位於第二半導體層122與第二電極30之間，電流阻擋層23b延伸自電流阻擋層23a，且沿著第二指狀電極302延伸。電流阻擋層23c與23d位於第一半導體層121與第一電極20之間。於一實施例中，電流阻擋層23d包含複數個島狀部，且間隔地沿著第一指狀電極202設置。

【0017】透明導電層18位於第二電極30下方，覆蓋第二半導體層122之上表面122a與電流阻擋層23b，與第二半導體層122電性連接，用以橫向分散電流。透明導電層18可以是金屬或是透明導電材料，其中金屬可選自具有透光性的薄金屬層，透明導電材料對於活性層123所發出的光線為透明，包含銦錫氧化物(ITO)、氧化鋁鋅(AZO)、氧化鎳鋅(GZO)、或銦鋅氧化物(IZO)等材料。於一實施例中，透明導電層18具有一開口180對應於第二焊盤電極301的位置，使第二焊盤電極301經由開口180接觸第二半導體層122。

【0018】如圖1A所示，於一實施例中，第一半導體層121之邊緣包含一圖案化結構40。圖案化結構40包含複數個突起部401或凹陷部402。圖1C顯示圖1A中第一半導體層121邊緣的局部放大圖。於一實施例中，圖案化結構40由上視觀之包含如圖1C所示複數個規則排列的突起部401，例如呈鋸齒狀。於另一實施例中，如圖2A至2B所示，由上視觀之突起部401的圖案可以是多邊形或半圓形等。於另一實施例中，圖案化結構包含如圖2C所示複數個規則排列的凹陷部402。同樣地，凹陷部402的圖案可以是多邊形或半圓形等。

【0019】如圖1B所示，下部半導體層12b包含第一側壁S1，上部半導體層12a包含第二側壁S2。第一側壁S1與基板主表面10a之內夾角 θ_1 為一鈍角，

第6頁，共 12 頁(發明說明書)

第一側壁S1與第一半導體層上表面121a之內夾角 θ_2 為一銳角。於一實施例中， θ_1 介於100至160度， θ_2 介於20至80度，與 θ_1 互補。於另一實施例中，第一側壁S1具有粗糙化結構，可進一步增進發光元件1的光取出。

【0020】第一半導體層121之邊緣包含圖案化結構40，圖案化結構40由第一半導體層上表面121a對應延伸至第一側壁S1，使得第一側壁S1具有凹凸起伏的表面。例如，第一側壁S1中對應於突起部401的表面，呈突起狀。如此一來，與基板主表面10a形成鈍角內夾角的第一側壁S1可降低光在半導體疊層內發生內部全反射，且呈凹凸起伏的第一側壁S1有利於將光從半導體疊層12摘出，提高發光元件1的光摘出效率。

【0021】圖3A-3C顯示本申請案一實施例發光元件1之製造方法。首先，如圖3A所示，在基板10的主表面10a形成半導體疊層12以形成一晶圓(wafer)。接著，實施一第一蝕刻步驟，以移除部分的半導體疊層12直至第一半導體層121之上表面121a露出，形成平台區28。於一實施例中，第一蝕刻步驟為一乾蝕刻步驟，例如為感應耦合式電漿(Inductively Coupled Plasma, ICP)蝕刻。由側視觀之，平台區28的延長線L(及延長面)以上的半導體疊層12為上部半導體層12a，以及延長線L以下的半導體疊層12為下部半導體層12b。

【0022】接著，在半導體疊層12及平台區28上形成保護層8。在一實施例中，保護層8的厚度約為500~5000Å，其材料可選自氧化矽、氮化矽或其組合。保護層8可以通過化學氣相沉積(CVD)、原子層沉積法(atomic layer deposition, ALD)或旋塗(spin-coating)法形成。

【0023】接著，如圖3B所示，利用微影蝕刻等方式，將保護層8圖案化以形成保護層開口8a。保護層開口8a由上視觀之，沿各發光元件的周圍設置，並且如圖1A、圖1C、圖2A-2C所示的第一半導體層121邊緣，具有圖案化結構。接著，實施一第二蝕刻步驟，將圖案化後的保護層8作為一遮罩，經由

保護層開口8a移除其內的下部半導體層12b，形成溝槽36。其中溝槽36的側壁與上表面121a之內夾角 θ_3 介於100-160度。於一實施例中，第二蝕刻步驟為一乾蝕刻步驟，例如為ICP蝕刻。溝槽36由第一半導體層上表面121a往下延伸到下部半導體層12b之一深度，例如直到緩衝層125的表面或緩衝層125之一深度，或是直到基板10的主表面10a。同時，溝槽36在晶圓定義出複數個發光元件1。也就是說，溝槽36定義出各發光元件1的外圍。且下部半導體層12b的邊緣(即，第一半導體層121的邊緣)，沿著溝槽36的位置，對應圖案化保護層8，也形成有圖案化結構。

【0024】接著，如圖3C所示，實施一第三蝕刻步驟，以圖案化後的保護層8作為一遮罩，自保護層開口8a及溝槽36蝕刻移除部份下部半導體層12b，形成第一側壁S1。於一實施例中，第三蝕刻步驟為一濕式蝕刻，蝕刻溶液包括硫酸、磷酸、鹽酸、氫氟酸或其組合。在各發光元件的第一側壁S1形成後，相鄰發光元件之間所暴露出的基板10形成走道區10d。在一實施例中，在第一側壁S1形成後，可對第一側壁S1進行一粗糙化步驟。例如，以氫氧化鉀蝕刻第一側壁S1，在第一側壁S1上形成一粗糙結構(圖未示)。第一側壁S1與主表面10a之內夾角 θ_1 之角度可由蝕刻溶液的成分、蝕刻時間和溫度，以及調整保護層開口8a的寬度來達到控制。

【0025】最後，如圖3D所示，移除保護層8之後，進行電流阻擋層23(23a-23d)、透明導電層18、第一電極20及第二電極30等製作步驟。再沿著走道區10d，也就是各發光元件1的周圍，將晶圓分割形成複數發光元件1。於一實施例中，用雷射27自基板10的下表面照射，並聚焦於基板10內部，使基板10內部形成變質區，再自變質區沿著基板10晶面形成裂痕將各發光元件1分割開。在分割開後的各發光元件1的基板10側壁上，對應變質區的位置形成粗糙區Tx。

【0026】在另一實施例中，先以一光阻層(圖未示)作為遮罩，實施第二蝕刻步驟，形成溝槽36，並且下部半導體層12b的邊緣(即，第一半導體層121的邊緣)，沿著溝槽36的位置，形成有圖案化結構。之後，再於半導體疊層12上形成保護層8及保護層開口8a，其中保護層開口8a對應於溝槽36的位置，將保護層8作為一遮罩，實施第三蝕刻步驟，形成第一側壁S1。

【0027】在一實施例中，在第一側壁S1形成之後，保護層8並非完全移除，而是保留保護層8並對其進行微影蝕刻等製程，使其再次圖案化並形成電流阻擋層23，接著再進行透明導電層18、第一電極20及第二電極30等製作步驟。

【0028】圖4及圖5分別為本申請案第二實施例中所揭示之發光元件2以及第三實施例中所揭示之發光元件3。發光元件2與發光元件3之結構與發光元件1之結構類似，差別在於，在發光元件2與發光元件3的半導體疊層12內包含一或複數個溝槽36'。溝槽36'由第二半導體層上表面122a往下延伸，穿過第二半導體層122及活性層123。於一實施例中，溝槽36'更穿過部分的第一半導體層121。

【0029】在半導體疊層12內電流擴散不佳或電流擁塞的特定位置，去除其第二半導體層122以及活性層123，形成溝槽36'，可迫使電流改變擴散方向，使發光元件中的電流擴散均勻。溝槽36'的形狀由上視觀之可為條狀、點狀或任何圖形。於第二實施例發光元件2中，溝槽36'由上視觀之呈條狀，位於第一焊盤電極201與第二指狀電極302之間。於第三實施例發光元件3中，複數個溝槽36'由上視觀之分別呈點狀，並且間隔地排列分佈在第一指狀電極202與第二指狀電極302之間。

【0030】於一實施例中，本申請案一實施例發光元件2及發光元件3之製造方法，與發光元件1之製造方法類似。差別在於，在第一蝕刻步驟中形成平台區28的同時，形成溝槽36'。

【0031】於另一實施例中，本申請案一實施例發光元件2及發光元件3之製造方法，與發光元件1之製造方法類似。差別在於，先以一光阻層(圖未示)作為遮罩，實施第二蝕刻步驟，形成溝槽36以及溝槽36'，並且下部半導體層12b的邊緣(即，第一半導體層121的邊緣)，沿著溝槽36的位置，形成有圖案化結構。之後，再於半導體疊層12上形成保護層8及保護層開口8a，其中保護層開口8a對應於溝槽36的位置，將保護層8作為一遮罩，實施第三蝕刻步驟，形成第一側壁S1。

【0032】於另一實施例中，本申請案一實施例發光元件2及發光元件3之製造方法，與發光元件1之製造方法類似。差別在於，在將保護層8圖案化以形成保護層開口8a之步驟中，更同時形成其他保護層開口8a'，定義出預定要形成溝槽36'的位置，在形成溝槽36的同時，也形成溝槽36'。圖6顯示圖4中沿A-A'截面發光元件2的製造方法中一步驟，在此步驟中，相較於圖3B中發光元件1的製造方法，發光元件2的製造方法除了將保護層8圖案化以形成保護層開口8a外，更形成保護層開口8a'。接著，在移除保護層開口8a內的下部半導體層12b，形成溝槽36的同時，也移除保護層開口8a'內的第二半導體層122、活性層123與部分第一半導體層121，形成溝槽36'。接著，如同發光元件1的製造方法，實施第三蝕刻步驟，經由保護層開口8a移除部份下部半導體疊層12b，形成第一側壁S1(圖未示)。

【0033】惟上述實施例僅為例示性說明本申請案之原理及其功效，而非用於限制本申請案。任何本申請案所屬技術領域中具有通常知識者均可在不違背本申請案之技術原理及精神的情況下，對上述實施例進行修改及變

化。舉凡依本申請案申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本申請案之申請專利範圍內。

【符號說明】**【0034】**

1、2、3	發光元件
8	保護層
8a、8a'	保護層開口
10	基板
10a	上表面
10d	走道區
12	半導體疊層
12a	上部半導體層
12b	下部半導體層
121	第一半導體層
121a、122a	上表面
122	第二半導體層
123	活性層
125	緩衝層
27	雷射
18	透明導電層
180	開口
20	第一電極

第11頁，共 12 頁(發明說明書)

201	第一焊盤電極
202	第一延伸電極
23a-23d	電流阻擋層
28	平台區
30	第二電極
301	第二焊盤電極
302	第二延伸電極
36、36'	溝槽
40	圖案化結構
401	突起部
402	凹陷部
L	延長線
P	凸出部
S1	第一側壁
Tx	粗糙區
θ1、θ2、θ3	夾角

【發明申請專利範圍】

【請求項1】 一種發光元件製造方法，包含：

提供一基板，包含一主表面；

形成一半導體疊層於該主表面；

移除部份該半導體疊層，以在該半導體疊層中形成一上部半導體層以及一下部半導體層，其中該下部半導體層包含一上表面，不被該上部半導體層所覆蓋；

形成一保護層於該上部半導體層以及該下部半導體層上；

圖案化該保護層以形成一圖案化保護層，其中該圖案化保護層包含一保護層開口之圖案，且該保護層開口於上視觀之包含複數個突起部或複數個凹陷部；

以該圖案化保護層為一遮罩，對應圖案化該下部半導體層以形成一圖案化下部半導體層；以及

移除部分該圖案化下部半導體層以形成一側壁，其中未被移除的該圖案化下部半導體層覆蓋該主表面之一部份，該側壁與該主表面之該部份形成一鈍角。

【請求項2】 如請求項1之發光元件製造方法，其中圖案化該下部半導體層之步驟包含：

以該遮罩對該下部半導體層實施一蝕刻步驟。

【請求項3】 如請求項2之發光元件製造方法，其中該蝕刻步驟包含一乾式蝕刻。

【請求項4】 如請求項1之發光元件製造方法，其中移除部分該圖案化下部半導體層步驟包含一濕式蝕刻。

【請求項5】 如請求項1之發光元件製造方法，其中由上視觀之，該圖案化下部半導體層包含一圖案化邊緣。

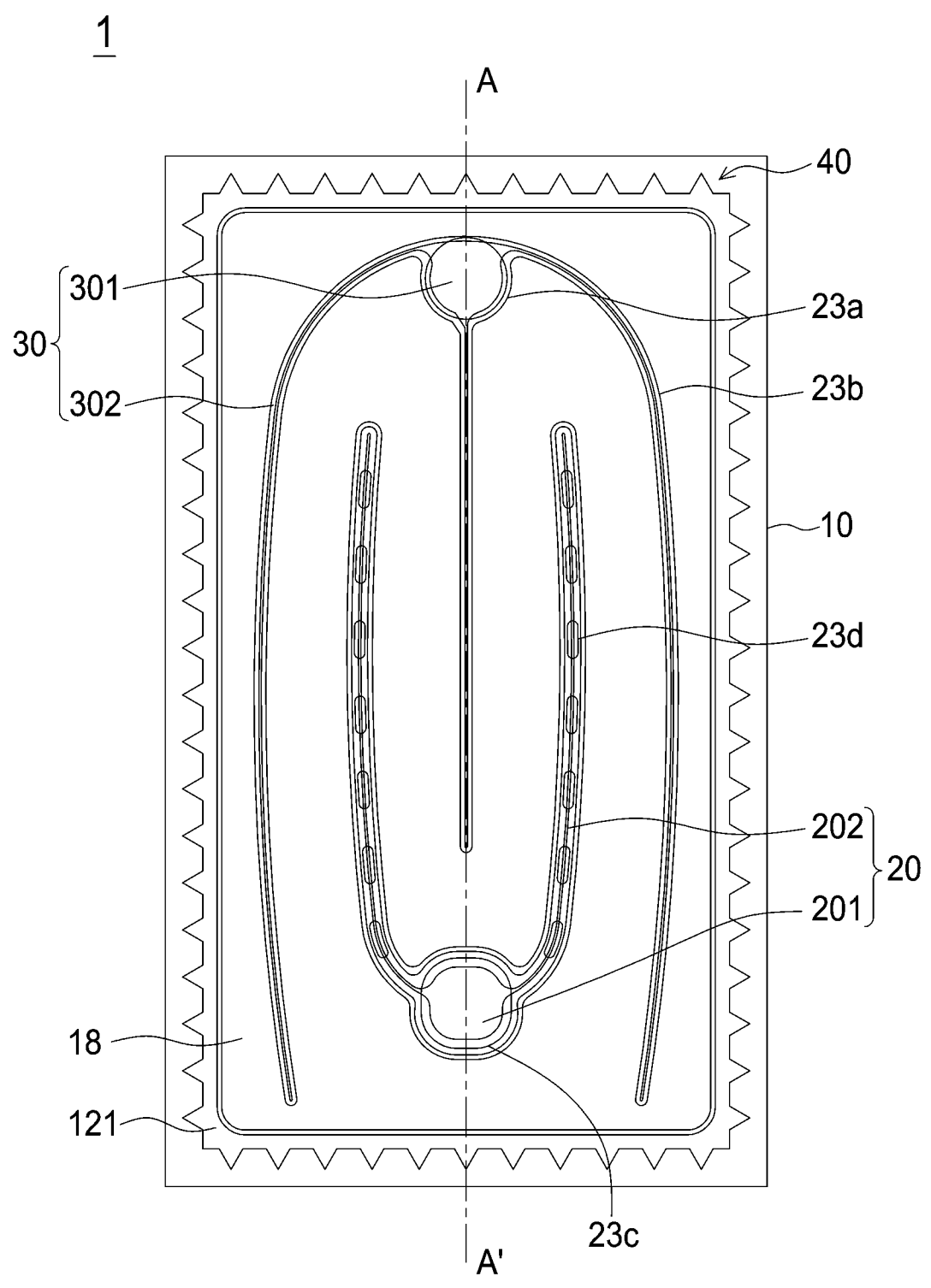
【請求項6】 如請求項5之發光元件製造方法，其中該圖案化邊緣為一規則圖案。

【請求項7】 如請求項1之發光元件製造方法，更包含形成一電極於該上表面。

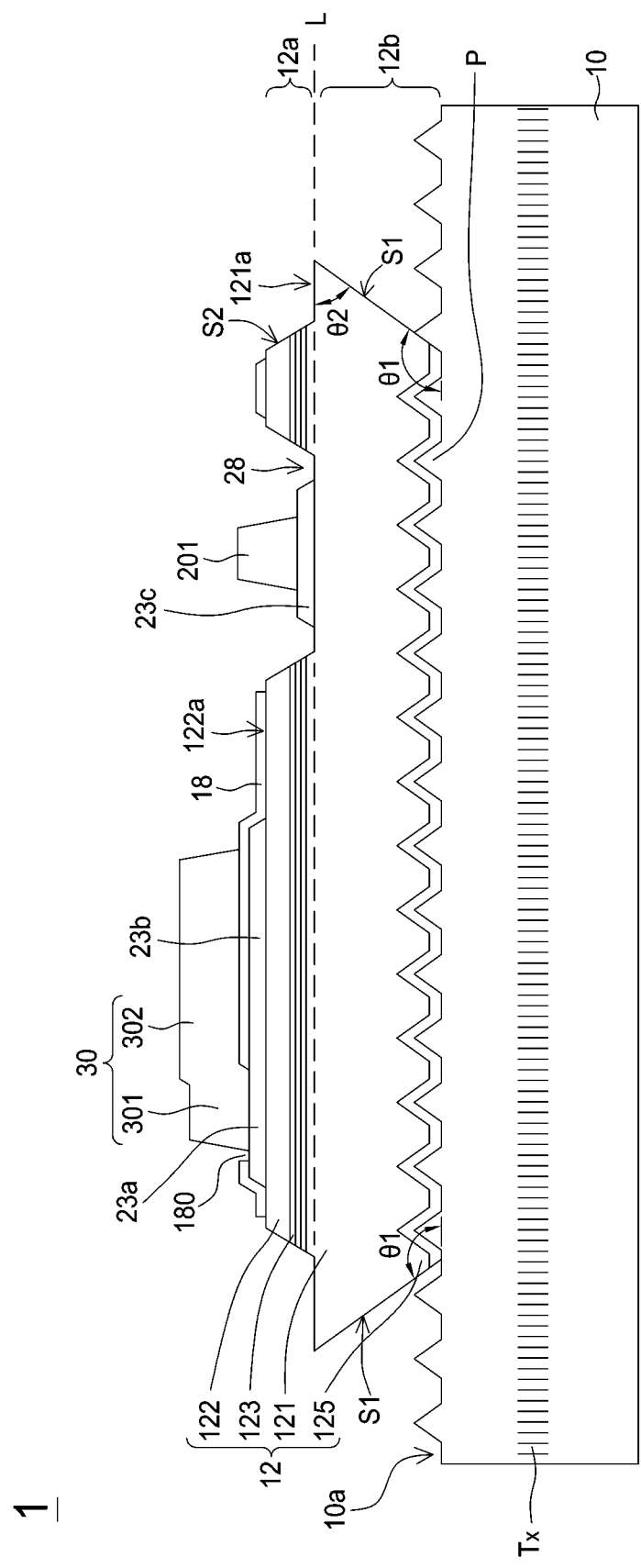
【請求項8】 如請求項1之發光元件製造方法，更包含形成一溝槽於該半導體疊層中。

【請求項9】 如請求項8之發光元件製造方法，其中，於圖案化該下部半導體層之步驟中同時形成該溝槽於該半導體疊層中。

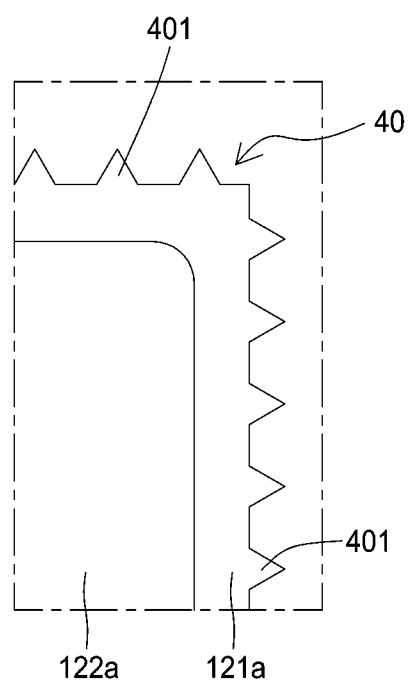
【發明圖式】



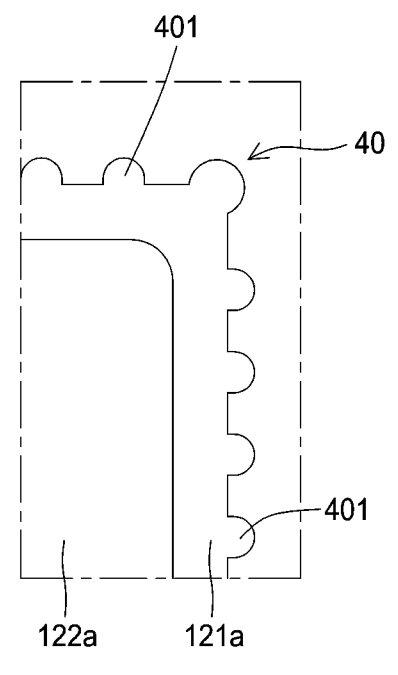
第1A圖



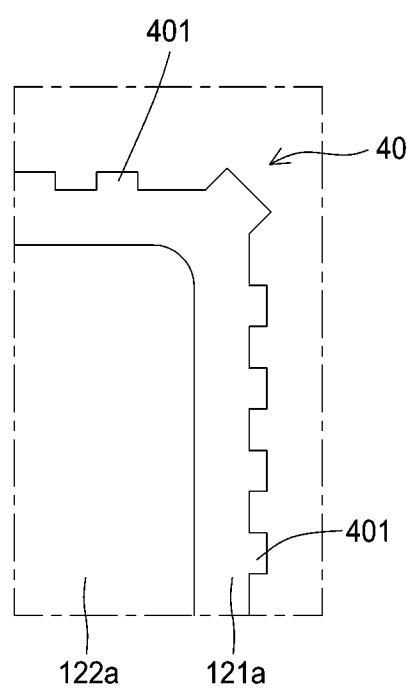
第1B圖



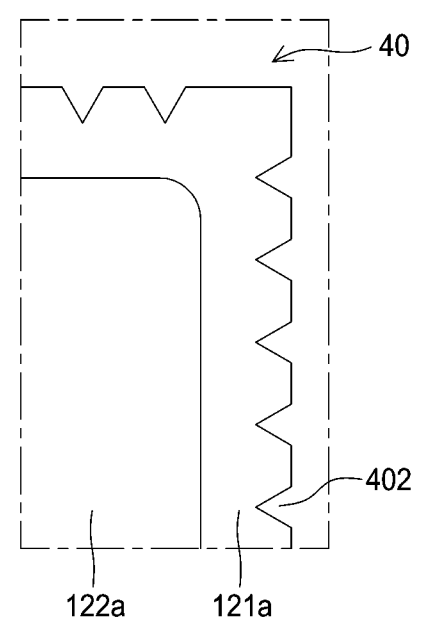
第1C圖



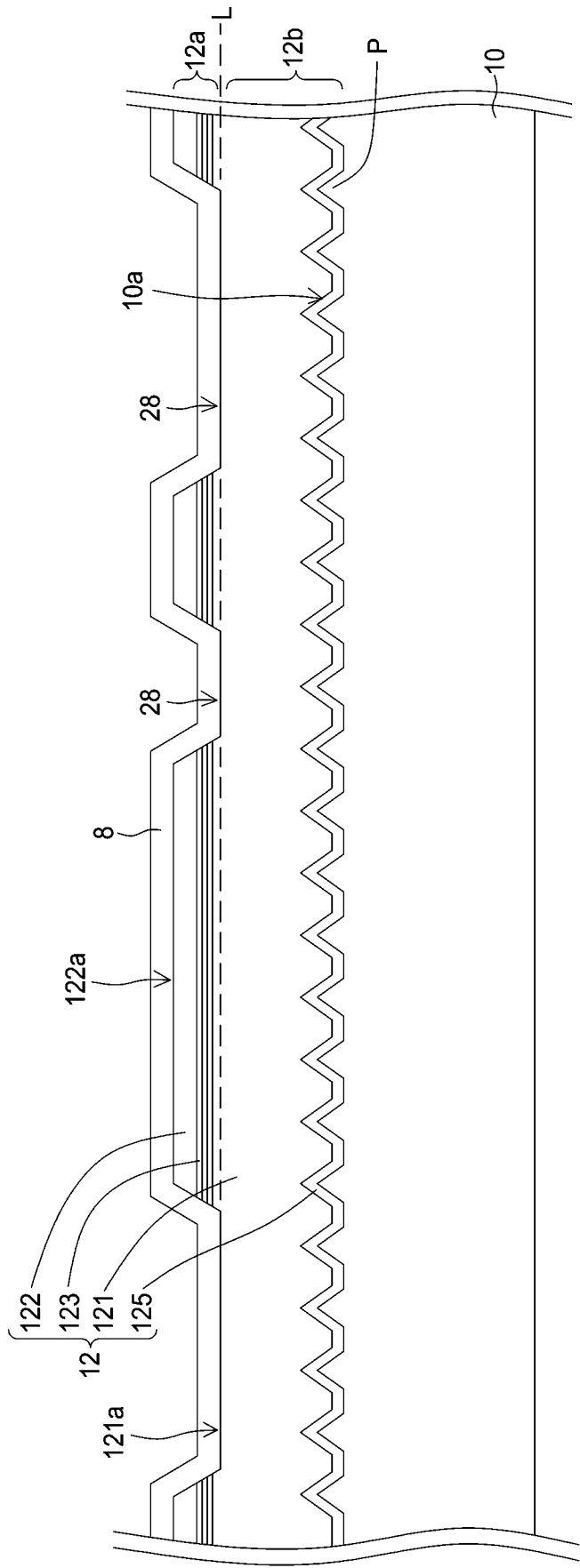
第2A圖



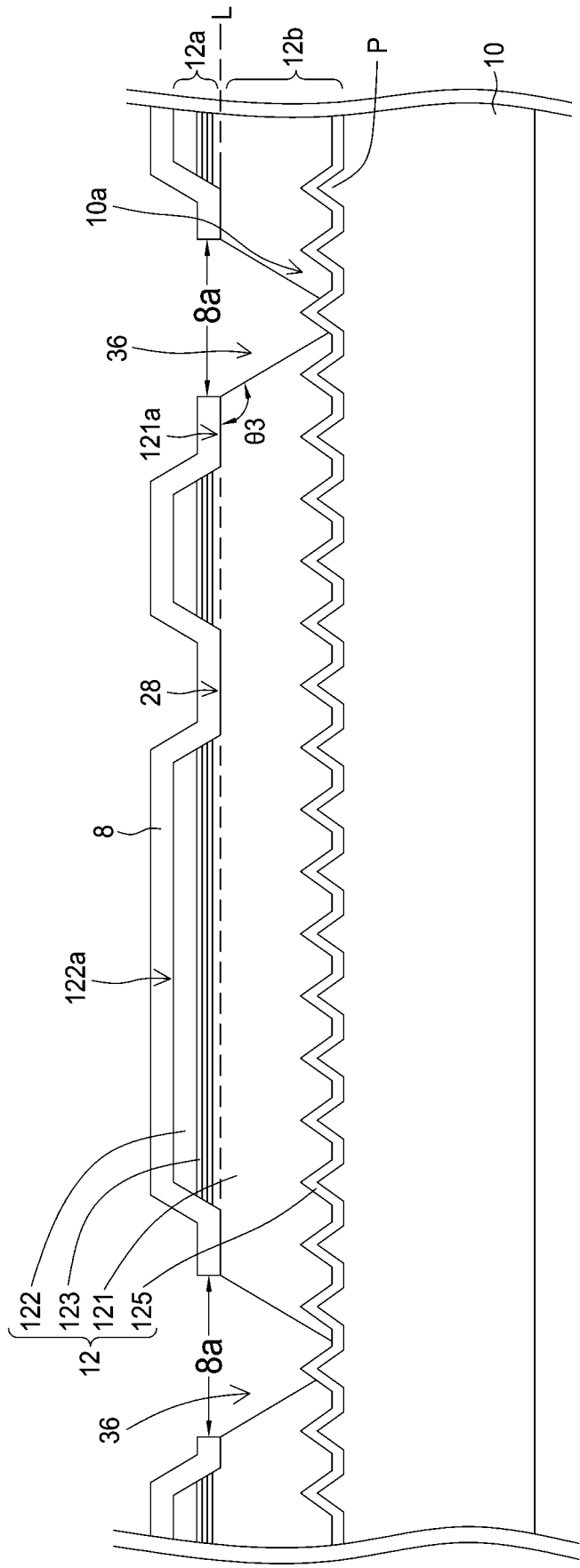
第2B圖



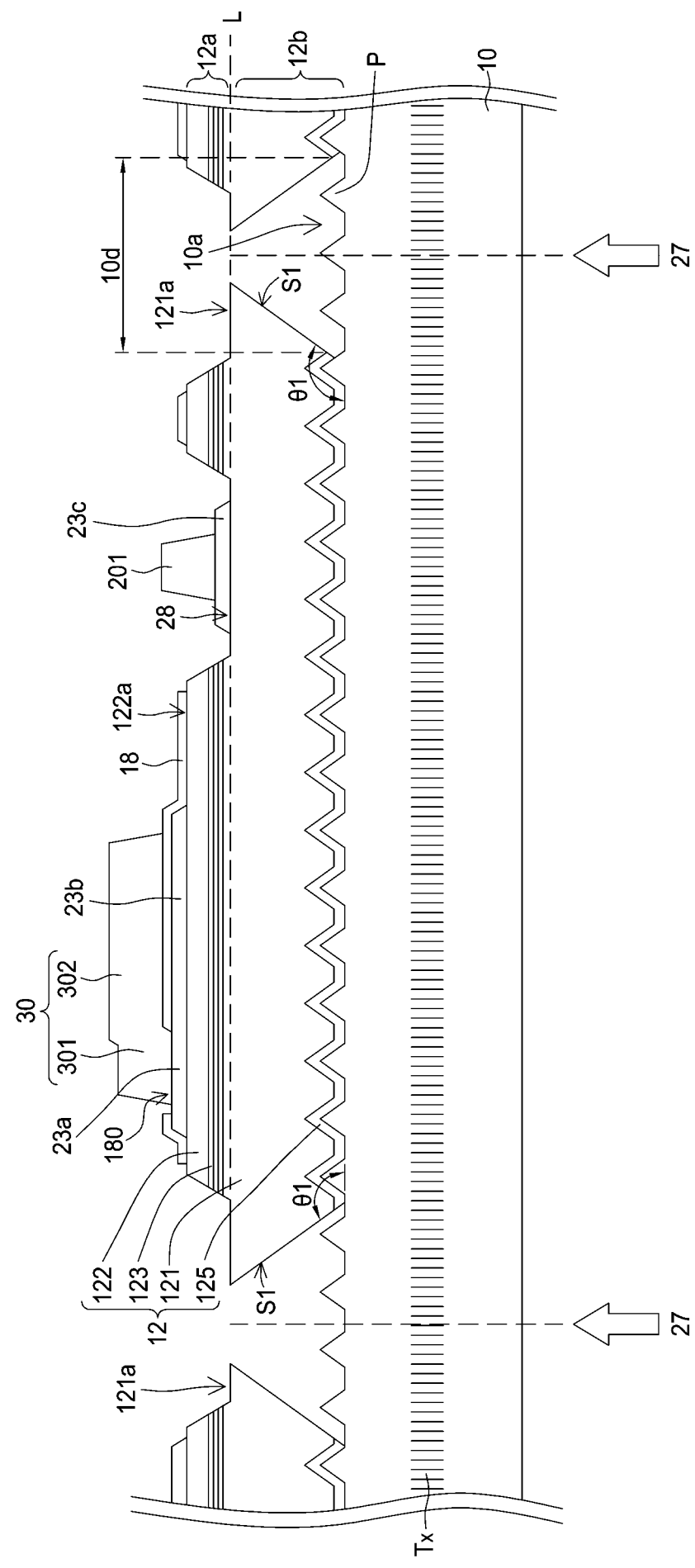
第2C圖



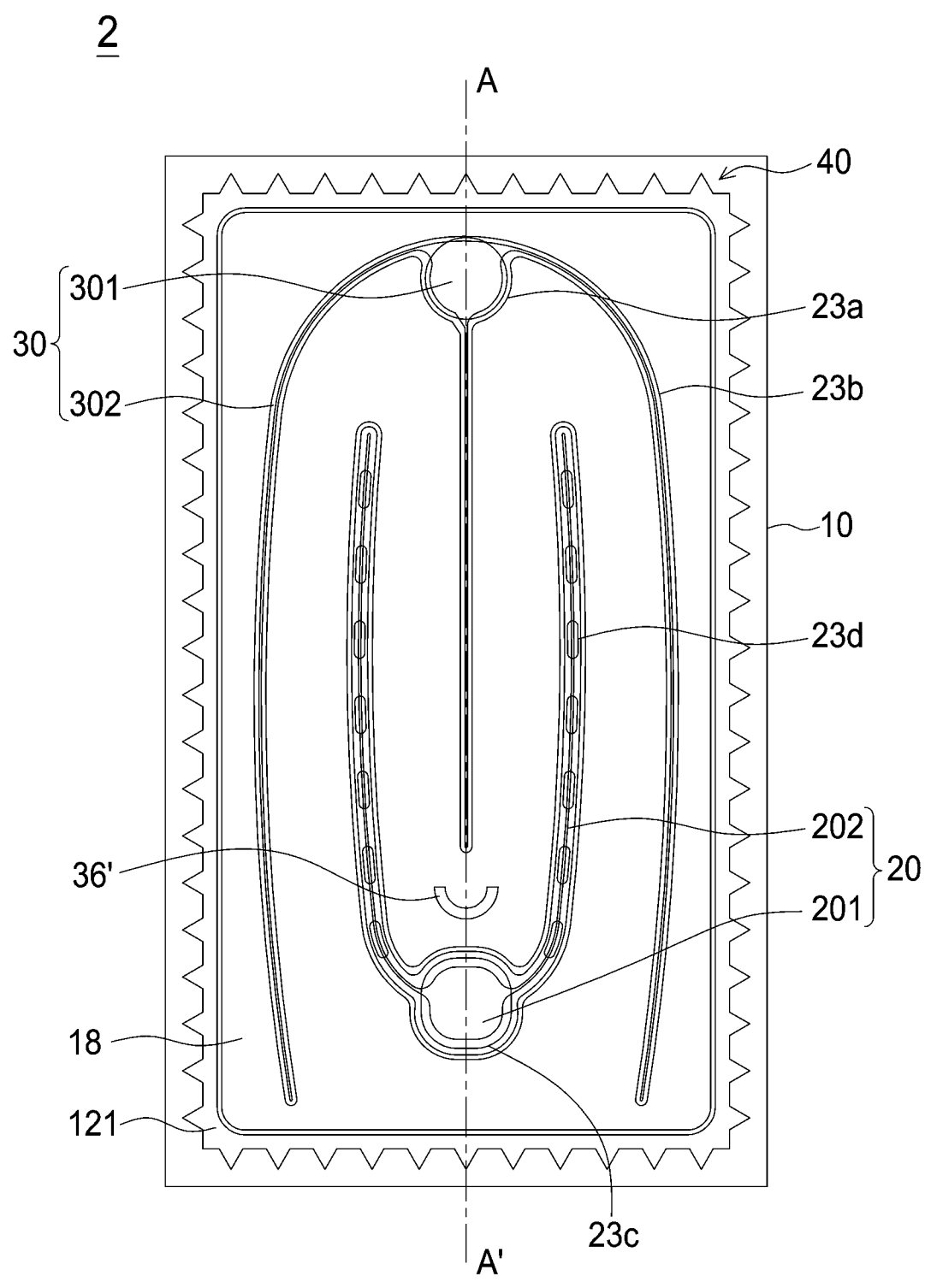
第3A圖



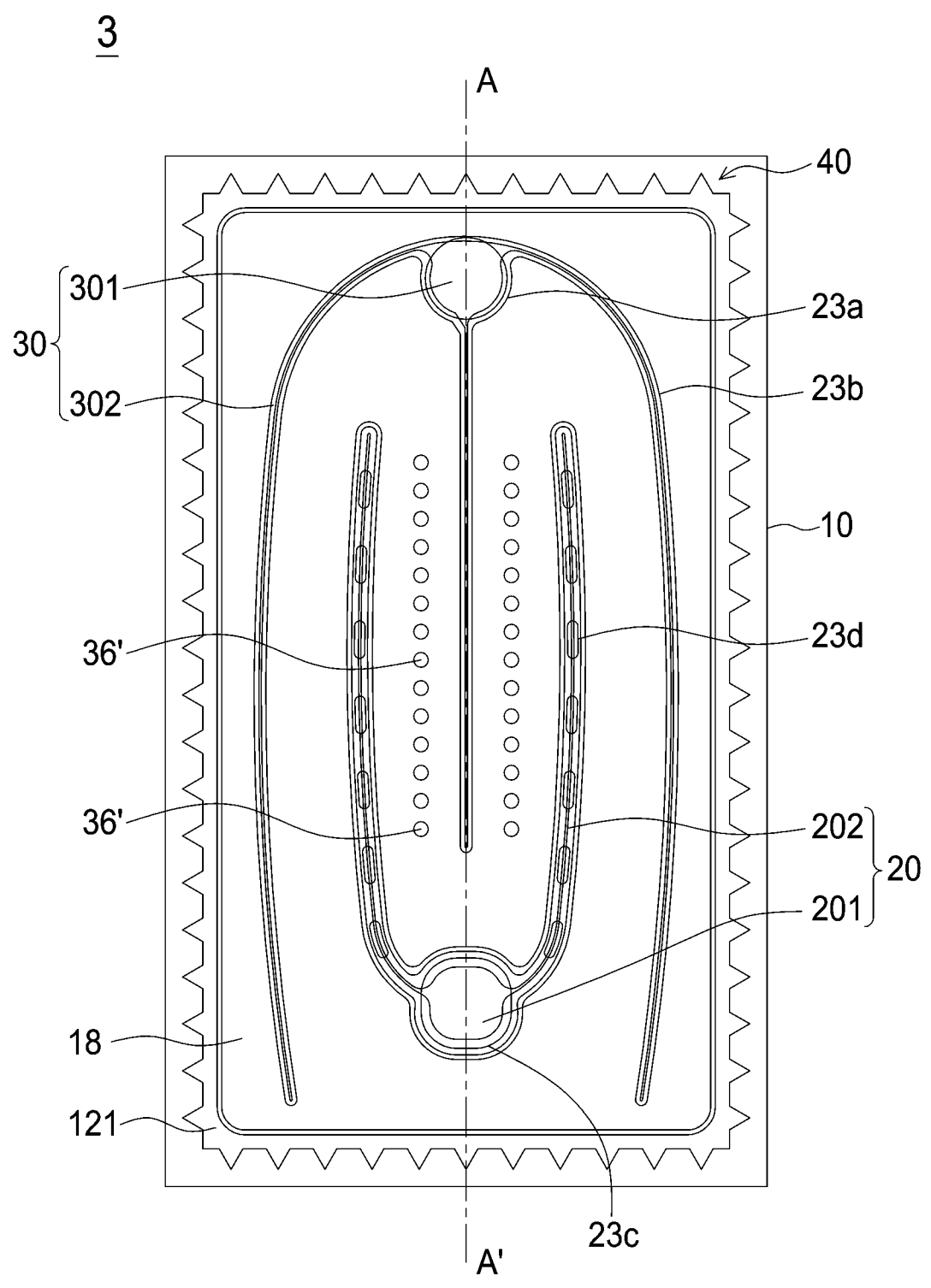
第3B圖



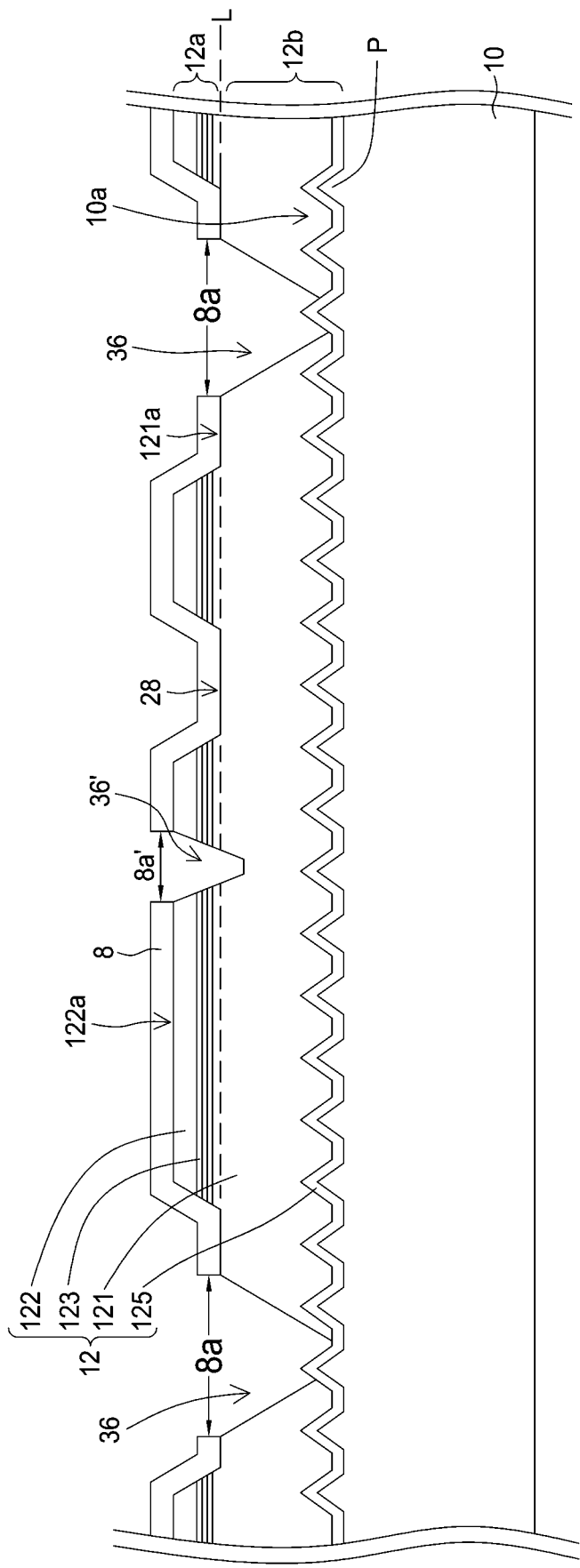
第3D圖



第4圖



第5圖



第6圖