

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-536959  
(P2018-536959A)

(43) 公表日 平成30年12月13日(2018.12.13)

(51) Int.Cl.	F I	テーマコード(参考)
<b>G 1 1 C 16/08 (2006.01)</b>	G 1 1 C 16/08 1 3 0	5 B 2 2 5
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 16/04 1 7 0	5 F 0 8 3
<b>G 1 1 C 16/24 (2006.01)</b>	G 1 1 C 16/24 1 1 0	5 F 1 0 1
<b>G 1 1 C 16/34 (2006.01)</b>	G 1 1 C 16/34 1 1 6	
<b>H O 1 L 27/11582 (2017.01)</b>	H O 1 L 27/11582	

審査請求 有 予備審査請求 未請求 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2018-514399 (P2018-514399)  
 (86) (22) 出願日 平成28年9月12日 (2016. 9. 12)  
 (85) 翻訳文提出日 平成30年5月15日 (2018. 5. 15)  
 (86) 国際出願番号 PCT/US2016/051362  
 (87) 国際公開番号 W02017/069869  
 (87) 国際公開日 平成29年4月27日 (2017. 4. 27)  
 (31) 優先権主張番号 14/886, 532  
 (32) 優先日 平成27年10月19日 (2015. 10. 19)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 511242535  
 サンディスク テクノロジーズ エルエル  
 シー  
 アメリカ合衆国 75024、テキサス州  
 、プラノー、ダラス パークウェイ 69  
 00、スイート 325  
 (74) 代理人 110000110  
 特許業務法人快友国際特許事務所  
 (72) 発明者 リアン パン  
 アメリカ合衆国 95035、カリフォル  
 ニア州、ミルピタス、サンディスク ドラ  
 イブ 951

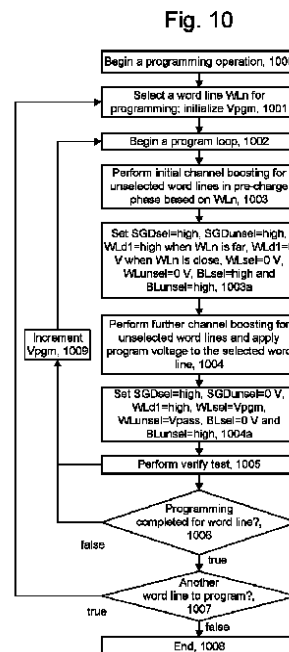
最終頁に続く

(54) 【発明の名称】 メモリのワード線依存チャネルのプリチャージ

(57) 【要約】

メモリデバイスをプログラミングするための技術が提供される。プリチャージ段階は、ビット線電圧が非選択 NAND ストリングのチャネルに達することを許容することによって、チャネルをブーストするために使用される。チャネルプリチャージを最大化し、またプログラムディスタープを最小化するために、ドレイン側ダミーワード線電圧は、選択ワード線の位置に基づいて制御される。ドレイン側ワード線電圧は、選択ワード線がドレイン側ダミーワード線に対して比較的遠い又は近い場合に、それぞれ比較的高い又は低くてもよい。ドレイン側ダミーワード線電圧が比較的高い場合、ビット線電圧は、チャネルを容易に通過しブーストすることができる。ドレイン側ダミーワード線電圧が比較的低い場合、ドレイン側データワード線のプログラムディスタープは、チャネル勾配が小さくなり、対応するホットキャリアの量が低減することによって、低減される。

【選択図】 図 1 0



## 【特許請求の範囲】

## 【請求項 1】

選択 NAND ストリングと非選択 NAND ストリングとを含む複数の NAND ストリング ( NS 1、NS 2、NS 0 \_\_ S B a、NS 0 \_\_ S B b、NS 0 \_\_ S B c、NS 0 \_\_ S B d ) であって、

前記選択 NAND ストリングは、選択メモリセル ( 9 2 1 ) と、非選択メモリセルと、を含む複数のメモリセル ( 3 0 0、3 3 3、...、3 3 4 及び 3 3 5、4 0 0、4 3 3、...、4 3 4 及び 4 3 5 ) を含み、

前記非選択 NAND ストリングは、前記選択メモリセル ( 9 2 1 ) に対応する非選択メモリセル ( 9 6 1 ) と、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数の NAND ストリングの各 NAND ストリングは、それぞれのチャンネル ( 4 0 6、6 6 5 ) と、ドレイン側選択ゲートトランジスタ ( 6 8 0、6 8 1、8 1 7、8 1 8、8 3 7、8 3 8、8 5 7、8 5 8、8 7 7、8 7 8、9 0 1、9 4 1、9 0 2、9 4 2 ) と、第 1 のダミーメモリセル ( 8 1 5、8 3 5、8 5 5、8 7 5、9 0 4、9 4 4 ) と、を含み、

前記第 1 のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲートトランジスタとドレイン端メモリセル ( 8 1 4、8 3 4、8 5 4、8 7 4、9 0 5、9 4 5 ) との間にあり、

前記複数の NAND ストリングの各 NAND ストリングは複数のビット線 ( B L 0、B L 0 A、B L 0 A - 1 ) のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線 ( W L 0 ~ W L 2 2 ) の中の選択ワード線に接続され、

前記選択 NAND ストリングの前記非選択メモリセル及び前記非選択 NAND ストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数の NAND ストリングと、

前記非選択 NAND ストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路 ( 1 1 0、1 1 2、1 1 4、1 1 6、1 2 2、1 2 8、1 3 2 ) であって、前記プリチャージ動作を実行するために、前記制御回路は、前記非選択 NAND ストリングの前記ビット線それぞれへの正のプリチャージ電圧と、前記第 1 のダミーメモリセルへの電圧と、を同時に印加するように構成され、前記第 1 のダミーメモリセルに印加された前記電圧のレベル ( W L d 1 ) は、前記選択ワード線と前記第 1 のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなる、前記制御回路と、

を備える、メモリデバイス。

## 【請求項 2】

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 1 のグループのワード線 ( W L 0 ~ W L y - 1 ) の中にある場合の第 1 の値において、及び、前記選択ワード線が前記複数のワード線の第 2 のグループのワード線 ( W L y ~ W L d s ) の中にある場合の、前記第 1 の値よりも小さい第 2 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 1 のグループのワード線は前記複数のワード線の 5 0 ~ 8 0 % を含み、

前記第 2 のグループのワード線は前記複数のワード線の残りを含み、請求項 1 に記載のメモリデバイス。

## 【請求項 3】

前記制御回路は、温度の関数として、前記第 1 のグループ ( W L 0 ~ W L y - 1 ) と前記第 2 のグループ ( W L y ~ W L d s ) との間の境界において切り換えワード線 ( W L s w i t c h ) を規定するように構成され、

前記切り換えワード線は、前記温度が比較的低い場合に、前記ドレイン側選択ゲートトランジスタに比較的近くなる、請求項 2 に記載のメモリデバイス。

**【請求項 4】**

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 1 のグループのワード線の中にある場合の第 1 の値において、及び、前記選択ワード線が前記複数のワード線の第 2 のグループのワード線の中にある場合の、前記第 1 の値よりも小さい第 2 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 1 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、請求項 1 に記載のメモリデバイス。

**【請求項 5】**

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 3 のグループのワード線の中にある場合の、前記第 2 の値よりも小さい第 3 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 3 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、請求項 4 に記載のメモリデバイス。

**【請求項 6】**

前記距離が最大である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも大きい、請求項 1 から 5 のいずれか一項に記載のメモリデバイス。

**【請求項 7】**

前記距離が最小である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも小さい、請求項 1 から 6 のいずれか一項に記載のメモリデバイス。

**【請求項 8】**

前記第 1 のダミーメモリセルは前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記複数の NAND ストリングのそれぞれの NAND ストリングは、前記第 1 のダミーメモリセルと、前記第 1 のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第 2 のダミーメモリセル ( 8 1 6 、 8 3 6 、 8 5 6 、 8 7 6 、 9 0 3 、 9 4 3 ) を含み、

前記制御回路は、前記第 1 のダミーメモリセルに前記電圧が印加されるのと同時に、前記第 2 のダミーメモリセルに電圧を印加するように構成され、

前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第 1 の範囲で変化し、

前記第 2 のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第 2 の範囲で変化し、

前記第 2 の範囲は前記第 1 の範囲よりも小さい、請求項 1 から 7 のいずれか一項に記載のメモリデバイス。

**【請求項 9】**

前記第 2 の範囲の最下部 (  $V_{w1d2\_min}$  ) は前記第 1 の範囲の最下部 (  $V_{w1d1\_min}$  ) よりも大きく、

前記第 2 の範囲の最上部 (  $V_{w1d2\_max}$  ) は前記第 1 の範囲の最上部 (  $V_{w1d1\_max}$  ) よりも小さい、請求項 8 に記載のメモリデバイス。

**【請求項 10】**

前記非選択 NAND ストリングに対して、前記制御回路は、前記ドレイン側選択ゲートトランジスタを、前記電圧が前記第 1 のダミーメモリセルに印加されるのと同時に導電状態にし、及び、前記プログラム電圧の印加と同時に非導電状態にするように構成され、

前記選択 NAND ストリングに対して、前記制御回路は、前記電圧が前記第 1 のダミー

10

20

30

40

50

メモリセルに印加されるのと同時に、前記ドレイン側選択ゲートトランジスタを導電状態にし、前記ビット線それぞれに0Vを印加するように構成される、請求項1から9のいずれか一項に記載のメモリデバイス。

【請求項11】

前記メモリデバイスは、前記複数のワード線がスタックの異なる層に配置され、前記チャンネルが前記スタックにおいて垂直に延在する3次元積層メモリデバイスを含む、請求項1から10のいずれか一項に記載のメモリデバイス。

【請求項12】

前記非選択NANDストリングは、ソース側選択ゲートトランジスタを含み、  
前記非選択NANDストリングにおいて、前記プリチャージ動作中、前記選択ワード線と前記第1のダミーメモリセルとの間の非選択メモリセルは消去状態にあり、  
前記選択ワード線と前記ソース側選択ゲートトランジスタとの間の非選択メモリセルはプログラム状態にある、請求項1から11のいずれか一項に記載のメモリデバイス。

10

【請求項13】

メモリデバイスにおいてプログラミングするための方法であって、  
非選択NANDストリング(NS1、NS2、NS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc、NS0\_\_SBd)に対して、選択NANDストリングにおける選択メモリセル(921)に対するプログラミング動作中に、前記選択メモリセルが選択ワード線(WL0~WL22)に接続される場合に、前記非選択NANDストリングのビット線それぞれ(BL0、BL0A、BL0A-1)への正のプリチャージ電圧と、前記非選択NANDストリングの第1のダミーメモリセル(815、835、855、875、904、944)への電圧と、を同時に印加することによってプリチャージ動作を実行する工程であって、前記第1のダミーメモリセルに印加される前記電圧のレベルは、選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなり、前記第1のダミーメモリセルは、前記非選択NANDストリングの複数のメモリセルのドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)とドレイン端メモリセル(814、834、854、874、905、945)との間にある、前記プリチャージ動作を実行する工程と、  
前記プリチャージ動作後に、前記選択ワード線にプログラム電圧を印加する工程と、  
を含む、方法。

20

30

【請求項14】

前記プログラミング動作において、複数のプログラムループの各プログラムループ(PL)において、前記プリチャージ動作を行う工程と、前記プログラム電圧を前記選択ワード線に印加する工程と、を繰り返す工程をさらに含む、請求項13に記載の方法。

【請求項15】

前記第1のダミーメモリセルに印加される前記電圧の前記レベルは、前記選択ワード線が複数のワード線の第1のグループのワード線の中にある場合に第1の値であり、前記選択ワード線が前記複数のワード線の第2のグループのワード線の中にある場合に前記第1の値よりも小さい第2の値であり、

40

前記第1のグループのワード線は前記複数のワード線の50~75%を含み、  
前記第2のグループのワード線は前記複数のワード線の残りを含む、請求項13又は14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、メモリデバイスの動作に関する。

【背景技術】

【0002】

半導体メモリデバイスは、さまざまな電子デバイスにおける使用のために一層普及して

50

きている。例えば、不揮発性半導体メモリは、携帯電話、デジタルカメラ、携帯情報端末、モバイルコンピューティングデバイス、非モバイルコンピューティングデバイス、及び、他のデバイスにおいて使用される。

【0003】

フローティングゲート又は電荷捕捉材料などの電荷格納材料は、データ状態を表す電荷を格納するためにかかるメモリデバイスにおいて使用可能である。電荷捕捉材料は、3次元(3D)積層メモリ構造において垂直に、又は、2次元(2D)メモリ構造において水平に配置可能である。3Dメモリ構造の一例は、導電層と誘電体層とが交互に積層されたスタックを含むBit Cost Scalable (BiCS)アーキテクチャである。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

メモリデバイスは、例えば、ストリング内に配置可能であるメモリセルを含み、この場合、選択ゲートトランジスタは、ストリングのチャンネルをソース線又はビット線に選択的に接続するためにストリングの端部に設けられる。しかしながら、かかるメモリデバイスを動作させる際にさまざまな課題が存在する。

【図面の簡単な説明】

【0005】

【図1】例示的なメモリデバイスのブロック図である。

20

【図2】図1のメモリアレイ126の例示的な2次元構造におけるメモリセルのブロックを示す図である。

【図3A】NANDストリングにおける例示的なフローティングゲートメモリセルの断面図である。

【図3B】図3Aの構造の線329に沿った断面図である。

【図4A】NANDストリングにおける例示的な電荷捕捉メモリセルの断面図である。

【図4B】図4Aの構造の線429に沿った断面図である。

【図5】図1のメモリアレイ126の例示的な3次元構造におけるブロックのセットを含むメモリデバイス600の斜視図である。

【図6A】図5のブロックのうちの1つの一部分の例示的な断面図である。

30

【図6B】図6Aのスタックにおけるメモリホール直径のプロットを示す図である。

【図6C】図6Aのスタックの領域622の詳細図である。

【図7A】図6Aのスタックの例示的なワード線層WLL10の上面図である。

【図7B】図6Aのスタックの例示的な最上部の誘電体層DL19の上面図である。

【図8】図7AのサブブロックSba~Sbdにおける例示的なNANDストリングを示す図である。

【図9A】例示的なNANDストリングNS0A及びNS0A-1の回路図である。

【図9B】図9Aの例示的なメモリセル927を示す図である。

【図10】プリチャージ電圧が選択ワード線位置に基づく、例示的なプログラミング動作を示す図である。

40

【図11】図10と合致する、例示的なプログラミング動作の波形を示す図である。

【図12A】図10と合致する、4つのデータ状態による例示的なワンパスのプログラミング動作におけるメモリセルのVth分布を示す図である。

【図12B】図10と合致する、4つのデータ状態による例示的なワンパスのプログラミング動作におけるメモリセルのVth分布を示す図である。

【図13】1セル当たり3ビットを使用する8つのデータ状態においてデータを格納するメモリセルのVth分布を示す図である。

【図14A】消去状態のメモリセルのVth分布の上端の変動のプロットを、選択ワード線位置の関数、及びダミーワード線電圧の関数として示す図である。

【図14B】図14Aと合致する、2つのレベルの電圧が使用される場合のダミーワード

50

線電圧のプロットを、選択ワード線位置の関数として示す図である。

【図14C】図14Aと合致する、3つのレベルの電圧が使用される場合のダミーワード線電圧のプロットを、選択ワード線位置の関数として示す図である。

【図14D】図14Aと合致する、 $V_{w1d1}$ が選択ワード線位置の関数として傾斜状に減少する場合のダミーワード線電圧のプロットを、選択ワード線位置の関数として示す図である。

【図15A】1つのドレイン側ダミーメモリセルが使用される、図14Aのプロット1400と合致する、 $W_{Lsel}$ がドレイン側ダミーメモリセルから比較的離れており、 $W_{1d1}$  = 高である場合の、非選択NANDストリングにおけるチャンネル電圧のプロットを示す図である。

【図15B】1つのドレイン側ダミーメモリセルが使用される、図14Aのプロット1401と合致する、 $W_{Lsel}$ がドレイン側ダミーメモリセルに比較的近く、 $W_{1d1}$  = 低である場合の、非選択NANDストリングにおけるチャンネル電圧のプロットを示す図である。

【図15C】2つのドレイン側ダミーメモリセルが使用される、図14Aのプロット1400と合致する、 $W_{Lsel}$ がドレイン側ダミーメモリセルから比較的離れており、 $W_{1d1}$  = 高及び $W_{1d2}$  = 高である場合の、非選択NANDストリングにおけるチャンネル電圧のプロットを示す図である。

【図15D】2つのドレイン側ダミーメモリセルが使用される、図14Aのプロット1401と合致する、 $W_{Lsel}$ がドレイン側ダミーメモリセルに比較的近く、 $W_{1d1}$  = 低及び $W_{1d2}$  = 低である場合の、非選択NANDストリングにおけるチャンネル電圧のプロットを示す図である。

【図16A】図10と合致する、選択NANDストリングに対する $B_{Lsel}$ （プロット1600）、及び非選択NANDストリングに対する $B_{Lunsel}$ （プロット1601）を含む、プログラミング動作における時間関数として例示的なビット線電圧を示す図である。

【図16B】図10と合致する、例示的なSGD電圧（ドレイン側選択ゲートトランジスタの電圧）をプログラミング動作（プロット1610）における時間関数として示す図である。

【図16C】図10と合致する、 $W_{1d1}$ から $W_{Lsel}$ までの距離が比較的遠い（プロット1620）又は比較的近い（プロット1621）場合の例示的な $W_{1d1}$ （第1のドレイン側ダミーワード線の電圧）を、プログラミング動作における時間関数として示す図である。

【図16D】例示的な $W_{Lunsel}$ （非選択ワード線の電圧）（プロット1630）をプログラミング動作における時間関数として示す図である。

【図16E】例示的な $W_{Lsel}$ （選択ワード線の電圧）（プロット1640）をプログラミング動作における時間関数として示す図である。

【発明を実施するための形態】

【0006】

プログラムディスターブを低減する方法でメモリデバイスをプログラミングする技術を提供する。対応するメモリデバイスも提供される。

【0007】

いくつかのメモリデバイスでは、メモリセルは、ブロック又はサブブロックでのNANDストリングなどで、互いにつながられる。それぞれのNANDストリングは、ビット線に接続されるNANDストリングのドレイン側の1又は複数のドレイン側SGトランジスタ（SGDトランジスタ）と、ソース線に接続されるNANDストリングのソース側の1又は複数のソース側SGトランジスタ（SGSトランジスタ）と、の間で直列に接続される多数のメモリセルを含む。さらに、メモリセルは、制御ゲートを機能させる共通の制御線（例えばワード線）と配置され得る。ワード線のセットは、ブロックのソース側からブロックのドレイン側まで亘っている。

10

20

30

40

50

## 【0008】

プログラミング動作中、メモリセルはワード線プログラミング順序に従ってプログラミングされる。例えば、プログラミングは、ブロックのソース側のワード線で開始し、ブロックのドレイン側のワード線に進んでよい。1つの手法では、それぞれのワード線は、次のワード線をプログラミングする前に完全にプログラミングされる。例えば、第1のワード線WL0は、プログラミングが完了するまで1又は複数のプログラミングパスを使用してプログラミングされる。次に、第2のワード線WL1は、プログラミングが完了するまで1又は複数のプログラミングパスを使用してプログラミングされ、以下同様に続く。プログラミングパスは、図11に示されるように、各プログラムループ又は各プログラムベリファイ反復でワード線に印加される、増大するプログラム電圧のセットを含んでよい。

ベリファイ動作は、メモリセルのプログラミングが完了しているか否かを判断するために、それぞれのプログラム電圧後に行われてよい。メモリセルに対するプログラミングは、完了する時、さらなるプログラミングからロックアウト可能であるが、後続のプログラムループにおいて他のメモリセルに対するプログラミングは継続する。

10

## 【0009】

従って、それぞれのプログラムループ中、選択NANDストリングは、プログラミングのために選択されるメモリセルを含み、非選択NANDストリングはプログラミングのために選択されるメモリセルを含まない。所与のNANDストリングは、プログラミング動作の開始時に選択可能であり、選択ワード線上の当該NANDストリングのメモリセルがプログラミングを完了すると、選択されなくなる。消去状態のままにする選択ワード線上のメモリセルに接続されるNANDストリングは、非選択NANDストリングとして残ることになる。

20

## 【0010】

各メモリセルは、プログラムコマンド内の書込みデータに従ってデータ状態に関連付けられてもよい。このデータ状態に基づいて、メモリセルは、消去状態を維持するか、又は消去状態とは異なるデータ状態（プログラムされたデータ状態）にプログラムされることになる。例えば、1セル当たり2ビットのメモリデバイスでは、消去状態と、A、B及びCデータ状態と称される3つのより高いデータ状態と、を含む4つのデータ状態が存在する（図12B参照）。1セル当たり3ビットのメモリデバイスでは、消去状態と、A、B、C、D、E、F及びGデータ状態と称される7つのより高いデータ状態と、を含む8つのデータ状態が存在する（図13を参照）。1セル当たり4ビットのメモリデバイスでは、消去状態と、A、B、C、D、E、F、G、H、I、J、K、L、M、N及びOデータ状態と称される15のより高いデータ状態と、を含む16のデータ状態が存在する。

30

## 【0011】

しかしながら、メモリセルは、プログラム電圧が印加されるときにプログラムディスタープに起因して誤ってプログラミングされる可能性がある。プログラムディスタープは、1つの手法では、選択ワード線から非選択ワード線内の各メモリセルまでの容量結合によって生じる可能性がある。例えば、非選択NANDストリングのメモリセルは、非選択NANDストリングと選択NANDストリングとによって共有されるワード線に印加される電圧によって妨害される可能性がある。書込みデータに基づいて消去状態を維持するメモリセルは、プログラムディスタープの影響を最も受けやすい。プログラムディスタープによって、これらメモリセルの $V_{th}$ は増大し、その結果、読出しエラーが生じる可能性がある。プログラムディスタープを低減するために、非選択NANDストリングのチャンネルは、プログラム電圧が印加される前にブーストされる。ブーストは、例えば、0Vから8~9Vまでの、非選択ワード線の電圧( $V_{pass}$ )の増大によって主にもたらされる。この増大はチャンネルに結合する。さらに、非選択NANDストリングの各端部における選択ゲートトランジスタは、容量結合によってチャンネル電圧がより高くフローティングできるように、非導電状態で設けられる。

40

## 【0012】

$V_{pass}$ が増大する前にさらにブーストさせるために、SGDトランジスタが導電状

50

態にある間に、ビット線を介してチャンネルをプリチャージしてもよい。1つの手法では、ダミーワード線が、データを格納するのに不適合なダミーメモリセルに接続される。1又は複数のダミーメモリセルは、チャンネル勾配における段階的移行をもたらすためにNANDストリングのドレイン端に設けられてもよい。プリチャージがチャンネルを通過することができるように、ダミーワード線を比較的高い電圧で設け、強力な導電状態でダミーメモリセルを設けてもよい。しかしながら、これによって、ダミーワード線とドレイン側データワード線との間のチャンネル勾配が増大する可能性があり、それによって、電子正孔対が生成されて、ここで電子はブースト電位を低下させる可能性がある。

#### 【0013】

さらに、選択ワード線が、非選択NANDストリングのドレイン側よりもソース側に比較的近い場合、選択ワード線とダミーワード線との間に多くのメモリセルがあることになり、これらのメモリセルはワード線プログラミング順序の結果として消去状態になる。これらのメモリセルの制御ゲートが0Vなどの低電圧である場合でも、これらのメモリセル下のチャンネル領域は比較的高い導電状態にあることとなるため、電子は、チャンネル内移動し、チャンネル内で消失する可能性がある。これは、消去状態のメモリセルの $V_{th}$ が、-1V未満など、0V未満であってもよいために成立する。メモリセルの制御ゲート電圧がメモリセルの $V_{th}$ 及びドレイン電圧の合計を超える場合、メモリセルは導電状態にある。チャンネルのこの導電部分は、比較的高い静電容量を有し、生成された電子を吸収できる。しかしながら、選択ワード線が、非選択NANDストリングのソース側よりもドレイン側に比較的近い場合、選択ワード線とダミーワード線との間のメモリセルはない又はわずかとなる。従って、電子を吸収するために利用可能であるチャンネルの導電部分は比較的小さい。この結果、電子がブースト電位を低下させる可能性がより高くなる。

#### 【0014】

実際に、電子は非選択NANDストリングのドレイン端においていくつかのメモリセルの距離分移動できる。本明細書に提供される技術は、上記の及び他の問題点に対処する。1つの態様では、チャンネルのプリチャージを最大化し、またプログラムディスターブを最小化するために、ドレイン側ダミーワード線電圧は、選択ワード線の位置に基づいて制御される。ドレイン側ダミーワード線電圧は、選択ワード線が、ドレイン側ダミーワード線から比較的遠い又は近い場合、それぞれ比較的高い又は低い可能性がある。従って、ドレイン側ダミーワード線電圧は、ある調節範囲を有する。ドレイン側ダミーワード線電圧( $V_{wld1}$ )が比較的高い場合、ビット線電圧はチャンネルを容易に通過しブーストすることができる。ドレイン側ダミーワード線電圧が比較的低い場合、より小さいチャンネル勾配及び対応するホットキャリアの量の低減に起因して、ドレイン側データワード線のプログラムディスターブは低減する。

#### 【0015】

1つの手法では、 $V_{wld1}$ のより高い値は、選択ワード線が、例えば、データワード線の50~75%又は50~80%を含むワード線の第1のグループの中にあるときに使用され、 $V_{wld1}$ のより低電圧は、選択ワード線がデータワード線の残り(20~50%)の中にあるときに使用される。1つの手法では、第1のドレイン側ダミーワード線の調節範囲よりも小さい調節範囲を有する第2のドレイン側ダミーワード線が使用される。

#### 【0016】

様々な他の特徴及び利点が後述される。

#### 【0017】

図1は、例示的なメモリデバイスのブロック図である。メモリデバイス100は、1又は複数のメモリダイ108を含んでもよい。メモリダイ108は、メモリセルのアレイなどのメモリセルのメモリ構造126、制御回路110及び読出し/書込み回路128を含む。メモリ構造126は、行デコーダ124を介してワード線により、及び、列デコーダ132を介してビット線によりアドレス指定可能である。読出し/書込み回路128は、複数のセンスブロックSB1、SB2、...、SBp(センス回路)を含み、メモリセルのページが並列に読み出されるか又はプログラムされることを可能にする。典型的には、コ

10

20

30

40

50

ントローラ 1 2 2 は、1 又は複数のメモリダイ 1 0 8 と同じメモリデバイス 1 0 0 ( 例  
えば、着脱可能なストレージカード ) に含まれる。コマンド及びデータは、データバス 1 2  
0 を介してホスト 1 4 0 とコントローラ 1 2 2 との間で、及び、ライン 1 1 8 を介してコ  
ントローラと 1 又は複数のメモリダイ 1 0 8 との間で転送される。

【 0 0 1 8 】

メモリ構造は 2 D 又は 3 D であってもよい。メモリ構造は、3 D アレイを含む、メモリ  
セルの 1 又は複数のアレイを含んでもよい。メモリ構造は、ウェハなどの単一の基板の ( 中  
にではなく ) 上に、介在する基板なしに複数のメモリレベルが形成されるモノリシック  
3 次元メモリ構造を含んでもよい。メモリ構造は、シリコン基板上に配置された活性領域  
を有するメモリセルのアレイの 1 又は複数の物理レベルでモノリシックに形成される、任  
意の種類の不揮発性メモリを含んでもよい。メモリ構造は、関連する回路が基板の上にあ  
るか又は内部にあるかに関わらず、メモリセルの動作に関連付けられた回路を有する不揮  
発性メモリデバイス内であってもよい。

10

【 0 0 1 9 】

制御回路 1 1 0 は、読出し / 書込み回路 1 2 8 と協働してメモリ構造 1 2 6 上でメモリ  
動作を実行し、ステートマシン 1 1 2、オンチップアドレスデコーダ 1 1 4、電力制御モ  
ジュール 1 1 6 を含む。ステートマシン 1 1 2 は、メモリ動作のチップレベル制御を提供  
する。記憶領域 1 1 3 は、例えば、図 1 0 のプロセスに関連して、例えば、さらに後述さ  
れるようにパラメータをプログラミングするために設けられてよい。

【 0 0 2 0 】

オンチップアドレスデコーダ 1 1 4 は、ホスト又はメモリコントローラによって使用さ  
れるアドレスと、デコーダ 1 2 4 及び 1 3 2 によって使用されるハードウェアアドレスと  
のアドレスインターフェースを提供する。電力制御モジュール 1 1 6 は、メモリ動作中に  
ワード線及びビット線に供給される電力及び電圧を制御する。電力制御モジュール 1 1 6  
は、ワード線、S G S 及び S G D トランジスタ、ならびにソース線用のドライバを含んで  
もよい。センスブロックは、1 つの手法では、ビット線ドライバを含んでもよい。S G S  
トランジスタは N A N D スtring のソース端における選択ゲートトランジスタであり、  
S G D トランジスタは N A N D スtring のドレイン端における選択ゲートトランジスタ  
である。

20

【 0 0 2 1 】

いくつかの実装形態では、構成要素のいくつかは組み合わせてもよい。様々な設計では  
、メモリ構造 1 2 6 を除く 1 又は複数の構成要素 ( 単体又は組み合わせ ) は、図 1 0 のフ  
ローチャートのステップを含む、本明細書に説明される技術を行うように構成される少な  
くとも 1 つの制御回路とみなしてもよい。例えば、制御回路は、制御回路 1 1 0、ステ  
ートマシン 1 1 2、デコーダ 1 1 4 / 1 3 2、電力制御モジュール 1 1 6、センスブロック  
S B b、S B 2、...、S B p、読出し / 書込み回路 1 2 8、及びコントローラ 1 2 2 など  
のうちの任意の 1 つ又は組み合わせを含んでもよい。

30

【 0 0 2 2 】

オフチップコントローラ 1 2 2 は、プロセッサ 1 2 2 c と、ROM 1 2 2 a 及び RAM  
1 2 2 b などの記憶デバイス ( メモリ ) と、エラー訂正コード ( E C C ) エンジン 2 4 5  
と、を含んでもよい。E C C エンジン は、V t h 分布の上端が高くなり過ぎるときに引き  
起こされる多数の読出しエラーを訂正することができる。

40

【 0 0 2 3 】

記憶デバイスは、命令の集合などのコードを含み、プロセッサは、本明細書に説明され  
る機能を提供するために命令の集合を実行するように動作可能である。代替的には又は追  
加的に、プロセッサは、1 又は複数のワード線内のメモリセルの予約領域など、メモリ構  
造の記憶デバイス 1 2 6 a からコードにアクセスしてもよい。

【 0 0 2 4 】

例えば、コードは、プログラミング動作、読出し動作及び消去動作などのためのメモリ  
構造にアクセスするために、コントローラによって使用可能である。コードは、ブートコ

50

ード及び制御コード（例えば、命令の集合）を含んでもよい。ブートコードは、ブート処理中又はスタートアップ処理中にコントローラを初期化し、コントローラがメモリ構造にアクセスできるようにするソフトウェアである。コードは、1又は複数のメモリ構造を制御するためにコントローラによって使用可能である。起動時、プロセッサ122cは、実行のためにROM122a又は記憶デバイス126aからブートコードを取り出し、ブートコードは、システムコンポーネントを初期化し、制御コードをRAM122bにロードする。制御コードは、RAMにロードされるとプロセッサによって実行される。制御コードは、メモリの制御及び割り当て、命令の処理の優先順位付け、及び、入力ポート及び出力ポートの制御などの基本タスクを実行するためのドライバを含む。

#### 【0025】

一般的に、制御コードは、さらに後述されるフローチャートのステップを含む、本明細書に説明される機能を実行するための命令を含んでもよく、さらに後述されるものを含む電圧波形を提供してもよい。

#### 【0026】

1つの実施形態では、ホストは、1又は複数のプロセッサと、本明細書に説明される方法を実行するように当該1又は複数のプロセッサをプログラミングするためのプロセッサ可読コード（例えば、ソフトウェア）を格納する1又は複数のプロセッサ可読記憶デバイス（RAM、ROM、フラッシュメモリ、ハードディスクドライブ、固体メモリ）と、を含む、コンピューティング機器（例えば、ラップトップ、デスクトップ、スマートフォン、タブレット、デジタルカメラ）である。ホストは、追加のシステムメモリ、1又は複数の入力/出力インターフェース、及び/又は、1又は複数のプロセッサと通信する1又は複数の入力/出力デバイスも含んでもよい。

#### 【0027】

NANDフラッシュメモリに加えて他の種類の不揮発性メモリを使用してもよい。

#### 【0028】

半導体メモリデバイスは、ダイナミックランダムアクセスメモリ（DRAM）デバイス又はスタティックランダムアクセスメモリ（SRAM）デバイスなどの揮発性メモリデバイス、抵抗変化型メモリ（ReRAM）、電気的消去可能ROM（EEPROM）、（EEPROMのサブセットとみなしてもよい）フラッシュメモリ、強誘電体ランダムアクセスメモリ（FRAM（登録商標））及び磁気抵抗ランダムアクセスメモリ（MRAM）などの不揮発性メモリデバイス、ならびに、情報を格納可能である他の半導体素子を含む。各種類のメモリデバイスは、異なる構成を有してもよい。例えば、フラッシュメモリデバイスは、NAND構成又はNOR構成で構成されてもよい。

#### 【0029】

メモリデバイスは、任意の組み合わせで、受動素子及び/又は能動素子から形成してもよい。非限定的な例として、受動半導体メモリ素子は、いくつかの実施形態では、アンチヒューズ又は相変化材料などの抵抗型スイッチング記憶素子、及び、任意でダイオード又はトランジスタなどのステアリング素子を含む、ReRAMデバイス素子を含む。さらに、非限定的な例として、能動半導体メモリ素子は、いくつかの実施形態では、フローティングゲート、導電性ナノ粒子、又は電荷格納誘電体材料などの電荷格納領域を有する素子を含む。

#### 【0030】

複数のメモリ素子は、直列に接続されるように、又は、各素子が個々にアクセス可能であるように構成されてもよい。非限定的な例として、NAND構成（NANDメモリ）におけるフラッシュメモリデバイスは、典型的には、直列に接続されるメモリ素子を有する。NANDストリングは、メモリセル及びSGトランジスタを含む直列接続トランジスタのセットの一例である。

#### 【0031】

NANDメモリアレイは、ストリングが、単一ビット線を共有し、グループとしてアクセスされる複数のメモリ素子から構成されるメモリの複数のストリングから、該アレイが

10

20

30

40

50

構成されるように構成されてよい。代替的には、メモリ素子は、例えば、NORメモリアレイといった、各素子が個々にアクセス可能であるように構成されてもよい。NAND及びNORメモリ構成は例であり、メモリ素子は別の構成であってもよい。

**【0032】**

基板内に及び/又は基板に亘って位置する半導体メモリ素子は、2次元メモリ構造又は3次元メモリ構造など、2次元又は3次元で配置されてよい。

**【0033】**

2次元メモリ構造において、半導体メモリ素子は、単一平面又は単一メモリデバイスレベルに配置される。典型的には、2次元メモリ構造では、メモリ素子は、メモリ素子を支持する基板の主面に実質的に平行に延在する平面(例えば、 $x-y$ 方向平面)に配置される。基板は、メモリ素子が形成される層に亘る又は層内のウェハであってよく、又は、基板は、メモリ素子の形成後にメモリ素子に取り付けられるキャリア基板であってよい。非限定的な例として、基板はシリコンなどの半導体を含んでもよい。

10

**【0034】**

メモリ素子は、複数の行及び/又は列などの、順序付けられたアレイにおいて単一メモリデバイスレベルで配置されてもよい。しかしながら、メモリ素子は、非正則構成又は非直交構成で配置されてもよい。メモリ素子はそれぞれ、ビット線及びワード線など、2つ以上の電極又は接触線を有してもよい。

**【0035】**

3次元メモリアレイは、メモリ素子が複数の平面又は複数のメモリデバイスレベルを占めることで、3次元の(すなわち、基板の主面に対して、 $z$ 方向が実質的に鉛直であり、 $x$ 及び $y$ 方向が実質的に平行である、 $x$ 、 $y$ 及び $z$ 方向の)構造を形成するように配置される。

20

**【0036】**

非限定的な例として、3次元メモリ構造は、複数の2次元メモリデバイスレベルのスタックとして垂直に配置されてよい。別の非限定的な例として、3次元メモリアレイは、複数の垂直な列(例えば、基板の主面に実質的に鉛直に、すなわち、 $y$ 方向に延在する列)として配置されてもよく、それぞれのカラムは複数のメモリ素子を有する。列は、2次元構造で、例えば、 $x-y$ 平面で配置されてよく、結果として、複数の垂直に積層されたメモリ面上の素子によるメモリ素子の3次元配置がもたらされる。3次元のメモリ素子の他の構成はまた、3次元メモリアレイを構成してもよい。

30

**【0037】**

非限定的な例として、3次元NANDメモリアレイでは、メモリ素子は、互いに結合されて、単一の水平方向の(例えば、 $x-y$ )メモリデバイスレベル内でNANDストリングを形成してもよい。代替的には、メモリ素子は、互いに結合されて、複数の水平方向のメモリデバイスレベルを横切る垂直NANDストリングを形成してもよい。他の3次元構造は、いくつかのNANDストリングが単一のメモリレベルでメモリ素子を有し、他のストリングが複数のメモリレベルに及びメモリ素子を有すると想定してもよい。3次元メモリアレイは、NOR構成及びReRAM構成で設計されてもよい。

**【0038】**

典型的には、モノリシック3次元メモリアレイにおいて、1又は複数のメモリデバイスレベルは、単一の基板の上に形成される。モノリシック3次元メモリアレイは、単一の基板内に少なくとも部分的に1又は複数のメモリ層を任意に有してもよい。非限定的な例として、基板はシリコンなどの半導体を含んでもよい。モノリシック3次元アレイでは、アレイの各メモリデバイスレベルを構成する層は、典型的には、アレイの下にあるメモリデバイスレベルの層上に形成される。しかしながら、モノリシック3次元メモリアレイの隣接メモリデバイスレベルの層は、メモリデバイスレベル間で共有されてよい、又はメモリデバイスレベル間に介在する層を有してよい。

40

**【0039】**

2次元アレイは、別個に形成してもよく、そして、複数層のメモリを有する非モノリシ

50

ックメモリデバイスを形成するために共にパッケージングされてよい。例えば、非モノリシック積層メモリは、別個の基板上にメモリレベルを形成後、該メモリレベルが互いに重なり合うように積層することによって、構築されてもよい。基板は、積層前に薄くされてよい、又はメモリデバイスレベルから除去されてよいが、最初にメモリデバイスレベルが別個の基板上に形成されるため、結果として生じるメモリアレイはモノリシック3次元メモリアレイではない。さらに、複数の2次元メモリアレイ又は3次元メモリアレイ(モノリシック又は非モノリシック)は、別個のチップ上に形成後、積層チップメモリデバイスを形成するために共にパッケージングされてよい。

#### 【0040】

関連する回路は、典型的には、メモリ素子の動作に、かつメモリ素子との通信に必要とされる。非限定的な例として、メモリデバイスは、プログラミング及び読出しなどの機能を達成するためにメモリ素子を制御し駆動するために使用される回路を有してもよい。この関連する回路は、メモリ素子と同じ基板上及び/又は別個の基板上にあってよい。例えば、メモリ読出し/書込み動作のコントローラは、別個のコントローラチップ上に及び/又はメモリ素子と同じ基板上に位置してもよい。

#### 【0041】

この技術が、説明される2次元及び3次元の例示的な構造に限定されず、しかしながら、本明細書に説明されるように、かつ当業者に理解されるように、該技術の趣旨及び範囲内の全ての関係するメモリ構造を包含することを、当業者は認識するであろう。

#### 【0042】

図2は、図1のメモリアレイ126の2次元構造の一例におけるメモリセルのブロックを示す。メモリアレイは多くのブロックを含んでもよい。それぞれの例のブロック200、210は、ブロックの間で共有される、多数のNANDストリング及び対応するビット線、例えば、BL0、BL1、...、を含む。各NANDストリングは、一端がドレイン選択ゲート(SGD)に接続され、ドレイン選択ゲートの制御ゲートは共通のSGD線を介して接続される。NANDストリングは、他端がソース選択ゲートに接続され、順に共通のソース線220に接続される。16本のワード線、例えば、WL0~WL15は、ソース選択ゲートとドレイン選択ゲートとの間に延びている。場合によっては、ユーザデータを有さないダミーワード線はまた、選択ゲートトランジスタに隣接するメモリアレイにおいて使用されてもよい。かかるダミーワード線は、ある特定のエッジ効果からエッジデータワード線を遮蔽することができる。

#### 【0043】

メモリアレイにおいて設けてもよい1つの種類の不揮発性メモリは、フローティングゲートメモリである。図3A及び図3Bを参照されたい。他の種類の不揮発性メモリを使用してもよい。例えば、電荷捕捉メモリセルは、不揮発性を有するように電荷を格納するために導電性フローティングゲートの代わりに非導電性誘電体材料を使用する。図4A及び図4Bを参照されたい。酸化ケイ素、窒化ケイ素及び酸化ケイ素(「ONO」)で形成される3層誘電体は、導電性制御ゲートとメモリセルチャネルの上の半導電基板の表面との間に挟まれる。セルは、セルチャネルから窒化物に電子を注入することによってプログラミングされ、ここで、これらの電子は、限定される領域に捕捉され格納される。この格納された電荷は、その後、検出可能な方法で、セルのチャネルの一部分の閾値電圧を変更する。セルは、ホットホールを窒化物に注入することによって消去される。別個の選択トランジスタを形成するために、ドーブしたポリシリコンゲートがメモリセルチャネルの一部分に亘って延在するスプリットゲート構成で、同様のセルを提供してもよい。

#### 【0044】

別の手法では、NROMセルが使用される。2つのビットは、例えば、それぞれのNROMセルに格納され、ここで、ONO誘電体層は、ソース拡散及びドレイン拡散の間でチャネルに亘って延在する。1つのデータビットの電荷は、ドレインに隣接する誘電体層に局在化され、他のデータビットの電荷はソースに隣接する誘電体層に局在化される。多状態のデータ記憶は、誘電体内で空間的に分離された電荷格納領域のバイナリ状態を別個に

10

20

30

40

50

読出すことによって得られる。他のタイプの不揮発性メモリも知られている。

【 0 0 4 5 】

図 3 A は、NAND ストリングにおけるフローティングゲートメモリセルの一例の断面図を示す。ビット線又は NAND ストリング方向はページの内部を向き、ワード線方向は左から右を向く。一例として、ワード線 3 2 4 は、各チャンネル領域 3 0 6、3 1 6 及び 3 2 6 を含む NAND ストリングに亘って延在する。メモリセル 3 0 0 は、制御ゲート 3 0 2、フローティングゲート 3 0 4、トンネル酸化層 3 0 5 及びチャンネル領域 3 0 6 を含む。メモリセル 3 1 0 は、制御ゲート 3 1 2、フローティングゲート 3 1 4、トンネル酸化層 3 1 5 及びチャンネル領域 3 1 6 を含む。メモリセル 3 2 0 は、制御ゲート 3 2 2、フローティングゲート 3 2 1、トンネル酸化層 3 2 5 及びチャンネル領域 3 2 6 を含む。各メモリセルはそれぞれ、異なる NAND ストリング内にある。ポリ間誘電体 (IPD) 層 3 2 8 も示される。制御ゲートはワード線の一部である。線 3 2 9 に沿った断面図は図 3 B に提供される。

10

【 0 0 4 6 】

制御ゲートは、フローティングゲートを取り囲み、制御ゲートとフローティングゲートとの間の表面接触面積を増大させる。これによって、IPD 静電容量は高くなり、プログラミング及び消去をより容易くするように結合比が高くなる。しかしながら、NAND メモリデバイスは縮尺されるため、近隣セル間の間隔は小さくなり、そのため、制御ゲート及び IPD について、2 つの隣接フローティングゲート間の空間はほとんどない。代替として、図 4 A 及び図 4 B に示されるように、平坦な又は平面状のメモリセルは、制御ゲートが平坦又は平面状であるように開発されており、すなわち、制御ゲートはフローティングゲートを取り囲まず、電荷格納層とはただ、上から接触するだけである。この場合、高さのあるフローティングゲートを有することは利点にはならない。むしろ、フローティングゲートははるかに薄く作られる。さらに、フローティングゲートは、電荷を格納するために使用してもよい、又は、薄い電荷捕捉層は電荷を捕捉するために使用してもよい。この手法によって、電子が、プログラミング中にトンネル酸化物を突き抜けた後、フローティングゲートを移動することができるという、電子の弾道性伝導の問題を回避できる。

20

【 0 0 4 7 】

図 3 B は、図 3 A の構造の線 3 2 9 に沿った断面図を示す。NAND ストリング 3 3 0 は、SGS トランジスタ 3 3 1、例のメモリセル 3 0 0、3 3 3、...、3 3 4 及び 3 3 5、ならびに SGD トランジスタ 3 3 6 を含む。メモリセルは、図 3 A と合致するように、それぞれのメモリセルの例として、制御ゲート 3 0 2、IPD 層 3 2 8、フローティングゲート 3 0 4 及びトンネル酸化層 3 0 5 を含む。SGS 及び SGD トランジスタの IPD 層における通路は、制御ゲート層及びフローティングゲート層を連通させることができる。例えば、制御ゲート層及びフローティングゲート層はポリシリコンであってよく、トンネル酸化層は酸化ケイ素であってよい。IPD 層は、N - O - N - O - N 構成などの窒化物 (N) 及び酸化物 (O) のスタックとしてもよい。

30

【 0 0 4 8 】

NAND ストリングは、p 型基板領域 3 5 5、n 型ウエル 3 5 6 及び p 型ウエル 3 5 7 を含む基板上に形成されてもよい。N 型ソース/ドレイン拡散領域 s d 1、s d 2、s d 3、s d 4、s d 5、s d 6 及び s d 7 は p 型ウエルに形成される。チャンネル電圧 V c h は、基板のチャンネル領域に直接印加されてよい。

40

【 0 0 4 9 】

図 4 A は、NAND ストリングにおける例示的な電荷捕捉メモリセルの断面図を示す。この図は、図 1 のメモリセルアレイ 1 2 6 におけるメモリセルの 2 D の例として、平坦な制御ゲート及び電荷捕捉領域を含むメモリセルのワード線方向の図である。電荷捕捉メモリは、NOR 及び NAND フラッシュメモリデバイスにおいて使用してもよい。この技術は、電子を格納するために、ドーブした多結晶ケイ素などの導電体を使用するフローティングゲート MOSFET 技術と対照的に、電子を格納するために SiN 膜などの絶縁体を使用する。一例として、ワード線 (WL) 4 2 4 は、各チャンネル領域 4 0 6、4 1 6 及び

50

4 2 6 を含む N A N D ストリングに亘って延在する。ワード線の一部分は制御ゲート 4 0 2、4 1 2 及び 4 2 2 を提供する。ワード線より下には、I P D 層 4 2 8、電荷捕捉層 4 0 4、4 1 4 及び 4 2 1、ポリシリコン層 4 0 5、4 1 5 及び 4 2 5、ならびにトンネル層 4 0 9、4 0 7 及び 4 0 8 がある。それぞれの電荷捕捉層は、対応する N A N D ストリングにおいて途切れなく延在する。

【 0 0 5 0 】

メモリセル 4 0 0 は、制御ゲート 4 0 2、電荷捕捉層 4 0 4、ポリシリコン層 4 0 5 及びチャネル領域 4 0 6 の一部分を含む。メモリセル 4 1 0 は、制御ゲート 4 1 2、電荷捕捉層 4 1 4、ポリシリコン層 4 1 5 及びチャネル領域 4 1 6 の一部分を含む。メモリセル 4 2 0 は、制御ゲート 4 2 2、電荷捕捉層 4 2 1、ポリシリコン層 4 2 5 及びチャネル領域 4 2 6 の一部分を含む。

10

【 0 0 5 1 】

ここで、平坦な制御ゲートは、フローティングゲートを取り囲む制御ゲートの代わりに使用される。1つの利点として、電荷捕捉層がフローティングゲートより薄く作られ得ることがある。さらに、メモリセルは互いに近くに設置可能である。

【 0 0 5 2 】

図 4 B は、図 4 A の構造の線 4 2 9 に沿った断面図を示す。この図は、平坦な制御ゲート及び電荷捕捉層を有する N A N D ストリング 4 3 0 を示す。N A N D ストリング 4 3 0 は、S G S トランジスタ 4 3 1、例のメモリセル 4 0 0、4 3 3、...、4 3 4 及び 4 3 5、ならびに S G D トランジスタ 4 3 6 を含む。

20

【 0 0 5 3 】

N A N D ストリングは、p 型基板領域 4 5 5、n 型ウエル 4 5 6 及び p 型ウエル 4 5 7 を含む基板上に形成されてもよい。N 型ソース/ドレイン拡散領域 s d 1、s d 2、s d 3、s d 4、s d 5、s d 6 及び s d 7 は p 型ウエル 4 5 7 に形成される。チャネル電圧 V c h は、基板のチャネル領域に直接印加されてよい。メモリセル 4 0 0 は、電荷捕捉層 4 0 4 より上の制御ゲート 4 0 2 及び I P D 層 4 2 8、ポリシリコン層 4 0 5、トンネル層 4 0 9、ならびにチャネル領域 4 0 6 を含む。

【 0 0 5 4 】

例えば、制御ゲート層はポリシリコンであってよく、トンネル層は酸化ケイ素であってよい。I P D 層は、制御ゲート層と電荷捕捉層又は電荷格納層との間の結合比の増大に寄与する A l O x 又は H f O x などの高 k 誘電体のスタックとしてもよい。電荷捕捉層は、例えば、窒化ケイ素及び酸化物の混合物としてもよい。

30

【 0 0 5 5 】

S G D 及び S G S トランジスタは、メモリセルと同じ構成を有するが、抑制された N A N D ストリングで電流が遮断されることを確実にするためにより長いチャネル長を有している。

【 0 0 5 6 】

この例では、層 4 0 4、4 0 5 及び 4 0 9 は、N A N D ストリングにおいて途切れなく延在する。別の手法では、制御ゲート 4 0 2、4 1 2 及び 4 2 2 の間にある、層 4 0 4、4 0 5 及び 4 0 9 の一部分は、チャネル 4 0 6 の上面を露出するように、除去してもよい。

40

【 0 0 5 7 】

図 5 は、図 1 のメモリアレイ 1 2 6 の例示的な 3 次元構造におけるブロックのセットを含むメモリデバイス 6 0 0 の斜視図である。基板上に、メモリセル（記憶素子）の例示的なブロック B L K 0、B L K 1、B L K 2 及び B L K 3、ならびに、ブロックによる使用のための回路を有する周辺領域 6 0 4 がある。例えば、回路は、ブロックのゲート層を制御するために接続可能である電圧ドライバ 6 0 5 を含んでもよい。1つの手法では、ブロック内の共通の高さにおける制御ゲート層は、共通して駆動される。基板 6 0 1 は、回路の信号を伝送するために導通路においてパターン化される 1 又は複数の下部金属層に沿って、ブロックの下に回路を保持してもよい。ブロックは、メモリデバイスの中間領域 6 0

50

2に形成される。メモリデバイスの上部領域603において、1又は複数の上部金属層が、回路の信号を伝送するために導通路においてパターン化される。各ブロックは、メモリセルの積層エリアを含み、ここで、スタックの交互のレベルはワード線を表す。1つの可能な手法では、各ブロックは、対向して層を成す側部を有しており、この側部から、導通路への接続を形成するために垂直接触部は上部金属層へと上方に延在する。一例として4つのブロックが示されるが、x方向及び/又はy方向に延在する2つ以上のブロックを使用することができる。

#### 【0058】

1つの可能な手法では、x方向における平面の長さは、ワード線への信号路が1又は複数の上部金属層に延在する方向(ワード線又はSGD線方向)を表し、y方向における平面の幅は、ビット線への信号路が1又は複数の上部金属層に延在する方向(ビット線方向)を表す。z方向はメモリデバイスの高さを表す。

10

#### 【0059】

図6Aは、図5のブロックのうちの1つの一部分の例示的な断面図を示す。ブロックは、導電層と誘電体層とが交互に積層されたスタック610を含む。この例では、導電層は、データワード線層(ワード線)WLL0~WLL10に加えて、2つのSGD層、2つのSGS層及び4つのダミーワード線層WLD1、WLD2、WLD3及びWLD4を含む。誘電体層にはDL0~DL19の符号が付されている。さらに、NANDストリングNS1及びNS2を含むスタックの領域が示される。各NANDストリングは、ワード線に隣接するメモリセルを形成する材料が充填されるメモリホール618又は619を包含する。スタックの領域622は、図6Cにおいてより詳細に示される。

20

#### 【0060】

スタックは、基板611、基板上の絶縁膜612及びソース線SLの一部を含む。NS1は、スタックの最下部614においてソース端613を有し、スタックの最上部616においてドレイン端615を有する。金属充填スリット617及び620は、ソース線をスタックより上のラインに接続するなど、スタックを通して延在する相互接続としてスタックに亘って周期的に設けられてもよい。スリットは、ワード線の形成中に使用されてもよく、その後金属が充填されてもよい。ビット線BL0の一部も示される。導電性ビア621はドレイン端615をBL0に接続する。

#### 【0061】

図6Bは、図6Aのスタックにおけるメモリホール直径のプロットを示す。垂直軸は図6Aのスタックと整合し、メモリホール618及び619の幅(wMH)、例えば、直径を示す。かかるメモリデバイスでは、スタックからエッチングされるメモリホールは、アスペクト比が非常に高い。例えば、約25~30の深さ対直径比が一般的である。メモリホールは円形の断面を有してもよい。エッチング処理によって、メモリホール幅は、ホールの長さに沿って変化し得る。典型的には、直径は、メモリホールの最上部から最下部に向かって次第に小さくなる(図6Bの実線)。すなわち、メモリホールは、スタックの最下部で狭くなるようにテーパ状になっている。場合によっては、メモリホールの最上部から最下部に向かって次第に小さくなる前に直径がわずかに広がるように、選択ゲートの近くのホールの最上部においてわずかに狭くなる(図6Bの長い破線)。例えば、メモリホール幅は、この例では、スタック内のWLL9のレベルにおいて最大である。メモリホール幅は、WLL10のレベルにおいてわずかに小さくなり、WLL8~WLL0のレベルで次第に小さくなる。

30

40

#### 【0062】

短い破線で表される別の可能な実装形態では、2層のスタックが製造される。まず、対応するメモリホールと共に最下層が形成される。次いで、最下層におけるメモリホールと整合されるそれぞれのメモリホールと共に最上層が形成される。各メモリホールは、幅が増大した後に減少し、再び増大するようにスタックの最下部から最上部まで移動するダブルテーパのメモリホールが形成されるように、テーパ状になっている。

#### 【0063】

50

メモリホールの幅の不均一性によって、メモリセルのプログラミング速度及び消去速度は、メモリホールに沿ったこれらの位置に基づいて、例えば、スタックにおけるこれらの高さに基づいて、変化し得る。メモリホールの直径が小さくなると、トンネル酸化物に亘る電界は、相対的により強力になるため、プログラミング速度及び消去速度は相対的に高くなる。

#### 【0064】

ブロックは、3次元構造を含んでもよく、この構造において、メモリセルは垂直メモリホールに沿って配置され、垂直メモリホールは直径が変化し、それぞれのサブセットは同様の直径を有する垂直メモリホールの一部分に関連付けられる。

#### 【0065】

図6Cは、図6Aのスタックの領域622の詳細図である。メモリセルは、ワード線層及びメモリホールの交点においてスタックの異なるレベルに形成される。この例では、SGDトランジスタ680及び681は、ダミーメモリセル682及び683、ならびにデータメモリセルMCより上に設けられる。多数の層は、例えば、原子層堆積を使用して、メモリホール630の側壁(SW)に沿って、及び/又は、各ワード線層内に堆積してもよい。例えば、それぞれの列(例えば、メモリホール内の材料によって形成されるピラー)は、SiN又は他の窒化物、トンネル層664、ポリシリコン体又はチャネル665、及び、誘電体コア666などの電荷捕捉層又は電荷捕捉膜663を含んでもよい。ワード線層は、ブロッキング酸化物/ブロック高k材料660、金属障壁661及び制御ゲートとしてのタングステンなどの導電性金属662を含んでもよい。例えば、制御ゲート690、691、692、693及び694が設けられる。この例では、金属以外の層の全てはメモリホールに設けられる。他の手法では、層のいくつかは制御ゲート層にあってもよい。追加のピラーは、異なるメモリホールに同様に形成される。ピラーは、NANDストリングの柱状活性領域(AA)を形成することができる。

#### 【0066】

メモリセルがプログラミングされる時、電子はメモリセルに関連付けられる電荷捕捉層の一部に格納される。これらの電子は、チャネルからトンネル層を通して電荷捕捉層に引き込まれる。メモリセルのV<sub>th</sub>は、格納された電荷の量に比例して(例えば、増大に伴って)増大する。消去動作中、電子はチャネルに戻る。

#### 【0067】

メモリホールのそれぞれは、ブロッキング酸化層、電荷捕捉層、トンネル層及びチャネル層を含む複数の環状層が充填されてもよい。メモリホールのそれぞれのコア領域はボディ材料が充填され、複数の環状層はメモリホールのそれぞれにおいてコア領域とワード線との間にある。

#### 【0068】

NANDストリングは、チャネルの長さが基板上で形成されないため、フローティングボディチャネルを有するとみなされてもよい。さらに、NANDストリングは、互いに積層させた複数のワード線層によって提供され、かつ、誘電体層によって互いに分離される。

#### 【0069】

図7Aは、図6Aのスタックの例示的なワード線層WLL10の上面図を示す。既述したように、3Dメモリデバイスは、導電層と誘電体層とが交互に積層されたスタックを含んでもよい。導電層は、SGトランジスタ及びメモリセルの制御ゲートを提供する。SGトランジスタに使用される層はSG層であり、メモリセルに使用される層はワード線層である。さらに、メモリホールは、スタックに形成され、電荷捕捉材料及びチャネル材料が充填される。この結果、垂直NANDストリングが形成される。ソース線はスタックの下でNANDストリングに接続され、ビット線はスタックの上でNANDストリングに接続される。

#### 【0070】

3DメモリデバイスにおけるブロックBLKは、サブブロックに分割可能であり、この

10

20

30

40

50

場合、各サブブロックは、共通のSGD制御線を有するNANDストリングのセットを含む。さらに、あるブロックにおけるワード線層は、複数領域に分割可能である。各領域は、メモリデバイスの製造プロセス中にワード線層を処理するためにスタックに周期的に形成されるスリット間に延在可能である。この処理は、ワード線層の犠牲材料を金属と置き換えることを含んでもよい。一般的に、スリット間の距離は、犠牲材料を除去するために腐食液が横方向に進行でき、金属が犠牲材料の除去によってもたらされる空隙を充填するために進行できる距離の限度を考慮して比較的小さいものとすべきである。例えば、スリット間の距離は、隣接スリット間のメモリホールの数行を許容してもよい。メモリホール及びスリットのレイアウトには、各ビット線が異なるメモリセルに接続される間に領域に亘って延在できるビット線の数の限度も考慮すべきである。ワード線層の処理後、スリットは、スタックを通じた相互接続をもたらすために金属により任意に充填してもよい。

10

#### 【0071】

この図及び他の図は、必ずしも縮尺通りではない。実際は、領域は、追加のメモリホールを収容するために、示されるよりも、y方向に対してx方向においてはるかに長くなっていてもよい。

#### 【0072】

この例では、隣接スリット間にメモリホールの4つの行がある。ここでの行は、x方向に整合されるメモリホールのグループである。さらに、メモリホールの行は、メモリホールの密度を高めるためにジグザグ状になっている。ワード線層は、それぞれがコネクタ713によって接続される領域WLL10a、WLL10b、WLL10c及びWLL10dに分割される。あるブロックにおけるワード線層の最終領域は、1つの手法では、次のブロックにおけるワード線層の第1の領域に接続可能である。そして、コネクタは、ワード線層用の電圧ドライバに接続される。領域WLL10aは、線712に沿った、例示的なメモリホール710及び711を有する。図7B及び図8を参照されたい。領域WLL10bは例示的なメモリホール714及び715を有する。領域WLL10cは例示的なメモリホール716及び717を有する。領域WLL10dは例示的なメモリホール718及び719を有する。各メモリホールは対応するNANDストリングの一部としてもよい。例えば、メモリホール710、714、716及び718は、それぞれNANDストリングNS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc及びNS0\_\_SBdの一部としてもよい。

20

30

#### 【0073】

各円は、ワード線層又はSG層におけるメモリホールの断面を表す。各円は、代替的には、メモリホールの材料によって及び隣接するワード線層によってもたらされるメモリセルを表すことができる。

#### 【0074】

金属充填スリット701、702、703及び704（例えば、金属相互接続）は、領域WLL10a～WLL10dの縁部間に、これらに隣接して位置してもよい。金属充填スリットは、スタックの最下部からスタックの最上部までの導通路を提供する。例えば、スタックの最下部のソース線は、スタックの上の導電線に接続してもよく、ここで、導電線はメモリデバイスの周辺領域において電圧ドライバに接続される。図7AのサブブロックSBa～SBdのさらなる詳細については、図8も参照されたい。

40

#### 【0075】

図7Bは、図6Aのスタックの例示的な最上部の誘電体層DL19の上面図を示す。誘電体層は領域DL19a、DL19b、DL19c及びDL19dに分割される。各領域はそれぞれの電圧ドライバに接続してもよい。これによって、ワード線層の1つの領域におけるメモリセルのセットを同時にプログラミングすることができ、各メモリセルは、それぞれのビット線に接続されるそれぞれのNANDストリングにある。電圧は、各プログラム電圧の間のプログラミングを可能にする又は阻止するために各ビット線上で設定してもよい。

#### 【0076】

50

領域DL19aは、ビット線BL0と一致する線712aに沿って例示的なメモリホール710及び711を有する。多数のビット線は、メモリホールの上で延在し、符号「X」で示されるようにメモリホールに接続される。BL0はメモリホール711、715、717及び719を含むメモリホールのセットに接続される。別の例示的なビット線BL1は、メモリホール710、714、716及び718を含むメモリホールのセットに接続される。図7Aによる金属充填スリット701、701、703及び704も、スタックを通じて垂直に延在するように示される。ビット線は、-x方向においてDL19層に亘ってシーケンスBL0~BL23で番号付けしてもよい。

#### 【0077】

ビット線の異なるサブセットは異なる行におけるセルに接続される。例えば、BL0、BL4、BL8、BL12、BL16及びBL20は、各領域の右方向縁部においてセルの第1の行におけるセルに接続される。BL2、BL6、BL10、BL14、BL18及びBL22は、右方向縁部において第1の行に隣接する、セルの隣接行におけるセルに接続される。BL3、BL7、BL11、BL15、BL19及びBL23は、各領域の左方向縁部においてセルの第1の行におけるセルに接続される。BL1、BL5、BL9、BL13、BL17及びBL21は、左方向縁部において第1の行に隣接する、セルの隣接行におけるセルに接続される。

10

#### 【0078】

図8は、図7AのサブブロックSba~Sbdにおける例示的なNANDストリングを示す。サブブロックは図6Aの構造と合致している。スタックにおける導電層は、左側における参照で示される。各サブブロックは複数のNANDストリングを含み、ここでNANDストリングの一例が示される。例えば、Sbaは例示的なNANDストリングNS0\_\_Sbaを含み、Sbbは例示的なNANDストリングNS0\_\_Sbbを含み、Sbcは例示的なNANDストリングNS0\_\_Sbcを含み、Sbdは例示的なNANDストリングNS0\_\_Sbdを含む。

20

#### 【0079】

さらに、NS0\_\_Sbaは、SGSトランジスタ800及び801、ダミーメモリセル802及び803、データメモリセル804、805、806、807、808、809、810、811、812、813及び814、ダミーメモリセル815及び816、ならびにSGDトランジスタ817及び818を含む。

30

#### 【0080】

NS0\_\_Sbbは、SGSトランジスタ820及び821、ダミーメモリセル822及び823、データメモリセル824、825、826、827、828、829、830、831、832、833及び834、ダミーメモリセル835及び836、ならびにSGDトランジスタ837及び838を含む。

#### 【0081】

NS0\_\_Sbcは、SGSトランジスタ840及び841、ダミーメモリセル842及び843、データメモリセル844、845、846、847、848、849、850、851、852、853及び854、ダミーメモリセル855及び856、ならびにSGDトランジスタ857及び858を含む。

40

#### 【0082】

NS0\_\_Sbdは、SGSトランジスタ860及び861、ダミーメモリセル862及び863、データメモリセル864、865、866、867、868、869、870、871、872、873及び874、ダミーメモリセル875及び876、ならびにSGDトランジスタ877及び878を含む。

#### 【0083】

WLL8におけるメモリセルは、メモリセル812、832、852及び872を含む。WLL9におけるメモリセルは、メモリセル813、833、853及び873を含む。この例では、ブロックのプログラミングはサブブロックごとに行われてよい。例えば、SbaはWLL0~WLL10からプログラミングされてよく、その後、SbbはWLL0

50

～W L L 1 0 からプログラミングされてよく、次いで、S B c はW L L 0 ～W L L 1 0 からプログラミングされてよく、その後、S B d はW L L 0 ～W L L 1 0 からプログラミングされてよい。

【 0 0 8 4 】

図 9 A は、例示的な N A N D ストリング N S 0 A 及び N S 0 A - 1 の回路図を示す。データメモリセルのワード線は W L 0 ～W L 2 1 である。W L 0 ～W L 2 1 は、N S 0 A においてそれぞれデータメモリセル 9 2 7 ～9 0 5 に、N S 0 A - 1 においてそれぞれデータメモリセル 9 6 7 ～9 4 5 に接続される。ダミーワード線 W L D 1、W L D 2、W L D 3 及び W L D 4 は、N S 0 A においてそれぞれダミーメモリセル 9 0 4、9 0 3、9 2 8 及び 9 2 9 に、N S 0 A - 1 においてそれぞれダミーメモリセル 9 4 4、9 4 3、9 6 8 及び 9 6 9 に接続される。ワード線は、選択 N A N D ストリング及び非選択 N A N D ストリングの両方に接続される。S G D 線 S G D 1 \_\_ N S 0 は S G D トランジスタ 9 0 1 及び 9 4 1 に接続され、S G D 線 S G D 2 \_\_ N S 0 は S G D トランジスタ 9 0 2 及び 9 4 2 に接続される。

10

【 0 0 8 5 】

S G S 線 S G S 1 は S G S トランジスタ 9 3 1 及び 9 7 1 に接続され、S G S 線 S G S 2 は S G S トランジスタ 9 3 0 及び 9 7 0 に接続される。

【 0 0 8 6 】

N S 0 A のチャンネルは c h \_\_ N S 0 A であり、N S 0 A - 1 のチャンネルは c h \_\_ N S 0 A - 1 である。N S 0 A のチャンネルにおける電流は、電圧 V b 1 であるビット線 B L 0 A を介してセンス回路 ( S C ) 9 0 0 によって検知される。N S 0 A - 1 のチャンネルにおける電流は、電圧 V b 1 であるビット線 B L 0 A - 1 を介してセンス回路 ( S C ) 9 9 0 によって検知される。

20

【 0 0 8 7 】

ソース線 9 8 1 は N A N D ストリングのソース端に接続される。電圧ドライバは、制御線 (例えば、ワード線、選択ゲート線、ビット線及びソース線) における電圧を提供するために使用してもよい。

【 0 0 8 8 】

メモリセルのセットは N S 0 A に設けられる。矢印 9 9 5 は例示的な選択ワード線 W L s e 1 = W L 6 と、第 1 のドレイン側ダミーワード線 W L D 1 との間の距離を示す。矢印 9 9 6 は最短距離を示し、矢印 9 9 7 は最長距離を示す。

30

【 0 0 8 9 】

一例として、N S 0 A は、選択 N A N D ストリングであってよく、選択 N A D ストリングは、選択メモリセル 9 2 1、及び、ドレイン端又はドレイン側メモリセル 9 0 5 を含む非選択メモリセル 9 0 5 ～9 2 0 及び 9 2 2 ～9 2 7 を含む。N S 0 A - 1 は、非選択 N A N D ストリングであってよく、非選択 N A N D ストリングは、選択メモリセルに対応する非選択メモリセル 9 6 1、及び、ドレイン端又はドレイン側メモリセル 9 4 5 を含む残りの非選択メモリセル 9 4 5 ～9 6 0 及び 9 6 2 ～9 6 7 を含む。

【 0 0 9 0 】

図 9 B は、図 9 A の例示的なメモリセル 9 2 7 を示す。メモリセルは、ワード線電圧 V w 1 1 0 を受ける制御ゲート C G、電圧 V d のドレイン、電圧 V s のソース及び電圧 V c h のチャンネルを含む。

40

【 0 0 9 1 】

図 1 0 は、プリチャージ電圧が選択ワード線位置に基づく、例示的なプログラミング動作を示す。ステップ 1 0 0 0 では、プログラミング動作を開始する。ステップ 1 0 0 1 では、プログラミングのためにワード線 ( W L n ) を選択し、V p g m を初期化する。ステップ 1 0 0 2 では、プログラムループ又はプログラムベリファイ反復を開始する。ステップ 1 0 0 3 では、W L n に基づいてプログラムループのプリチャージ段階における非選択ワード線の初期チャンネルブーストを実行する。このステップの一部として、ステップ 1 0 0 3 a では、S G D s e 1 = 高、S G D u n s e 1 = 高、W L n が遠い時に W L d 1 = 高

50

、 $WLn$ が近い時に $Wld1 = 0V$ 、 $Wlse1 = 0V$ 、 $WLunsel = 0V$ 、 $BLsel = 高$ 、及び、 $BLunsel = 高$ に設定することを含む。ステップ1004では、非選択ワード線のさらなるチャネルブーストを実行し、プログラム電圧を選択ワード線に印加する。このステップの一部として、ステップ1004aでは、 $SGDsel = 高$ 、 $SGDunsel = 0V$ 、 $Wld1 = 高$ 、 $Wlse1 = Vpgm$ 、 $WLunsel = Vpass$ 、 $BLsel = 0V$ 、及び、 $BLunsel = 高$ を含む。さらなる詳細については、図16A～図16Eを参照されたい。

#### 【0092】

ステップ1005は、ベリファイする1又は複数のデータ状態を決定し、対応する1つ又は複数のベリファイテストを実行する。例えば、図11において、A状態セルはプログラムループ1～4でベリファイされ、B状態セルはプログラムループ4～7でベリファイされ、C状態セルはプログラムループ7～10でベリファイされる。

10

#### 【0093】

決定ステップ1006は、現在のワード線に対してプログラミングが完了しているか否かを判断する。決定ステップ1006は、プログラムされるべきメモリセルの全て又はほぼ全てがそれぞれのベリファイテストをパスした場合、真である。メモリセルは、ベリファイ電圧がワード線を介してメモリセルの制御ゲートに印加される場合にベリファイテストをパスし、メモリセルは、センス回路によって非導電状態になったかを判断される。この場合、メモリセルの $V_{th}$ はベリファイ電圧を超える。決定ステップ1006が偽である場合、 $V_{pgm}$ はステップ1009でインクリメントされ、次のプログラムループがステップ1002において行われる。決定ステップ1006が真である場合、決定ステップ1007では、プログラミングする別のワード線があるか否かが判断される。決定ステップ1007が偽である場合、プログラミング動作はステップ1008で終了する。決定ステップ1007が真である場合、ステップ1001において、プログラムされるべき新しいワード線が選択される。

20

#### 【0094】

この例では、選択ワード線に対するプログラミングは、別のワード線のプログラミングを開始する前に完了される。別の手法では、前後するワード線の順序でプログラミングが行われる。この場合、ワード線 $WLn$ に対して、次いで、 $WLn+1$ などの別のワード線に対して、その後、再び $WLn$ に対して、プログラミングパスを行ってもよく、以下同様

30

#### 【0095】

図11は、図10と合致する、例示的なプログラミング動作の波形を示す。水平軸はプログラムループ数を示し、垂直軸は制御ゲート電圧又はワード線電圧を示す。一般的に、プログラミング動作は、パルス列を選択ワード線に印加することを含んでもよく、この場合、パルス列は複数のプログラムループ又はプログラムベリファイ反復を含む。プログラムベリファイ反復のプログラム部分はプログラム電圧を含み、プログラムベリファイ反復のベリファイ部分は1又は複数のベリファイ電圧を含む。

40

#### 【0096】

各プログラム電圧について、簡略化のために方形波が示されるが、多層形状又は傾斜形状などの他の形状が可能である。さらに、この例では増加型ステップパルスプログラミング(I S P P)が使用され、ここで、プログラム電圧はそれぞれの連続したプログラムループにおいて漸増する。この例では、プログラミングが完了される単一のプログラミングパスにおいてI S P Pを使用する。I S P Pはまた、多重パス動作の各プログラミングパスにおいて使用してもよい。

#### 【0097】

パルス列は、典型的には、固定された又は変化するステップサイズを使用して各プログ

50

ラムベリファイ反復において振幅を段階的に増大させるプログラム電圧を含む。新しいパルス列は、初期V p g mレベルで開始し、最大許容レベルを越えない最終V p g mレベルで終了するように、多重パスプログラミング動作の各プログラミングパスにおいて印加されてもよい。初期V p g mレベルは、異なるプログラミングパスにおいて同じであってもよいし又は異なってもよい。最終V p g mレベルはまた、異なるプログラミングパスにおいて同じであってもよいし又は異なってもよい。ステップサイズは、異なるプログラミングパスにおいて同じであってもよいし又は異なってもよい。場合によっては、V t h分布幅を低減するために最終プログラミングパスにおいてより小さいステップサイズが使用される。

#### 【0098】

パルス列1130は、プログラミングするために選択されるワード線及び関連の不揮発性メモセルのセットに印加される一連のプログラム電圧1131、1132、1133、1134、1135、1136、1137、1138、1139、1140、1141、1142、1143、1144及び1145を含む。一例として、検証されている対象データ状態に基づいて、各プログラム電圧の後に、1つ、2つ又は3つのベリファイ電圧が与えられる。プログラム電圧とベリファイ電圧との間の選択ワード線に対して0Vが印加されてよい。例えば、V v AのA状態ベリファイ電圧（例えば、波形1146）は、第1のプログラム電圧1131、第2のプログラム電圧1132及び第3のプログラム電圧1133のそれぞれの後に、それぞれ印加されてよい。V v A及びV v BのA状態ベリファイ電圧及びB状態ベリファイ電圧（例えば、波形1147）は、第4のプログラム電圧1134、第5のプログラム電圧1135及び第6のプログラム電圧1136のそれぞれの後に、それぞれ印加されてよい。V v A、V v B及びV v CのA状態ベリファイ電圧、B状態ベリファイ電圧及びC状態ベリファイ電圧（例えば、波形1148）は、第7のプログラム電圧1137及び第8のプログラム電圧1138のそれぞれの後に、それぞれ印加されてよい。V v B及びV v CのB状態ベリファイ電圧及びC状態ベリファイ電圧（例えば、波形1149）は、第9のプログラム電圧1139、第10のプログラム電圧1140及び第11のプログラム電圧1141のそれぞれの後に、それぞれ印加されてよい。最後に、V v CのC状態ベリファイ電圧（例えば、波形1150）は、第12のプログラム電圧1142、第13のプログラム電圧1143、第14のプログラム電圧1144及び第15のプログラム電圧1145のそれぞれの後に、それぞれ印加されてよい。

#### 【0099】

図12A及び図12Bは、図10と合致する、4つのデータ状態による例示的なワンプスのプログラミング動作におけるメモセルのV t h分布を示す。この例では、メモセルは、最初に、V t h分布1200によって表されるように消去状態にある（図12A）。その後、プログラミングによって、A、B及びC状態セルのV t hは、それぞれ、V t h分布1202、1204及び1206に達する（図12B）。少数のA、B及びC状態セルは、ビット取消基準によって、それぞれ、V v A、V v B、又はV v Cを下回るV t hを有してもよい。V t h分布1200aは、V t h分布の上端がアップシフトされる、プログラムディスタ urbによる消去状態を示す。

#### 【0100】

メモセルは、最初に、消去 - ベリファイ電圧V v E rを使用してV t h分布1200まで消去される。少数の消去状態セルは、ビット取消基準によってV v E rを上回るV t hを有してもよい。V t h分布1200aは、消去状態のメモセルが、プログラムディスタ urbなどの一種の妨害を受けるときに見られる場合がある。これは、プログラム電圧の間に非選択NANDストリングにおける不適切なチャネルブーストによって生じ得る。プログラムディスタ urbによってV t hの比較的大きいアップシフトが生じ得る。例えば、V t h分布の上端は、V r Aを上回ってもよいし、又はさらにV r Bを上回ってもよいし、もしくはそれ以上であってもよい。この場合、E r状態セルをリードバックするときには訂正不可能なエラーがあることになる。

#### 【0101】

10

20

30

40

50

この例では、例えば、ビット11を格納する消去状態(Er)、ビット01を格納するA状態、ビット00を格納するB状態及びビット10を格納するC状態の4つの可能なデータ状態がある。

【0102】

A、B及びC状態セルは、VvA、VvB及びVvCのベリファイ電圧を使用して消去状態からこれらのVth分布まで1又は複数のパスでプログラミング可能である。さらに、読出し電圧VrA、VrB及びVrCは、隣接データ状態間を区別することによって、セルのデータ状態を読み出すために使用される。

【0103】

別の可能な手法では、メモリセルは、A状態などの単一状態にプログラミングされてもよい。

10

【0104】

図13は、1セル当たり3ビットを使用する8つのデータ状態においてデータを格納するメモリセルのVth分布を示す。各状態についての例示的なビット割り当てが示される。低位、中位又は上位ビットは、それぞれ、下位、中位又は上位ページのデータを表すことができる。7つのプログラミングされたデータ状態A~GはErに加えて使用される。A、B、C、D、E、F及びG状態のベリファイ電圧は、それぞれ、VvA、VvB、VvC、VvD、VvE、VvF及びVvGである。Er状態からプログラミング済みデータ状態までのプログラミングは、1又は複数のプログラムパスで生じ得る。1セル当たり4つ以上のビット及び16以上のデータ状態を使用するプログラミングは、同様に実行され得る。

20

【0105】

図14Aは、消去状態のメモリセルのVth分布の上端の変動のプロットを、選択ワード線位置の関数及びダミーワード線電圧の関数として示す。プロットは一定の尺度のものであり、垂直軸及び水平軸は線形目盛を有する。水平軸は、ソース側データワード線WL0から始まり、ドレイン側データワード線WLds、例えば、NANDストリングのドレイン側の最終データワード線まで延在して、NANDストリングに沿った位置を表す。垂直軸は、消去状態のメモリセルの+3シグマの上端Vthを示す。

【0106】

プロット1400(ひし形マークのある線)は、5VなどのWLd1=高であるケースを示す。プロット1401(正方形マークのある線)は、0VなどのWLd1=低であるケースを示す。このデータは、選択ワード線Wlse1が特定のワード線Wlyを下回る又はこれに等しい場合、VthのアップシフトはWLd1=高が使用されるときにわずかに低くなることを示す。Wlse1がWlyを上回る又はこれに等しい場合、VthのアップシフトはWLd1=0Vのときにわずかに低くなる。従って、ダミーワード線電圧、例えば、WLd1を、Wlse1がダミーワード線に比較的近いときに比較的低くなるように設定することによって、プログラムディスタースは減少し得る。

30

【0107】

従って、プログラミングのためにワード線が現在選択されていることに基づいて、例えば、選択ワード線とダミーワード線との間の距離に基づいて、WLd1などのドレイン側ダミーワード線電圧をダイナミックに変更することが提案される。例えば、より高いWLd1はWL0~Wly-1をプログラミングするときに使用してもよく、より低いWLd1はWly~WLdsをプログラミングするときに使用してもよい。この結果、選択ワード線の全ての位置に対して低レベルのプログラムディスタースが維持可能である。従って、ブロックに対する全レベルのプログラムディスタースが改善される。

40

【0108】

図14Bは、図14Aと合致する、2つのレベルの電圧が使用される場合の、ダミーワード線電圧のプロットを、選択ワード線位置の関数として示す。この場合、WLd1は、選択ワード線が位置するワード線の2つの可能なグループに基づく2つの可能なレベルを有する。第1のグループはWL0~Wly-1を含み、第2のグループはWly~Wld

50

sを含む。図14B～図14Dにおいて、垂直軸は、1又は複数のドレイン側ダミーワード線のダミーワード線電圧 $V_{wld}$ を示す。水平軸は、NANDストリングに沿った選択ワード線(WLsel)位置を示す。例えば、これは、3Dメモリデバイスにおける高さである、z軸に沿った位置とすることができる。実線1410は、 $WL_0$   $WL_{sel} < WL_{switch}$ のとき、 $V_{wld1} = V_{wld1\_max}$ である、及び、 $WL_{switch}$   $WL_{sel}$   $WL_{ds}$ のとき、 $V_{wld1} = V_{wld1\_min}$ であることを示す。 $WL_{switch}$ は、異なるダミーワード線電圧に対するスイッチを示すワード線である。第1のダミーワード線に隣接し、これのドレイン側にある第2のダミーワード線の場合、破線1411は、 $WL_0$   $WL_{sel} < WL_{switch}$ のとき、 $V_{wld2} = V_{wld2\_max}$ であり、 $WL_{switch}$   $WL_{sel}$   $WL_{ds}$ のとき、 $V_{wld2} = V_{wld2\_min}$ であることを示す。さらに、1つの手法では、第1のダミーメモリセルに印加される電圧( $V_{wld1}$ )のレベルは、選択ワード線と第1のダミーメモリセルとの間の距離に比例して第1の範囲で変化する( $V_{wld1\_min} \sim V_{wld1\_max}$ )。第2のダミーメモリセルに印加される電圧( $V_{wld2}$ )のレベルは、該距離に比例して第2の範囲で変化する( $V_{wld2\_min} \sim V_{wld2\_max}$ )、第2の範囲は第1の範囲より小さい。一例として、 $V_{wld1\_max} = 5V$ 、 $V_{wld1\_min} = 0V$ 、 $V_{wld2\_max} = 4V$ 、及び $V_{wld2\_min} = 2V$ である。この例では、第2の範囲の最下部は第1の範囲の最下部より大きく、第2の範囲の最上部は第1の範囲の最上部より小さい。

10

20

30

40

50

#### 【0109】

最適なスイッチングワード線は、メモリデバイスの周囲温度などの要因によって影響され得る。例えば、温度が上昇すると、電子-ホール生成はより厳しくなるため、切り換えワード線はドレイン側から遠くに移動することになる。温度が低下すると、電子-ホール生成は厳しくなくなり、切り換えワード線はドレイン側のより近くに移動することになる。

#### 【0110】

制御回路は、温度の関数として、第1のグループ及び第2のグループなどの2つの隣接グループ間の境界において切り換えワード線を規定するように構成されてよく、この場合、切り換えワード線は、温度が比較的低いとき、ドレイン側選択ゲートトランジスタに比較的近くなる。

#### 【0111】

最適なスイッチングワード線は、ドレイン側からだけでなく、制御ゲートの長さ及び制御ゲート間の間隔などの要因から、生成された電子を完全に吸収するためにどの程度のワード線が利用可能であるかに左右される。一般的に、メモリデバイスが比較的少ないワード線を有する場合、制御ゲートの長さ及び制御ゲート間の間隔が比較的大きくなるのはより一般的である。例えば、 $WL_{30}$ が図14Aにおいて最適な切り換えワード線であると仮定する。ホットキャリアを吸収するために利用可能なチャンネルの長さを規定するドレイン側に17のワード線( $WL_{31} \sim WL_{47}$ )がある。切り換えワード線とドレイン側ダミーメモリセルとの間の距離は、 $17/48$ 、又は、ワード線の総数の約 $1/3$ である。

#### 【0112】

第2の例として、24のみワード線があると仮定する。先の例にあるのと同じ制御ゲートの長さ及び制御ゲート間の間隔を仮定する場合、最適な切り換えワード線はおよそ $24 - 17 = WL_7$ である可能性がある。切り換えワード線とドレイン側ダミーメモリセルとの間の距離は、 $17/24$ 、又はワード線の総数の約 $2/3$ である。制御ゲートの長さ及び制御ゲート間の距離が先の例の場合よりも大きいと仮定する場合、最適な切り換えワード線はおよそ $WL_8 \sim WL_{12}$ である可能性がある。最適な切り換えワード線は、概算で、このソース側においてワード線の少なくとも約50%を含んでもよい。一般的に、最適な切り換えワード線はテストを行うことで判断可能である。

#### 【0113】

図14Cは、図14Aと合致する、3つのレベルの電圧が使用される場合のダミーワー

ド線電圧のプロットを、選択ワード線位置の関数として示す。ワード線の3つ以上のグループは、3つ以上の対応するダミーワード線電圧のレベルで規定されてよい。第1のグループでは、 $WL0 \leq WL_{sel} < WL_{switch1}$ 、及び $V_{wld1} = V_{wld1\_max}$ である。第2のグループでは、 $WL_{switch1} \leq WL_{sel} < WL_{switch2}$ 、及び $V_{wld1} = V_{wld1\_int}$ である。第3のグループでは、 $WL_{switch2} \leq WL_{sel} < Wlds$ 、及び $V_{wld1} = V_{wld1\_min}$ である。2つ以上のグループを使用することによって、 $V_{wld1}$ の最高値と最低値との間の遷移がもたらされる。 $WL_{switch1}$ 及び $WL_{switch2}$ は、異なるダミーワード線電圧に対するスイッチを示すワード線である。

#### 【0114】

例えば、図14Aに基づいて、 $WL_{switch1} = WL30$ 、及び $WL_{switch2} = WL47$ としてよい。図14Aは、 $WL0 \sim WL30$ がエラー数がE1を下回る領域であり、 $WL31 \sim WL44$ が段階的な低下があり、エラー数がE2を超える領域であり、 $WL45 \sim WL47$ が突然の低下があり、エラー数が増大する領域であることを示す。

#### 【0115】

図14Dは、図14Aと合致する、 $V_{wld1}$ が選択ワード線位置の関数として傾斜状に減少する場合のダミーワード線電圧のプロットを、選択ワード線位置の関数として示す。図14B及び図14Cにおいて、ダミーワード線電圧は、ステップ関数に従って、選択ワード線位置により変化する。

#### 【0116】

この例では、 $Wld1$ は、選択ワード線位置のランプ関数又は他の関数に従って変化する。これによって、 $V_{wld1}$ の最高値と最低値との間で段階的な遷移がもたらされる。

#### 【0117】

図15A～図15Dは、異なるシナリオでの非選択NANDにおけるチャネル電圧( $V_{ch}$ )のプロットを示す。プリチャージ段階の後、及び $V_{pgm}$ が印加される直前のチャネル電圧が示される。垂直軸は $V_{ch}$ を示し、水平軸はNANDストリングに沿った位置を示す。該位置は破線で区分され、ここで、隣接する破線間の領域は、トランジスタ/ワード線の真下のチャネル領域、又は、トランジスタ/ワード線間のチャネル領域に対応する。NANDストリングのドレイン側に焦点が置かれている。SGDはSGDトランジスタであり、 $Wld1$ は第1のダミーワード線であり、記載されている場合には、 $Wld2$ は第2のダミーワード線である。 $Wlds-1$ は第1のドレイン側データワード線であり、 $Wlds-1$ は第2のドレイン側データワード線であり、以下同様に続く。例えば、図9Aにおいて、 $Wlds = WL22$ である。BLはビット線である。

#### 【0118】

最初に述べられたように、プログラム電圧を印加する前のチャネルプリチャージ動作は、後続のプログラム電圧の間のブースト電位の上昇に寄与する。非選択NANDストリングにおけるチャネルブーストの大部分は、チャネル電圧がフローティングしている間の、ワード線からチャネルまでの容量結合に起因する。チャネル電圧をフローティングさせるために、選択ゲートトランジスタはオフされる(非導電にされる)。その後、ワード線は増大する。例えば、非選択ワード線電圧は0Vから8～9Vまで増大する。選択ワード線電圧は、プログラムループに依存して、0Vから、例えば、15～25Vの $V_{pgm}$ まで増大する。チャネル電圧は、結合比(CR)で乗算されるワード線電圧の増加量( $V_{increase}$ )でブーストされる。例えば、 $V_{ch} = V_{initial} + (V_{increase} \times CR)$ である。 $V_{initial}$ は、(例えば、図16A～図16Eのt3における)ワード線電圧の増大前のチャネル電圧であり、例えば、0V、又はプリチャージ動作から生じる1～2Vなどの小さい値とすることができる。よって、より大きい $V_{initial}$ はより大きい $V_{ch}$ をもたらす。 $V_{ch}$ は、(例えば、図16A～図16Eのt4における) $V_{pgm}$ が印加されるときに最終チャネルブーストレベルである。

#### 【0119】

チャネルプリチャージ動作は、チャネルにおける残留電子、ひいてはブーストチャネル

10

20

30

40

50

電位の除去に寄与する。プリチャージ効率、例えば、プリチャージの使用によるチャンネル電位増加の増大を制御するために、ドレイン側ダミーワード線に加えるバイアスを調節することができる。一般的に、ダミーメモリセルの制御ゲート/ワード線電圧が高い場合、ダミーメモリセルは完全にオンにされ、残留電子は完全に取り除かれ得る。結果として、プリチャージ動作の終了におけるチャンネル電位 ( $V_{initial}$ ) は高く、ブーストは改善される。しかしながら、ダミーワード線電圧が 0 V から 5 V などの高いレベルに変更された場合、より低いワード線、例えば、NAND ストリングのソース側により近いワード線のチャンネルブーストは改善したが、より高いワード線、例えば、NAND ストリングのドレイン側により近いワード線のチャンネルブーストは著しく低下した。チャンネルブーストの量は、プログラミング後にデータをリードバックするとき、Er ~ A 状態の読出しエラーに関して測定してもよい。

10

#### 【0120】

チャンネルブーストの低下は、ポリシリコンチャンネルにおけるホットキャリアの生成を容易にする NAND ストリングのドレイン側において、段階的なチャンネルブーストによって生じる。プリチャージ効率 (残留電子を取り除く能力) とホットキャリア生成効率との間に競合がある。より低いワード線について、消去状態にある選択ワード線のドレイン側における多くのワード線/メモリセルの存在によって、合計のチャンネル静電容量が大きくなるため、ホットキャリアを容易に吸収可能であり、プリチャージ向上の利点はより際立つ。しかし、より高いワード線について、選択ワード線のドレイン側におけるチャンネル静電容量が小さくなることによって、ホットキャリア誘導のブースト低下がより際立つ。よって、最上部 (ドレイン側) のワード線のプログラムディスタurbは悪化する。本明細書に提供される技術はこの問題点に対処する。

20

#### 【0121】

図 15 A は、1つのドレイン側ダミーメモリセルが使用される、図 14 A のプロット 1400 と合致する、W1sel がドレイン側ダミーメモリセルから比較的離れており、W1d1 = 高である場合の、非選択 NAND ストリングにおけるチャンネル電圧のプロットを示す。 $V_{ch}$  は約 10 V であってよい。

#### 【0122】

上述の式、 $V_{ch} = V_{initial} + (V_{increase} \times CR)$  を使用して、例えば、2 V の、正のビット線プリチャージ電圧がビット線から選択ワード線までのチャンネルを容易に通過できることを想起されたい。従って、 $V_{initial} = 2$  V である。さらに、プリチャージ段階後に非選択ワード線が 0 V から 8 V まで増大すると、簡略化のために  $CR = 1$  と仮定すると、 $V_{increase} = 8$  V となる。よって、データワード線のチャンネル部分では、 $V_{ch} = 2 + 8 \times 1 = 10$  V である。W1d1 下のチャンネルでは、非選択 NAND ストリングについて、プリチャージ段階において、及び  $V_{pgm}$  が印加されるとき、 $V_{w1d1} = 5$  V と仮定する。よって、容量結合によって W1d1 下の  $V_{ch}$  を増大させる  $V_{w1d1}$  の増大はない。W1d1 下のチャンネル部分は約 2 V のままである。これによって、電子 (e) - 正孔 (h) 対を生成する大きい勾配 1510 がもたらされる。電子はデータワード線に向かって移動し、ホールは反対方向に向かって移動する。既述したように、電子正孔対が生成されても、チャンネルによって吸収可能であり、データワード線のプログラムディスタurbが生じることはない。

30

40

#### 【0123】

図 15 B は、1つのドレイン側ダミーメモリセルが使用される、図 14 A のプロット 1401 と合致する、W1sel がドレイン側ダミーメモリセルに比較的近く、W1d1 = 低である場合の、非選択 NAND ストリングにおけるチャンネル電圧のプロットを示す。この場合、 $V_{w1d1}$  は、ダミーメモリセルが相対的に非導電状態であるように低い。これは、ビット線のプリチャージのほとんどがチャンネルに達することを阻止するが、少量のプリチャージはチャンネルに進入してもよい。この結果、図 15 A のような  $V_{ch} = 10$  V の代わりに、 $V_{ch} = 8 \sim 9$  V になる。W1d1 下のチャンネル部分では、W1d1 下の  $V_{ch}$  を増大させる、例えば、0 V から 5 V までの  $V_{w1d1}$  の増大がある。従って、W1d

50

1 下のチャンネル部分は、図 1 5 A にあるような 2 V の代わりに約 7 V になる。S G D トランジスタは、2 V のプリチャージが S G D 下のチャンネル部分まで通過するように、図 1 5 A にあるように導電性を有する。S G D の制御ゲートは、プリチャージ後に、例えば、導電状態から非導電状態まで減少して、チャンネルをフローティングさせ、ワード線電圧の増大によって  $V_{pgm}$  が印加される前により高くブーストされるのを許容する。

【 0 1 2 4 】

図 1 5 C は、2 つのドレイン側ダミーメモリセルが使用される、図 1 4 A のプロット 1 4 0 0 と合致する、 $W L_{sel}$  がドレイン側ダミーメモリセルから比較的離れており、 $W L_{d1}$  = 高及び  $W L_{d2}$  = 高である場合の、非選択 N A N D ストリングにおけるチャンネル電圧のプロットを示す。複数のドレイン側ダミーワード線は、チャンネル勾配を低減する、  
10  $W L_{d1}$  と S G D との間のより広い遷移領域をもたらすために使用してもよい。図 1 5 A にあるように、e - h 対を生成する、 $W L_{d1}$  と  $W L_{d2}$  との間に著しいチャンネル勾配があるが、電子は、プログラムディスターブが生じる前に吸収可能である。

【 0 1 2 5 】

図 1 5 D は、2 つのドレイン側ダミーメモリセルが使用される、図 1 4 A のプロット 1 4 0 1 と合致する、 $W L_{sel}$  がドレイン側ダミーメモリセルに比較的近く、 $W L_{d1}$  = 低及び  $W L_{d2}$  = 低である場合の、非選択 N A N D ストリングにおけるチャンネル電圧のプロットを示す。この場合、 $V_{wld1}$  は低いため、ビット線のプリチャージのほとんどがチャンネルに達することを阻止される。この結果、図 1 5 C にあるような  $V_{ch} = 10 V$  の代わりに、 $V_{ch} = 8 \sim 9 V$  になる。図 1 5 B にあるように、 $W L_{d1}$  下のチャンネル部分  
20 は約 7 V であり、S G D トランジスタ下のチャンネル部分は 2 V である。 $V_{wld2}$  はプリチャージ段階の間、例えば、2 V であってよく、プリチャージ段階の後であり  $V_{pgm}$  が印加される前に、4 V まで増大する。これによって、合計 4 V の  $V_{ch}$  に対して、2 V のプリチャージの上に  $4 - 2 = 2 V$  のチャンネルブーストが生じる。

【 0 1 2 6 】

図 1 6 A ~ 図 1 6 E は、例示的な波形を示す。垂直軸は電圧であり、水平軸は、プログラムループのプログラム部分における時間の増大を表す。 $t_1 \sim t_3$  の期間はプリチャージ段階である。 $t_3 \sim t_4$  の期間は、ワード線電圧が増大するさらなるブースト段階である。 $t_4 \sim t_5$  の期間は、 $V_{pgm}$  が印加されるプログラミング段階である。 $t_5 \sim t_6$  及びそれ以降の期間は、プログラムループのプログラミング部分が完了される完了段階である。その後、図示されないベリファイ段階は、1 又は複数のベリファイテストを行うために使用されてもよい。  
30

【 0 1 2 7 】

図 1 6 A は、図 1 0 と合致する、選択 N A N D ストリングに対する  $B L_{sel}$  (プロット 1 6 0 0)、及び非選択 N A N D ストリングに対する  $B L_{unsel}$  (プロット 1 6 0 1) を含む、プログラミング動作における時間関数として例示的なビット線電圧を示す。ビット線電圧 ( $V_{bl}$ ) は  $t_1 \sim t_2$  の間に 2 V といったプリチャージレベルに設定される。非選択 N A N D ストリングに対して、 $t_3 \sim t_6$  で、 $V_{bl}$  は 2 V 又は同様のレベルを維持する。これによって、S G D トランジスタは、チャンネル電圧をフローティングさせ、 $t_3 \sim t_4$  で容量結合によってさらなるブーストを可能にするために、導電状態から非  
40 導電状態まで移行することになる。非選択 N A N D ストリングのメモリセルはプログラミングから阻止される。 $t_6$  の後、 $V_{bl}$  は 0 V に戻る。選択 N A N D ストリングについて、 $t_3 \sim t_6$  で、 $V_{bl}$  は、選択 N A N D ストリングにおける選択メモリセルのプログラミングを可能にするために、0 V 又は同様のレベルを維持する。これによって、S G D トランジスタは導電状態を維持する。

【 0 1 2 8 】

図 1 6 B は、図 1 0 と合致する、例示的な S G D 電圧 (ドレイン側選択ゲートトランジスタの電圧) をプログラミング動作 (プロット 1 6 1 0) における時間関数として示す。 $V_{sgd}$  は、 $t_1 \sim t_2$  の間、4 V などのプリチャージレベルに設定される。 $t_3 \sim t_6$  で、 $V_{sgd}$  を、2 V などのレベル又は同様のレベルに低下させる。1 つの例では、選択  
50

NANDストリング及び非選択NANDストリングは、共通のSGD線を有し、それぞれのNANDストリングは別個のビット線を有する。よって、 $t_3 \sim t_6$ で、 $V_{bl}$ は非選択NANDストリングに対して( $V_{sgd} - V_{th} < V_{bl}$ の)非導電状態でのそれぞれのSGDトランジスタを設けるために高く、又は、非選択NANDストリングに対して( $V_{sgd} - V_{th} > V_{bl}$ の)導電状態でのそれぞれのSGDトランジスタを設けるために低く設定してもよい。SGDトランジスタの $V_{th}$ の一例は2Vである。 $t_6$ の後、 $V_{sgd}$ は0Vに戻る。これによって、SGDトランジスタは全てのNANDストリングに対して非導電状態に移行することになる。

#### 【0129】

図16Cは、図10と合致する、 $W_{ld1}$ から $W_{sel}$ までの距離が比較的遠い(プロット1620)又は比較的近い(プロット1621)場合の例示的な $W_{ld1}$ (第1のドレイン側ダミーワード線の電圧)を、プログラミング動作における時間関数として示す。 $t_1 \sim t_3$ で、距離が比較的遠い場合、 $W_{ld1}$ は高レベル、例えば5Vに設定され、距離が比較的近い場合、 $W_{ld1}$ は低レベル、例えば0Vに設定される。 $t_3 \sim t_6$ で、 $W_{ld1}$ は、近距離又は遠距離に対して高レベルに設定してもよい。

10

#### 【0130】

図16Dは、例示的な $W_{unsel}$ (非選択ワード線の電圧)(プロット1630)をプログラミング動作における時間関数として示す。 $W_{unsel}$ は、 $t_3 \sim t_4$ において、0Vなどの低レベルから8~9Vなどのバス電圧まで増大し、 $t_4 \sim t_5$ でそのレベルを維持した後、0Vに戻る。

20

#### 【0131】

図16Eは、例示的な $W_{sel}$ (選択ワード線の電圧)(プロット1640)をプログラミング動作における時間関数として示す。 $W_{sel}$ は、 $t_3 \sim t_4$ において、0Vなどの低レベルから15~25Vなどのプログラム電圧( $V_{pgm}$ )まで増大し、 $t_4 \sim t_5$ でそのレベルを維持した後、0Vに戻る。

#### 【0132】

したがって、1つの実施形態では、メモリデバイスは、選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリングであって、選択NANDストリングは選択メモリセルと非選択メモリセルとを含む複数のメモリセルを含み、非選択NANDストリングは選択メモリセルに対応する非選択メモリセルと残りの非選択メモリセルとを含む複数のメモリセルを含み、複数のNANDストリングの各NANDストリングは、それぞれのチャンネルと、ドレイン側選択ゲートトランジスタと、第1のダミーメモリセルとを含み、第1のダミーメモリセルは複数のメモリセルのドレイン側選択ゲートトランジスタとドレイン端メモリセルとの間にあり、複数のNANDストリングの各NANDストリングは複数のビット線のビット線それぞれに接続され、選択メモリセル及び選択メモリセルに対応する非選択メモリセルは、複数のワード線の中の選択ワード線に接続され、選択NANDストリングの非選択メモリセル及び非選択NANDストリングの残りの非選択メモリセルは、複数のワード線の中の非選択ワード線に接続される、複数のNANDストリングと、制御回路と、を含むことが分かる。制御回路は、非選択NANDストリングに対して、プログラミング動作において選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成され、プリチャージ動作を実行するために、制御回路は、非選択NANDストリングのビット線それぞれへの正のプリチャージ電圧と、第1のダミーメモリセルへの電圧と、を同時に印加するように構成され、第1のダミーメモリセルに印加された電圧のレベルは、選択ワード線と第1のダミーメモリセルとの間の距離の関数であり、それによって、距離が大きくなる場合にこのレベルが高くなる。

30

40

#### 【0133】

別の実施形態では、メモリデバイスにおいてプログラミングするための方法は、非選択NANDストリングに対して、選択NANDストリングにおける選択メモリセルに対するプログラミング動作中に、選択メモリセルが選択ワード線に接続される場合に、非選択NANDストリングのビット線それぞれへの正のプリチャージ電圧と、非選択NANDスト

50

リングの第1のメモリセルへの電圧と、を同時に印加することによってプリチャージ動作を実行する工程であって、第1のダミーメモリセルに印加される電圧のレベルは、選択ワード線と第1のダミーメモリセルとの間の距離の関数であり、それによって、距離が大きくなる場合にレベルが高くなり、第1のダミーメモリセルは、非選択NANDストリングの複数のメモリセルのドレイン側選択ゲートトランジスタとドレイン端メモリセルとの間にある、プリチャージを実行する工程と、プリチャージ動作後に、選択ワード線にプログラム電圧を印加する工程とを含む。

【0134】

別の実施形態では、メモリデバイスは、上述した方法における工程のそれぞれを実行するための手段を含む。

10

【0135】

別の実施形態では、メモリデバイスは、選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリングであって、選択NANDストリングは選択メモリセルと非選択メモリセルとを含む複数のメモリセルを含み、非選択NANDストリングは選択メモリセルに対応する非選択メモリセルと残りの選択メモリセルとを含む複数のメモリセルを含み、複数のNANDストリングの各NANDストリングは、それぞれのチャンネルと、ドレイン側選択ゲートトランジスタと、第1のダミーメモリセルとを含み、第1のダミーメモリセルは複数のメモリセルのドレイン側選択ゲートトランジスタとドレイン端メモリセルとの間にあり、複数のNANDストリングの各NANDストリングは複数のビット線のビット線それぞれに接続され、選択メモリセル及び選択メモリセルに対応する非選択メモリセルは、複数のワード線の中の選択ワード線に接続され、選択NANDストリングの非選択メモリセル及び非選択NANDストリングの残りの非選択メモリセルは、複数のワード線の中の非選択ワード線に接続される、複数のNANDストリングと、制御回路と、を含む。制御回路は、非選択NANDストリングに対して、プログラミング動作において選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成され、プリチャージ動作を実行するために、制御回路は、非選択NANDストリングのビット線それぞれに正のプリチャージ電圧を同時に印加するように、及び、第1のダミーメモリセルを制御して、ビット線それぞれからそれぞれのチャンネルまで通じる正のプリチャージ電圧の量を制御するように構成され、その量は、選択ワード線と第1のダミーメモリセルとの間の距離の関数であり、それによって、距離が大きくなる場合に量が多くなる。

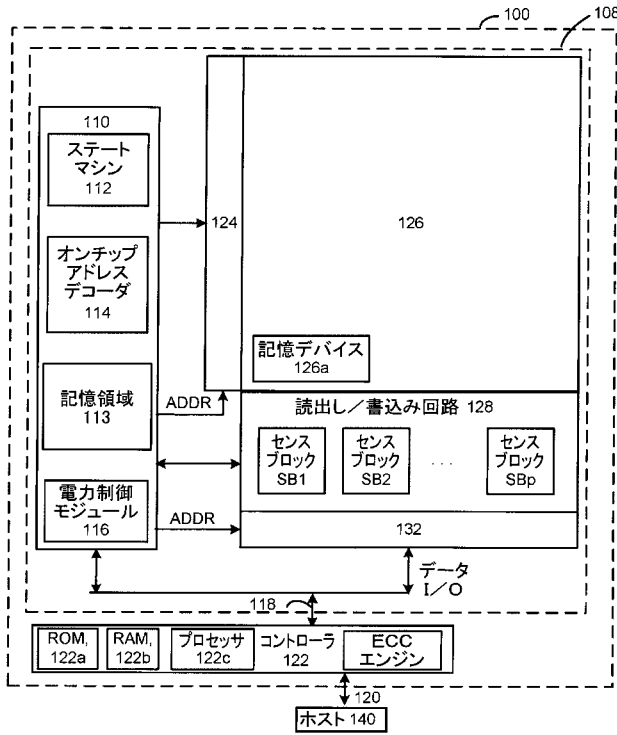
20

30

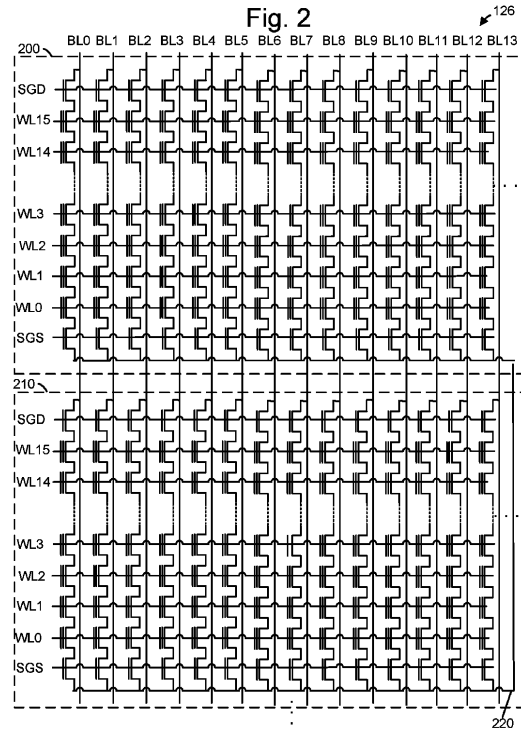
【0136】

本発明の前述の詳細な説明は、例示及び説明の目的で提示されており、網羅的である又は開示された正確な形態に本発明を限定することは意図されない。上記の教示を考慮して、多くの修正及び変形が可能である。説明した実施形態は、本発明の原理及びその実用的応用を最も良く説明するために、それによって、当業者が、様々な実施形態において及び考えられる特定の使用に適するような様々な修正によって本発明を最も良く活用することができるように、選定されたものである。本発明の範囲は添付の特許請求の範囲によって定められていることが意図される。

【 図 1 】



【 図 2 】



【 図 3 A 】

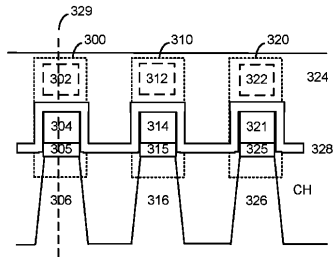


Fig. 3A

【 図 4 A 】

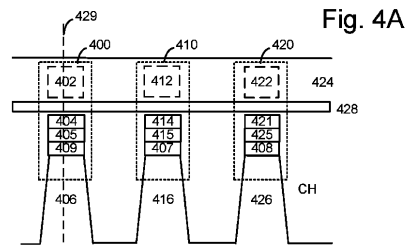


Fig. 4A

【 図 3 B 】

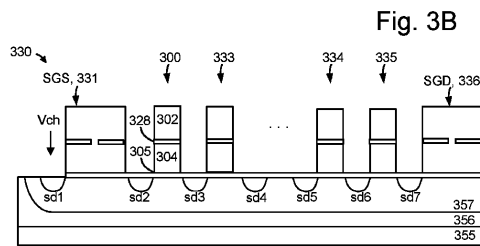


Fig. 3B

【 図 4 B 】

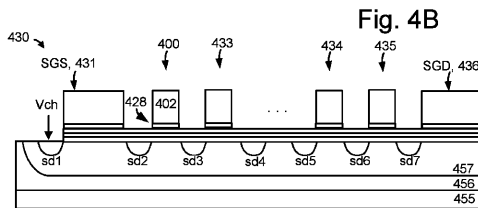
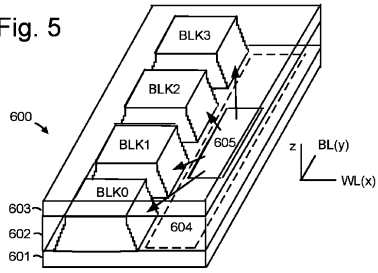


Fig. 4B

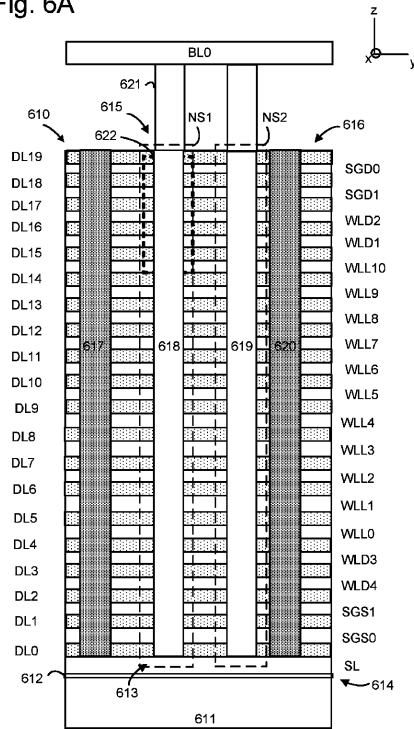
【 図 5 】

Fig. 5



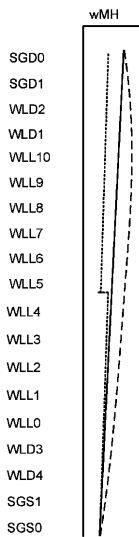
【 図 6 A 】

Fig. 6A

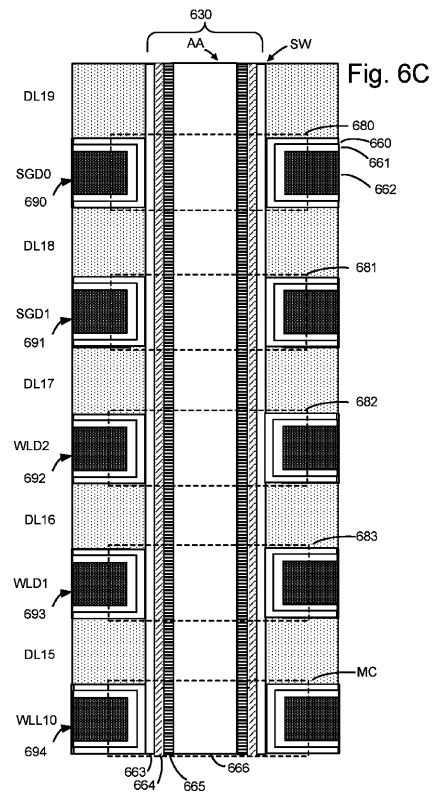


【 図 6 B 】

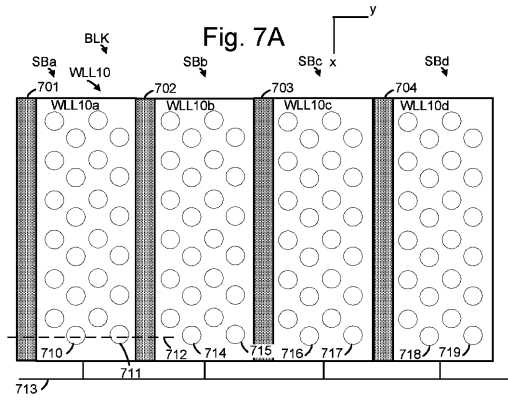
Fig. 6B



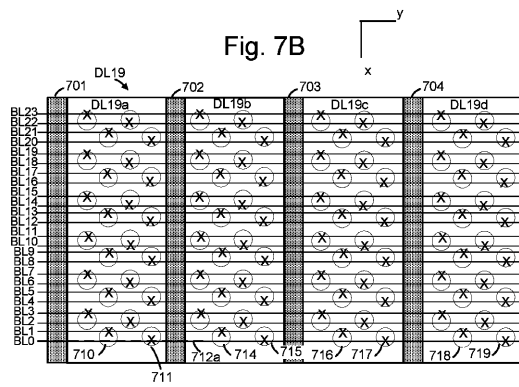
【 図 6 C 】



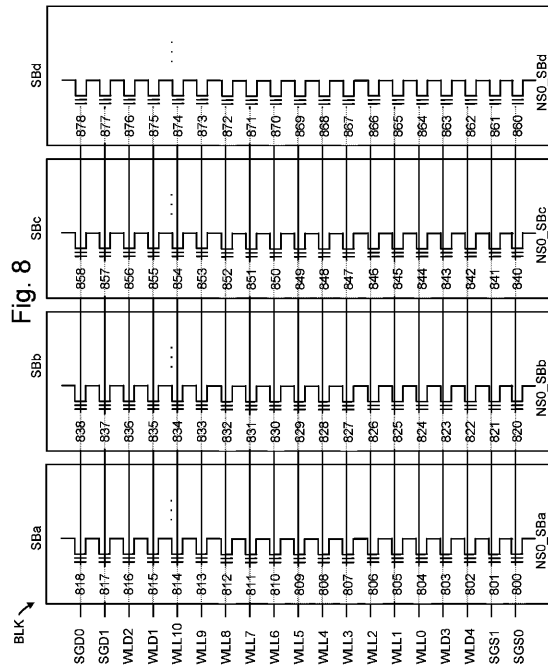
【 図 7 A 】



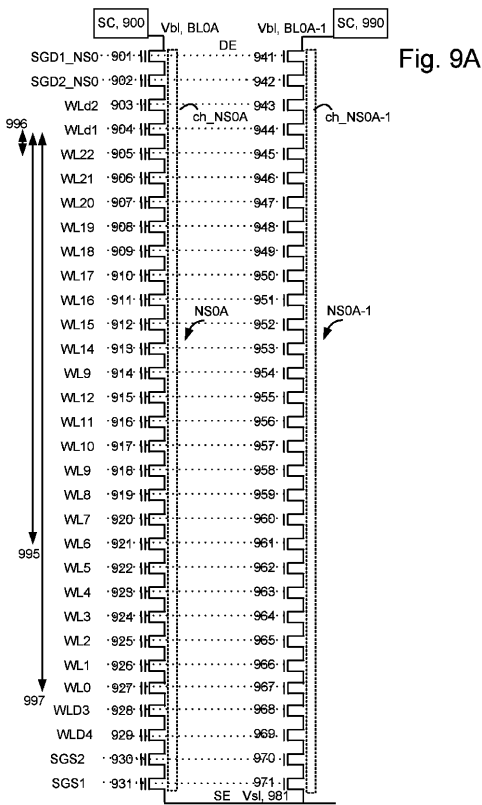
【 図 7 B 】



【 図 8 】



【 図 9 A 】



【 図 9 B 】

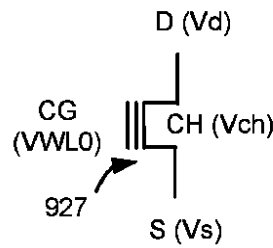
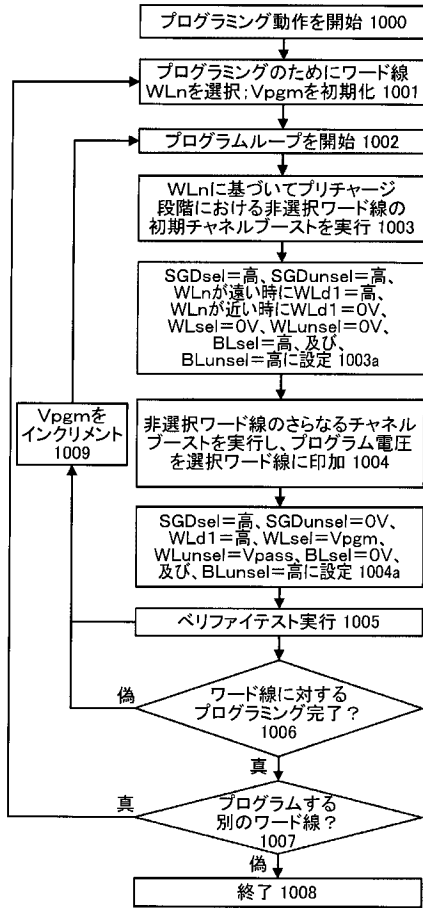
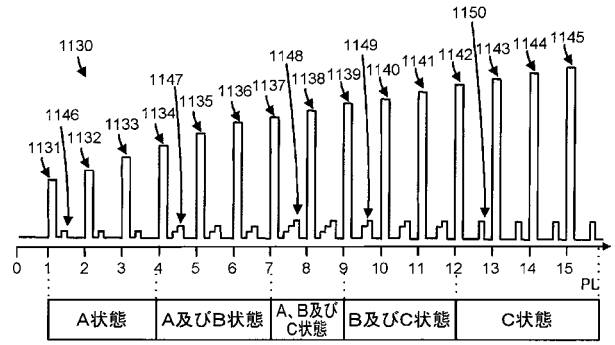


Fig. 9B

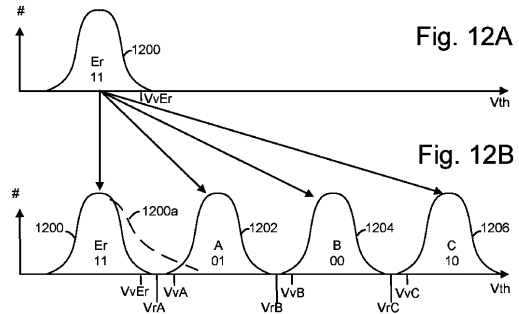
【図10】



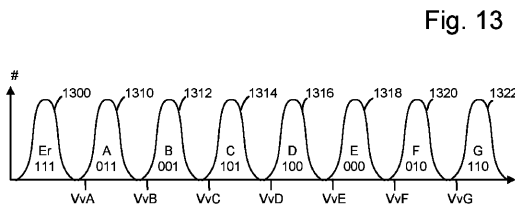
【図11】



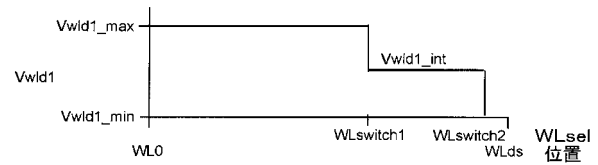
【図12A - 12B】



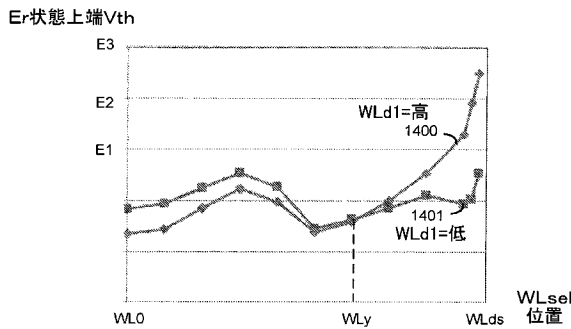
【図13】



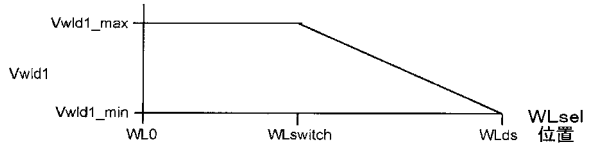
【図14C】



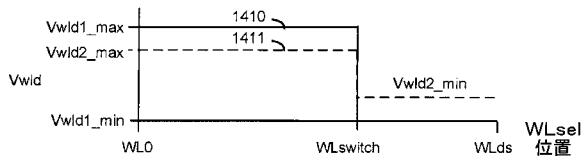
【図14A】



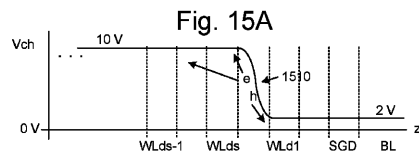
【図14D】



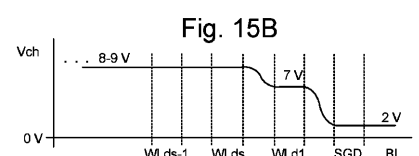
【図14B】



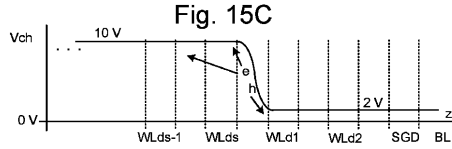
【図15A】



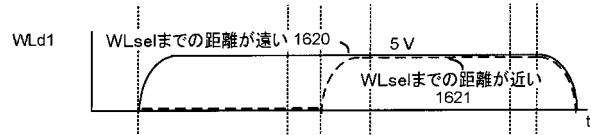
【図15B】



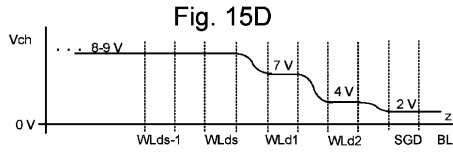
【 図 1 5 C 】



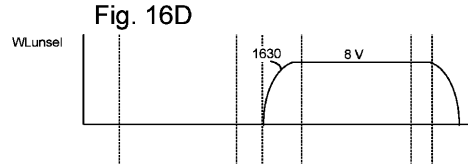
【 図 1 6 C 】



【 図 1 5 D 】

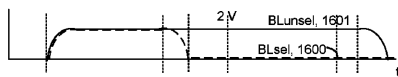


【 図 1 6 D 】

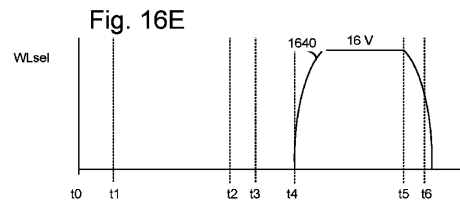


【 図 1 6 A 】

Fig. 16A

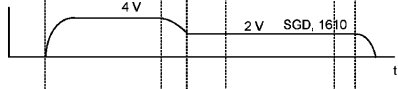


【 図 1 6 E 】



【 図 1 6 B 】

Fig. 16B



【 手続 補正 書 】

【 提出 日 】 平成 30 年 5 月 23 日 ( 2018.5.23 )

【 手続 補正 1 】

【 補正 対 象 書 類 名 】 特 許 請 求 の 範 囲

【 補正 対 象 項 目 名 】 全 文

【 補正 方 法 】 変 更

【 補正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

選 択 N A N D ス ト リ ン グ と 非 選 択 N A N D ス ト リ ン グ と を 含 む 複 数 の N A N D ス ト リ ン グ ( N S 1 、 N S 2 、 N S 0 \_ S B a 、 N S 0 \_ S B b 、 N S 0 \_ S B c 、 N S 0 \_ S B d ) で あ っ て 、

前 記 選 択 N A N D ス ト リ ン グ は 、 選 択 メ モ リ セ ル ( 9 2 1 ) と 、 非 選 択 メ モ リ セ ル と 、 を 含 む 複 数 の メ モ リ セ ル ( 3 0 0 、 3 3 3 、 … 、 3 3 4 及 び 3 3 5 、 4 0 0 、 4 3 3 、 … 、 4 3 4 及 び 4 3 5 ) を 含 む 、

前 記 非 選 択 N A N D ス ト リ ン グ は 、 前 記 選 択 メ モ リ セ ル ( 9 2 1 ) に 対 応 す る 非 選 択 メ モ リ セ ル ( 9 6 1 ) と 、 残 り の 非 選 択 メ モ リ セ ル と 、 を 含 む 複 数 の メ モ リ セ ル を 含 む 、

前 記 複 数 の N A N D ス ト リ ン グ の 各 N A N D ス ト リ ン グ は 、 そ れ ぞ れ の チ ャ ン ネ ル ( 4 0 6 、 6 6 5 ) と 、 ド レ イ ン 側 選 択 ゲ ー ト ト ラ ン ジ ス タ ( 6 8 0 、 6 8 1 、 8 1 7 、 8 1 8 、 8 3 7 、 8 3 8 、 8 5 7 、 8 5 8 、 8 7 7 、 8 7 8 、 9 0 1 、 9 4 1 、 9 0 2 、 9 4 2 ) と 、 第 1 の ダ ミ ー メ モ リ セ ル ( 8 1 5 、 8 3 5 、 8 5 5 、 8 7 5 、 9 0 4 、 9 4 4 ) と 、 を 含 む 、

前 記 第 1 の ダ ミ ー メ モ リ セ ル は 、 前 記 複 数 の メ モ リ セ ル の 前 記 ド レ イ ン 側 選 択 ゲ ー ト ト ラ ン ジ ス タ と ド レ イ ン 端 メ モ リ セ ル ( 8 1 4 、 8 3 4 、 8 5 4 、 8 7 4 、 9 0 5 、 9 4 5 ) と の 間 に あ り 、

前記複数のNANDストリングの各NANDストリングは複数のビット線(BL0、BL0A、BL0A-1)のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線(WL0~WL22)の中の選択ワード線に接続され、

前記選択NANDストリングの前記非選択メモリセル及び前記非選択NANDストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数のNANDストリングと、

前記非選択NANDストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路(110、112、114、116、122、128、132)であって、前記プリチャージ動作を実行するために、前記制御回路は、前記非選択NANDストリングの前記ビット線それぞれへの正のプリチャージ電圧と、前記第1のダミーメモリセルへの電圧と、を同時に印加するように構成され、前記第1のダミーメモリセルに印加された前記電圧のレベル(WLd1)は、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなる、前記制御回路と、

を備える、メモリデバイス。

#### 【請求項2】

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第1のグループのワード線(WL0~WLy-1)の中にある場合の第1の値において、及び、前記選択ワード線が前記複数のワード線の第2のグループのワード線(WLy~WLds)の中にある場合の、前記第1の値よりも小さい第2の値において、前記第1のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第1のグループのワード線は前記複数のワード線の50~80%を含み、

前記第2のグループのワード線は前記複数のワード線の残りを含む、請求項1に記載のメモリデバイス。

#### 【請求項3】

前記制御回路は、温度の関数として、前記第1のグループ(WL0~WLy-1)と前記第2のグループ(WLy~WLds)との間の境界において切り換えワード線(WLswitch)を規定するように構成され、

前記切り換えワード線は、前記温度が比較的低い場合に、前記ドレイン側選択ゲートトランジスタに比較的近くなる、請求項2に記載のメモリデバイス。

#### 【請求項4】

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第1のグループのワード線の中にある場合の第1の値において、及び、前記選択ワード線が前記複数のワード線の第2のグループのワード線の中にある場合の、前記第1の値よりも小さい第2の値において、前記第1のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第1のグループにおける前記選択ワード線と、前記第1のダミーメモリセルとの間の距離は、前記第2のグループにおける前記選択ワード線と、前記第1のダミーメモリセルとの間の距離よりも大きい、請求項1に記載のメモリデバイス。

#### 【請求項5】

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第3のグループのワード線の中にある場合の、前記第2の値よりも小さい第3の値において、前記第1のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第2のグループにおける前記選択ワード線と、前記第1のダミーメモリセルとの間の距離は、前記第3のグループにおける前記選択ワード線と、前記第1のダミーメモリセルとの間の距離よりも大きい、請求項4に記載のメモリデバイス。

#### 【請求項6】

前記距離が最大である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも大きい、請求項 1 から 5 のいずれか一項に記載のメモリデバイス。

【請求項 7】

前記距離が最小である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも小さい、請求項 1 から 6 のいずれか一項に記載のメモリデバイス。

【請求項 8】

前記第 1 のダミーメモリセルは前記複数のワード線の中のドレイン側データワード線に隣接している、請求項 1 から 7 のいずれか一項に記載のメモリデバイス。

【請求項 9】

前記複数の NAND ストリングのそれぞれの NAND ストリングは、前記第 1 のダミーメモリセルと、前記第 1 のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第 2 のダミーメモリセル ( 8 1 6、8 3 6、8 5 6、8 7 6、9 0 3、9 4 3 ) を含み、

前記制御回路は、前記第 1 のダミーメモリセルに前記電圧が印加されるのと同時に、前記第 2 のダミーメモリセルに電圧を印加するように構成され、

前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第 1 の範囲で変化し、

前記第 2 のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第 2 の範囲で変化し、

前記第 2 の範囲は前記第 1 の範囲よりも小さい、請求項 8 に記載のメモリデバイス。

【請求項 10】

前記第 2 の範囲の最下部 (  $V_{w1d2\_min}$  ) は前記第 1 の範囲の最下部 (  $V_{w1d1\_min}$  ) よりも大きく、

前記第 2 の範囲の最上部 (  $V_{w1d2\_max}$  ) は前記第 1 の範囲の最上部 (  $V_{w1d1\_max}$  ) よりも小さい、請求項 9 に記載のメモリデバイス。

【請求項 11】

前記非選択 NAND ストリングに対して、前記制御回路は、前記ドレイン側選択ゲートトランジスタを、前記電圧が前記第 1 のダミーメモリセルに印加されるのと同時に導電状態にし、及び、前記プログラム電圧の印加と同時に非導電状態にするように構成される、請求項 1 から 10 のいずれか一項に記載のメモリデバイス。

【請求項 12】

前記選択 NAND ストリングに対して、前記制御回路は、前記電圧が前記第 1 のダミーメモリセルに印加されるのと同時に、前記ドレイン側選択ゲートトランジスタを導電状態にし、前記ビット線それぞれに 0 V を印加するように構成される、請求項 1 から 11 のいずれか一項に記載のメモリデバイス。

【請求項 13】

前記メモリデバイスは、前記複数のワード線がスタックの異なる層に配置され、前記チャンネルが前記スタックにおいて垂直に延在する 3 次元積層メモリデバイスを含む、請求項 1 から 12 のいずれか一項に記載のメモリデバイス。

【請求項 14】

前記非選択 NAND ストリングは、ソース側選択ゲートトランジスタを含み、

前記非選択 NAND ストリングにおいて、前記プリチャージ動作中、前記選択ワード線と前記第 1 のダミーメモリセルとの間の非選択メモリセルは消去状態にあり、

前記選択ワード線と前記ソース側選択ゲートトランジスタとの間の非選択メモリセルはプログラム状態にある、請求項 1 から 13 のいずれか一項に記載のメモリデバイス。

【請求項 15】

メモリデバイスにおいてプログラミングするための方法であって、

非選択 NAND ストリング ( NS 1、NS 2、NS 0 \_\_ S B a、NS 0 \_\_ S B b、NS

0\_\_SBc、NS0\_\_SBd) に対して、選択 NAND ストリングにおける選択メモリセル (921) に対するプログラミング動作中に、前記選択メモリセルが選択ワード線 (WL0~WL22) に接続される場合に、前記非選択 NAND ストリングのビット線それぞれ (BL0、BL0A、BL0A-1) への正のプリチャージ電圧と、前記非選択 NAND ストリングの第 1 のダミーメモリセル (815、835、855、875、904、944) への電圧と、を同時に印加することによってプリチャージ動作を実行する工程であって、前記第 1 のダミーメモリセルに印加される前記電圧のレベルは、前記選択ワード線と前記第 1 のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなり、前記第 1 のダミーメモリセルは、前記非選択 NAND ストリングの複数のメモリセルのドレイン側選択ゲートトランジスタ (680、681、817、818、837、838、857、858、877、878、901、941、902、942) とドレイン端メモリセル (814、834、854、874、905、945) との間にある、前記プリチャージ動作を実行する工程と、

前記プリチャージ動作後に、前記選択ワード線にプログラム電圧を印加する工程と、を含む、方法。

【請求項 16】

前記プログラミング動作において、複数のプログラムループの各プログラムループ (PL) において、前記プリチャージ動作を行う工程と、前記プログラム電圧を前記選択ワード線に印加する工程と、を繰り返す工程をさらに含む、請求項 15 に記載の方法。

【請求項 17】

前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルは、前記選択ワード線が複数のワード線の第 1 のグループのワード線の中にある場合に第 1 の値であり、前記選択ワード線が前記複数のワード線の第 2 のグループのワード線の中にある場合に前記第 1 の値よりも小さい第 2 の値であり、

前記第 1 のグループのワード線は前記複数のワード線の 50~75% を含み、

前記第 2 のグループのワード線は前記複数のワード線の残りを含み、請求項 15 又は 16 に記載の方法。

【請求項 18】

前記第 1 のダミーメモリセルは、前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記非選択 NAND ストリングは、前記第 1 のダミーメモリセルと、前記第 1 のダミーメモリセルに隣接する前記ドレイン側データワード線との間に第 2 のダミーメモリセルを含み、

前記方法は、さらに、

前記第 1 のダミーメモリセルに前記電圧が印加されるのと同時に、前記第 2 のダミーメモリセルに電圧を印加する工程であって、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第 1 の範囲で変化し、前記第 2 のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第 2 の範囲で変化し、前記第 2 の範囲は前記第 1 の範囲よりも小さい、前記印加する工程、を含む、請求項 15 から 17 のいずれか一項に記載の方法。

【請求項 19】

選択 NAND ストリングと非選択 NAND ストリングとを含む複数の NAND ストリングであって、

前記選択 NAND ストリングは、選択メモリセルと、非選択メモリセルと、を含む複数のメモリセルを含み、

前記非選択 NAND ストリングは、前記選択メモリセルに対応する非選択メモリセルと、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数の NAND ストリングの各 NAND ストリングは、それぞれのチャンネルと、ドレイン側選択ゲートトランジスタと、第 1 のダミーメモリセルと、を含み、

前記第 1 のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲート

トランジスタとドレイン端メモリセルとの間にあり、

前記複数のNANDストリングの各NANDストリングは複数のビット線のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線の中の選択ワード線に接続され、

前記選択NANDストリングの前記非選択メモリセル及び前記非選択NANDストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数のNANDストリングと、

前記非選択NANDストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路と、を備え、

前記制御回路は、前記プリチャージ動作を実行するために、前記非選択NANDストリングの前記ビット線それぞれへの正のプリチャージ電圧を同時に印加するように、及び、前記第1のダミーメモリセルを制御して、前記ビット線それぞれから前記それぞれのチャネルまでの通じる前記正のプリチャージ電圧の量を制御するように構成され、

前記量は、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記量が多くなる、

メモリデバイス。

**【請求項20】**

前記第1のダミーメモリセルは、前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記複数のNANDストリングの各NANDストリングは、前記第1のダミーメモリセルと、前記第1のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第2のダミーメモリセルを含み、

前記制御回路は、前記第1のダミーメモリセルの制御と並行して前記第2のダミーメモリセルを制御するように構成され、

前記第1のダミーメモリセルに印加される制御ゲート電圧のレベルは、前記距離に比例して第1の範囲で変化し、

前記第2のダミーメモリセルに印加される制御ゲート電圧のレベルは、前記距離に比例して第2の範囲で変化し、

前記第2の範囲は、前記第1の範囲よりも小さい、請求項19に記載のメモリデバイス

。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0136

**【補正方法】**変更

**【補正の内容】**

**【0136】**

本発明の前述の詳細な説明は、例示及び説明の目的で提示されており、網羅的である又は開示された正確な形態に本発明を限定することは意図されない。上記の教示を考慮して、多くの修正及び変形が可能である。説明した実施形態は、本発明の原理及びその実用的応用を最も良く説明するために、それによって、当業者が、様々な実施形態において及び考えられる特定の使用に適するような様々な修正によって本発明を最も良く活用することができるように、選定されたものである。本発明の範囲は添付の特許請求の範囲によって定められていることが意図される。

以下の項目は、国際出願時の特許請求の範囲に記載の要素である。

[項目1]

選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリング(NS1、NS2、NS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc、NS0\_\_SB

d)であって、

前記選択NANDストリングは、選択メモリセル(921)と、非選択メモリセルと、を含む複数のメモリセル(300、333、...、334及び335、400、433、...、434及び435)を含み、

前記非選択NANDストリングは、前記選択メモリセル(921)に対応する非選択メモリセル(961)と、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数のNANDストリングの各NANDストリングは、それぞれのチャンネル(406、665)と、ドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)と、第1のダミーメモリセル(815、835、855、875、904、944)と、を含み、

前記第1のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲートトランジスタとドレイン端メモリセル(814、834、854、874、905、945)との間にあり、

前記複数のNANDストリングの各NANDストリングは複数のビット線(BL0、BL0A、BL0A-1)のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線(WL0~WL22)の中の選択ワード線に接続され、

前記選択NANDストリングの前記非選択メモリセル及び前記非選択NANDストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数のNANDストリングと、

前記非選択NANDストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路(110、112、114、116、122、128、132)であって、前記プリチャージ動作を実行するために、前記制御回路は、前記非選択NANDストリングの前記ビット線それぞれへの正のプリチャージ電圧と、前記第1のダミーメモリセルへの電圧と、を同時に印加するように構成され、前記第1のダミーメモリセルに印加された前記電圧のレベル(WLd1)は、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなる、前記制御回路と、

を備える、メモリデバイス。

[項目2]

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第1のグループのワード線(WL0~WLy-1)の中にある場合の第1の値において、及び、前記選択ワード線が前記複数のワード線の第2のグループのワード線(WLy~WLds)の中にある場合の、前記第1の値よりも小さい第2の値において、前記第1のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第1のグループのワード線は前記複数のワード線の50~80%を含み、

前記第2のグループのワード線は前記複数のワード線の残りを含み、項目1に記載のメモリデバイス。

[項目3]

前記制御回路は、温度の関数として、前記第1のグループ(WL0~WLy-1)と前記第2のグループ(WLy~WLds)との間の境界において切り換えワード線(WLswitch)を規定するように構成され、

前記切り換えワード線は、前記温度が比較的低い場合に、前記ドレイン側選択ゲートトランジスタに比較的近くなる、項目2に記載のメモリデバイス。

[項目4]

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第1のグループのワード線の中にある場合の第1の値において、及び、前記選択ワード線が前記複数のワード線の第2のグループのワード線の中にある場合の、前記第1の値

よりも小さい第 2 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 1 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、項目 1 に記載のメモリデバイス。

[ 項目 5 ]

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 3 のグループのワード線の中にある場合の、前記第 2 の値よりも小さい第 3 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 3 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、項目 4 に記載のメモリデバイス。

[ 項目 6 ]

前記距離が最大である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも大きい、項目 1 から 5 のいずれか一項に記載のメモリデバイス。

[ 項目 7 ]

前記距離が最小である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルが前記第 1 のダミーメモリセルの閾値電圧よりも小さい、項目 1 から 6 のいずれか一項に記載のメモリデバイス。

[ 項目 8 ]

前記第 1 のダミーメモリセルは前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記複数の NAND ストリングのそれぞれの NAND ストリングは、前記第 1 のダミーメモリセルと、前記第 1 のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第 2 のダミーメモリセル ( 8 1 6 、 8 3 6 、 8 5 6 、 8 7 6 、 9 0 3 、 9 4 3 ) を含み、

前記制御回路は、前記第 1 のダミーメモリセルに前記電圧が印加されるのと同時に、前記第 2 のダミーメモリセルに電圧を印加するように構成され、

前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第 1 の範囲で変化し、

前記第 2 のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第 2 の範囲で変化し、

前記第 2 の範囲は前記第 1 の範囲よりも小さい、項目 1 から 7 のいずれか一項に記載のメモリデバイス。

[ 項目 9 ]

前記第 2 の範囲の最下部 (  $V_{w1d2\_min}$  ) は前記第 1 の範囲の最下部 (  $V_{w1d1\_min}$  ) よりも大きく、

前記第 2 の範囲の最上部 (  $V_{w1d2\_max}$  ) は前記第 1 の範囲の最上部 (  $V_{w1d1\_max}$  ) よりも小さい、項目 8 に記載のメモリデバイス。

[ 項目 10 ]

前記非選択 NAND ストリングに対して、前記制御回路は、前記ドレイン側選択ゲートトランジスタを、前記電圧が前記第 1 のダミーメモリセルに印加されるのと同時に導電状態にし、及び、前記プログラム電圧の印加と同時に非導電状態にするように構成され、

前記選択 NAND ストリングに対して、前記制御回路は、前記電圧が前記第 1 のダミーメモリセルに印加されるのと同時に、前記ドレイン側選択ゲートトランジスタを導電状態にし、前記ビット線それぞれに 0 V を印加するように構成される、項目 1 から 9 のいずれか一項に記載のメモリデバイス。

[ 項目 11 ]

前記メモリデバイスは、前記複数のワード線がスタックの異なる層に配置され、前記チャンネルが前記スタックにおいて垂直に延在する3次元積層メモリデバイスを含む、項目1から10のいずれか一項に記載のメモリデバイス。

[項目12]

前記非選択NANDストリングは、ソース側選択ゲートトランジスタを含み、  
前記非選択NANDストリングにおいて、前記プリチャージ動作中、前記選択ワード線と前記第1のダミーメモリセルとの間の非選択メモリセルは消去状態にあり、  
前記選択ワード線と前記ソース側選択ゲートトランジスタとの間の非選択メモリセルはプログラム状態にある、項目1から11のいずれか一項に記載のメモリデバイス。

[項目13]

メモリデバイスにおいてプログラミングするための方法であって、  
非選択NANDストリング(NS1、NS2、NS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc、NS0\_\_SBd)に対して、選択NANDストリングにおける選択メモリセル(921)に対するプログラミング動作中に、前記選択メモリセルが選択ワード線(WL0~WL22)に接続される場合に、前記非選択NANDストリングのビット線それぞれ(BL0、BL0A、BL0A-1)への正のプリチャージ電圧と、前記非選択NANDストリングの第1のダミーメモリセル(815、835、855、875、904、944)への電圧と、を同時に印加することによってプリチャージ動作を実行する工程であって、前記第1のダミーメモリセルに印加される前記電圧のレベルは、選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなり、前記第1のダミーメモリセルは、前記非選択NANDストリングの複数のメモリセルのドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)とドレイン端メモリセル(814、834、854、874、905、945)との間にある、前記プリチャージ動作を実行する工程と、  
前記プリチャージ動作後に、前記選択ワード線にプログラム電圧を印加する工程と、  
を含む、方法。

[項目14]

前記プログラミング動作において、複数のプログラムループの各プログラムループ(PL)において、前記プリチャージ動作を行う工程と、前記プログラム電圧を前記選択ワード線に印加する工程と、を繰り返す工程をさらに含む、項目13に記載の方法。

[項目15]

前記第1のダミーメモリセルに印加される前記電圧の前記レベルは、前記選択ワード線が複数のワード線の第1のグループのワード線の中にある場合に第1の値であり、前記選択ワード線が前記複数のワード線の第2のグループのワード線の中にある場合に前記第1の値よりも小さい第2の値であり、  
前記第1のグループのワード線は前記複数のワード線の50~75%を含み、  
前記第2のグループのワード線は前記複数のワード線の残りを含む、項目13又は14に記載の方法。

【手続補正書】

【提出日】平成30年9月28日(2018.9.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリング(NS1、NS2、NS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc、NS0\_\_SB

d)であって、

前記選択NANDストリングは、選択メモリセル(921)と、非選択メモリセルと、を含む複数のメモリセル(300、333、...、334及び335、400、433、...、434及び435)を含み、

前記非選択NANDストリングは、前記選択メモリセル(921)に対応する非選択メモリセル(961)と、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数のNANDストリングの各NANDストリングは、それぞれのチャンネル(406、665)と、ドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)と、第1のダミーメモリセル(815、835、855、875、904、944)と、を含み、

前記第1のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲートトランジスタとドレイン端メモリセル(814、834、854、874、905、945)との間にあり、

前記複数のNANDストリングの各NANDストリングは複数のビット線(BL0、BL0A、BL0A-1)のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線(WL0~WL22)の中の選択ワード線に接続され、

前記選択NANDストリングの前記非選択メモリセル及び前記非選択NANDストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数のNANDストリングと、

前記非選択NANDストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路(110、112、114、116、122、128、132)であって、前記プリチャージ動作を実行するために、前記制御回路は、前記非選択NANDストリングの前記ビット線それぞれへの正のプリチャージ電圧と、前記第1のダミーメモリセルへの電圧と、を同時に印加するように構成され、前記第1のダミーメモリセルに印加された前記電圧のレベル(WLd1)は、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなり、

前記選択ワード線への前記プログラム電圧の印加の間は、前記第1のダミーメモリセルに印加される電圧が前記距離に関わらず高レベルである、前記制御回路と、

を備える、メモリデバイス。

#### 【請求項2】

選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリング(NS1、NS2、NS0\_\_SBa、NS0\_\_SBb、NS0\_\_SBc、NS0\_\_SBd)であって、

前記選択NANDストリングは、選択メモリセル(921)と、非選択メモリセルと、を含む複数のメモリセル(300、333、...、334及び335、400、433、...、434及び435)を含み、

前記非選択NANDストリングは、前記選択メモリセル(921)に対応する非選択メモリセル(961)と、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数のNANDストリングの各NANDストリングは、それぞれのチャンネル(406、665)と、ドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)と、第1のダミーメモリセル(815、835、855、875、904、944)と、を含み、

前記第1のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲートトランジスタとドレイン端メモリセル(814、834、854、874、905、945)との間にあり、

前記複数のNANDストリングの各NANDストリングは複数のビット線(BL0、

B L O A、B L O A - 1 ) のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線 ( W L 0 ~ W L 2 2 ) の中の選択ワード線に接続され、

前記選択 N A N D ストリングの前記非選択メモリセル及び前記非選択 N A N D ストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数の N A N D ストリングと、

前記非選択 N A N D ストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路 ( 1 1 0、1 1 2、1 1 4、1 1 6、1 2 2、1 2 8、1 3 2 ) であって、前記プリチャージ動作を実行するために、前記制御回路は、前記非選択 N A N D ストリングの前記ビット線それぞれへの正のプリチャージ電圧と、前記第 1 のダミーメモリセルへの電圧と、を同時に印加するように構成され、前記第 1 のダミーメモリセルに印加された前記電圧のレベル ( W L d 1 ) は、前記選択ワード線と前記第 1 のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなる、前記制御回路と、

を備える、メモリデバイス。

**【請求項 3】**

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 1 のグループのワード線 ( W L 0 ~ W L y - 1 ) の中にある場合の第 1 の値において、及び、前記選択ワード線が前記複数のワード線の第 2 のグループのワード線 ( W L y ~ W L d s ) の中にある場合の、前記第 1 の値よりも小さい第 2 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 1 のグループのワード線は前記複数のワード線の 5 0 ~ 8 0 % を含み、

前記第 2 のグループのワード線は前記複数のワード線の残りを含み、請求項 1 又は 2 に記載のメモリデバイス。

**【請求項 4】**

前記制御回路は、温度の関数として、前記第 1 のグループ ( W L 0 ~ W L y - 1 ) と前記第 2 のグループ ( W L y ~ W L d s ) との間の境界において切り換えワード線 ( W L s w i t c h ) を規定するように構成され、

前記切り換えワード線は、前記温度が比較的低い場合に、前記ドレイン側選択ゲートトランジスタに比較的近くなる、請求項 3 に記載のメモリデバイス。

**【請求項 5】**

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 1 のグループのワード線の中にある場合の第 1 の値において、及び、前記選択ワード線が前記複数のワード線の第 2 のグループのワード線の中にある場合の、前記第 1 の値よりも小さい第 2 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 1 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、請求項 1 又は 2 に記載のメモリデバイス。

**【請求項 6】**

前記距離の前記関数に従って、前記制御回路は、前記選択ワード線が前記複数のワード線の第 3 のグループのワード線の中にある場合の、前記第 2 の値よりも小さい第 3 の値において、前記第 1 のダミーメモリセルに印加される前記電圧の前記レベルを提供するように構成され、

前記第 2 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離は、前記第 3 のグループにおける前記選択ワード線と、前記第 1 のダミーメモリセルとの間の距離よりも大きい、請求項 5 に記載のメモリデバイス。

**【請求項 7】**

前記距離が最大である場合に、前記第 1 のダミーメモリセルに印加される前記電圧の前

記レベルが前記第1のダミーメモリセルの閾値電圧よりも大きい、請求項1から6のいずれか一項に記載のメモリデバイス。

【請求項8】

前記距離が最小である場合に、前記第1のダミーメモリセルに印加される前記電圧の前記レベルが前記第1のダミーメモリセルの閾値電圧よりも小さい、請求項1から7のいずれか一項に記載のメモリデバイス。

【請求項9】

前記第1のダミーメモリセルは前記複数のワード線の中のドレイン側データワード線に隣接している、請求項1から8のいずれか一項に記載のメモリデバイス。

【請求項10】

前記複数のNANDストリングのそれぞれのNANDストリングは、前記第1のダミーメモリセルと、前記第1のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第2のダミーメモリセル(816、836、856、876、903、943)を含み、

前記制御回路は、前記第1のダミーメモリセルに前記電圧が印加されるのと同時に、前記第2のダミーメモリセルに電圧を印加するように構成され、

前記第1のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第1の範囲で変化し、

前記第2のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第2の範囲で変化し、

前記第2の範囲は前記第1の範囲よりも小さい、請求項9に記載のメモリデバイス。

【請求項11】

前記第2の範囲の最下部(Vwld2\_min)は前記第1の範囲の最下部(Vwld1\_min)よりも大きく、

前記第2の範囲の最上部(Vwld2\_max)は前記第1の範囲の最上部(Vwld1\_max)よりも小さい、請求項10に記載のメモリデバイス。

【請求項12】

前記非選択NANDストリングに対して、前記制御回路は、前記ドレイン側選択ゲートトランジスタを、前記電圧が前記第1のダミーメモリセルに印加されるのと同時に導電状態にし、及び、前記プログラム電圧の印加と同時に非導電状態にするように構成される、請求項1から11のいずれか一項に記載のメモリデバイス。

【請求項13】

前記選択NANDストリングに対して、前記制御回路は、前記電圧が前記第1のダミーメモリセルに印加されるのと同時に、前記ドレイン側選択ゲートトランジスタを導電状態にし、前記ビット線それぞれに0Vを印加するように構成される、請求項1から12のいずれか一項に記載のメモリデバイス。

【請求項14】

前記メモリデバイスは、前記複数のワード線がスタックの異なる層に配置され、前記チャンネルが前記スタックにおいて垂直に延在する3次元積層メモリデバイスを含む、請求項1から13のいずれか一項に記載のメモリデバイス。

【請求項15】

前記非選択NANDストリングは、ソース側選択ゲートトランジスタを含み、

前記非選択NANDストリングにおいて、前記プリチャージ動作中、前記選択ワード線と前記第1のダミーメモリセルとの間の非選択メモリセルは消去状態にあり、

前記選択ワード線と前記ソース側選択ゲートトランジスタとの間の非選択メモリセルはプログラム状態にある、請求項1から14のいずれか一項に記載のメモリデバイス。

【請求項16】

メモリデバイスにおいてプログラミングするための方法であって、

非選択NANDストリング(NS1、NS2、NS0\_SBa、NS0\_SBb、NS0\_SBc、NS0\_SBd)に対して、選択NANDストリングにおける選択メモリセ

ル(921)に対するプログラミング動作中に、前記選択メモリセルが選択ワード線(WL0~WL22)に接続される場合に、前記非選択NANDストリングのビット線それぞれ(BL0、BL0A、BL0A-1)への正のプリチャージ電圧と、前記非選択NANDストリングの第1のダミーメモリセル(815、835、855、875、904、944)への電圧と、を同時に印加することによってプリチャージ動作を実行する工程であって、前記第1のダミーメモリセルに印加される前記電圧のレベルは、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記レベルが高くなり、前記第1のダミーメモリセルは、前記非選択NANDストリングの複数のメモリセルのドレイン側選択ゲートトランジスタ(680、681、817、818、837、838、857、858、877、878、901、941、902、942)とドレイン端メモリセル(814、834、854、874、905、945)との間にある、前記プリチャージ動作を実行する工程と、

前記プリチャージ動作後に、前記選択ワード線にプログラム電圧を印加する工程と、を含む、方法。

【請求項17】

前記プログラミング動作において、複数のプログラムループの各プログラムループ(PL)において、前記プリチャージ動作を行う工程と、前記プログラム電圧を前記選択ワード線に印加する工程と、を繰り返す工程をさらに含む、請求項16に記載の方法。

【請求項18】

前記第1のダミーメモリセルに印加される前記電圧の前記レベルは、前記選択ワード線が複数のワード線の第1のグループのワード線の中にある場合に第1の値であり、前記選択ワード線が前記複数のワード線の第2のグループのワード線の中にある場合に前記第1の値よりも小さい第2の値であり、

前記第1のグループのワード線は前記複数のワード線の50~75%を含み、

前記第2のグループのワード線は前記複数のワード線の残りを含む、請求項16又は17に記載の方法。

【請求項19】

前記第1のダミーメモリセルは、前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記非選択NANDストリングは、前記第1のダミーメモリセルと、前記第1のダミーメモリセルに隣接する前記ドレイン側データワード線との間に第2のダミーメモリセルを含み、

前記方法は、さらに、

前記第1のダミーメモリセルに前記電圧が印加されるのと同時に、前記第2のダミーメモリセルに電圧を印加する工程であって、前記第1のダミーメモリセルに印加される前記電圧の前記レベルは前記距離に比例して第1の範囲で変化し、前記第2のダミーメモリセルに印加される前記電圧のレベルは、前記距離に比例して第2の範囲で変化し、前記第2の範囲は前記第1の範囲よりも小さい、前記印加する工程、を含む、請求項16から18のいずれか一項に記載の方法。

【請求項20】

選択NANDストリングと非選択NANDストリングとを含む複数のNANDストリングであって、

前記選択NANDストリングは、選択メモリセルと、非選択メモリセルと、を含む複数のメモリセルを含み、

前記非選択NANDストリングは、前記選択メモリセルに対応する非選択メモリセルと、残りの非選択メモリセルと、を含む複数のメモリセルを含み、

前記複数のNANDストリングの各NANDストリングは、それぞれのチャンネルと、ドレイン側選択ゲートトランジスタと、第1のダミーメモリセルと、を含み、

前記第1のダミーメモリセルは、前記複数のメモリセルの前記ドレイン側選択ゲートトランジスタとドレイン端メモリセルとの間にあり、

前記複数のNANDストリングの各NANDストリングは複数のビット線のビット線それぞれに接続され、

前記選択メモリセル及び前記選択メモリセルに対応する前記非選択メモリセルは、複数のワード線の中の選択ワード線に接続され、

前記選択NANDストリングの前記非選択メモリセル及び前記非選択NANDストリングの前記残りの非選択メモリセルは、前記複数のワード線の中の非選択ワード線に接続される、前記複数のNANDストリングと、

前記非選択NANDストリングに対して、プログラミング動作において前記選択ワード線にプログラム電圧を印加する前にプリチャージ動作を実行するように構成される制御回路と、を備え、

前記制御回路は、前記プリチャージ動作を実行するために、前記非選択NANDストリングの前記ビット線それぞれへの正のプリチャージ電圧を同時に印加するように、及び、前記第1のダミーメモリセルを制御して、前記ビット線それぞれから前記それぞれのチャネルまでの通じる前記正のプリチャージ電圧の量を制御するように構成され、

前記量は、前記選択ワード線と前記第1のダミーメモリセルとの間の距離の関数であり、それによって、前記距離が大きくなる場合に前記量が多くなる、

メモリデバイス。

【請求項21】

前記第1のダミーメモリセルは、前記複数のワード線の中のドレイン側データワード線に隣接しており、

前記複数のNANDストリングの各NANDストリングは、前記第1のダミーメモリセルと、前記第1のダミーメモリセルに隣接する前記ドレイン側選択ゲートトランジスタとの間に第2のダミーメモリセルを含み、

前記制御回路は、前記第1のダミーメモリセルの制御と並行して前記第2のダミーメモリセルを制御するように構成され、

前記第1のダミーメモリセルに印加される制御ゲート電圧のレベルは、前記距離に比例して第1の範囲で変化し、

前記第2のダミーメモリセルに印加される制御ゲート電圧のレベルは、前記距離に比例して第2の範囲で変化し、

前記第2の範囲は、前記第1の範囲よりも小さい、請求項20に記載のメモリデバイス

。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No PCT/US2016/051362
---

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G11C16/34 G11C16/10 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/305079 A1 (PARK CHAN [KR] ET AL) 15 December 2011 (2011-12-15)	1,2,4-13
Y	paragraph [0006] - paragraph [0008] paragraph [0036] - paragraph [0044]; figures 2,3 paragraph [0046] - paragraph [0051]; figures 3,4	3
Y	----- US 2013/314987 A1 (HEMINK GERRIT JAN [JP] ET AL) 28 November 2013 (2013-11-28) paragraph [0061] - paragraph [0063]; figure 1	3
A	----- US 2008/068892 A1 (HOSONO KOJI [JP]) 20 March 2008 (2008-03-20) paragraph [0086] - paragraph [0090]; figure 17 -----	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search		Date of mailing of the international search report
25 November 2016		05/12/2016
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Knack, Steffen

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2016/051362

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011305079 A1	15-12-2011	KR 20110135693 A US 2011305079 A1	19-12-2011 15-12-2011
US 2013314987 A1	28-11-2013	CN 103650056 A EP 2715733 A1 KR 20140036259 A TW 201310456 A US 2012300550 A1 US 2013314987 A1 WO 2012162316 A1	19-03-2014 09-04-2014 25-03-2014 01-03-2013 29-11-2012 28-11-2013 29-11-2012
US 2008068892 A1	20-03-2008	JP 4960050 B2 JP 2008077702 A KR 20080026051 A US 2008068892 A1 US 2009262579 A1 US 2011044111 A1	27-06-2012 03-04-2008 24-03-2008 20-03-2008 22-10-2009 24-02-2011

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 27/11556 (2017.01)</b>	H 0 1 L 27/11556	
<b>H 0 1 L 21/336 (2006.01)</b>	H 0 1 L 29/78 3 7 1	
<b>H 0 1 L 29/788 (2006.01)</b>		
<b>H 0 1 L 29/792 (2006.01)</b>		

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG

(72) 発明者 ジアフィ ユアン

アメリカ合衆国 9 5 0 3 5、カリフォルニア州、ミルピタス、サンディスク ドライブ 9 5 1

(72) 発明者 インダ ドン

アメリカ合衆国 9 5 0 3 5、カリフォルニア州、ミルピタス、サンディスク ドライブ 9 5 1

F ターム(参考) 5B225 BA02 BA19 CA19 DB08 DB22 DB30 DB31 EA05 EB01 EG14  
 FA01 FA02  
 5F083 EP02 EP18 EP25 EP26 EP33 EP34 EP42 EP47 EP48 EP76  
 ER03 ER09 ER14 ER19 ER22 GA10 JA02 JA04 JA32 KA01  
 KA05 KA11 LA02 LA12 LA16 LA20 MA06 MA20 ZA12 ZA21  
 5F101 BA02 BA45 BB04 BD16 BD22 BD30 BD34 BE02 BE05 BE07  
 BF05