

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5292005号
(P5292005)

(45) 発行日 平成25年9月18日 (2013.9.18)

(24) 登録日 平成25年6月14日 (2013.6.14)

(51) Int.Cl.		F I		
HO 1 L 27/118	(2006.01)	HO 1 L 21/82		M
HO 1 L 21/82	(2006.01)	HO 1 L 27/04		A
HO 1 L 21/822	(2006.01)			
HO 1 L 27/04	(2006.01)			

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2008-182689 (P2008-182689)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年7月14日 (2008.7.14)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-21469 (P2010-21469A)	(74) 代理人	100102864 弁理士 工藤 実
(43) 公開日	平成22年1月28日 (2010.1.28)	(72) 発明者	植村 俊文 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成23年4月1日 (2011.4.1)	審査官	平野 崇

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板に配置され、論理回路の部品として機能する基本論理セルと、

前記基板に配置され、論理回路の部品としての機能を含まないダミーセルと

を具備し、

前記基本論理セルは、前記基板に形成される拡散層を含み、

前記拡散層は、前記基本論理セルが他のセルに隣接して配置されるときに、前記基本論理セルと前記他のセルとの境界からの距離が、第1長さとなる位置に設けられ、

前記ダミーセルは、前記基板に形成される拡散層をダミー拡散層として備え、

前記ダミー拡散層は、前記ダミーセルが前記他のセルに隣接して配置されるときに、前記ダミーセルと前記他のセルとの境界からの距離が、前記第1長さになる位置に設けられ、

前記基本論理セルは、さらに、ゲート電極を備え、

前記ゲート電極は、前記基本論理セルと前記他の基本論理セルとが隣接するときの境界からの距離が、第2長さとなる位置に設けられ、

前記ダミーセルは、さらに、ダミーゲート電極を備え、

前記ダミーゲート電極は、前記基本論理セルと前記ダミーセルとが隣接するときの境界からの距離が、前記第2長さになる位置に設けられ、

前記ダミー拡散層は、

10

20

前記ダミーセルの端部に近い第1辺と、
前記ダミーゲート電極に近い第2辺と
 を含み、

前記第2辺は、前記ダミーゲート電極を前記基板に投影したときの投影図の端から、一
定の間隔を有する位置に設けられ、

前記間隔は、前記ダミーセルをトランジスタとして機能させない長さである
 半導体集積回路。

【請求項2】

請求項1に記載の半導体集積回路において、
 前記ダミーセルは、さらに、デカップリング容量を含む
 半導体集積回路。

10

【請求項3】

請求項1又は2に記載の半導体集積回路において、
 前記ダミーセルが、前記基本論理セルと他の基本論理セルとの間に配置されるとき、
 前記ダミー拡散層は、
 前記基本論理セルに近い位置に配置される第1ダミー拡散層と、
 前記他の基本論理セルに近い位置に配置される第2ダミー拡散層と
 を含み、

前記第1ダミー拡散層は、前記拡散層との距離が第1長さになる位置に設けられ、
 前記第2ダミー拡散層は、前記他の拡散層との距離が前記第2長さになる位置に設けら
 れる
 半導体集積回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関する。

【背景技術】

【0002】

ゲートアレイやセルベースIC（スタンダードセル）など、セミカスタムICと呼ばれる半導体集積回路（LSI）が普及してきている。セルベースICは、2入力NAND、インバータ、Flip-Flop等の論理を実現するための基本論理セルを、ウェル（基板）に配置することによって、所望の回路を実現している。セルベースICは、基本論理セルが配置される領域と配置されない領域とが混在している。

30

【0003】

半導体集積回路を製造する工程のひとつとして、CMP（Chemical Mechanical Polishing）が用いられている。CMPでは、物理的および化学的にウェハ表面を研磨して、ウェハ表面を平坦化している。セルベースICのように、局所的なパターン密度に差異がある領域がウェハ表面に存在する場合、研磨の後のウェハ表面が水平にならず、したがって、研磨された膜の膜厚が均一にならないことがある。

【0004】

基本論理セルの配置されていない部分に発生するウェルの隙間を埋め、拡散層およびポリシリコンの局所的な密度を均等にするなどなどを目的として、ダミーセルを配置する技術が知られている。

40

【0005】

一般的に、このようなセルベースICは、基本論理セルやダミーセルに関する情報が登録されたセルライブラリを使用して設計される。セルベースICの設計におけるレイアウト設計では、セルライブラリ内の遅延情報や物理セルレイアウト情報等を使用して、まず所望の回路性能を満たすように基本論理セルの配置を行う。そして、その基本論理セルの配置後に、基本論理セルを配置しなかった隙間へ、ダミーセルを配置している。

【0006】

50

セルベースICなどの半導体集積回路は、多数の論理回路を含み、それらの論理回路には、一般的に少なくとも1つのトランジスタが備えられている。半導体集積回路の微細化に伴って、論理回路を構成するトランジスタの特性が、その論理回路のレイアウトパターンの形状や配置状態などに依存して変化してしまうことがある。

【0007】

例えば、セルベースICにおいては、ダミーセルがウェルだけでなく、局所的な密度を均等にするための拡散層や、ポリシリコンのダミーパターンを有している場合が多い。配置された基本論理セル周辺のレイアウトパターンによって、基本論理セルの電気特性が変動し、セルライブラリに登録されている電気特性と乖離することがある。

【0008】

このように、基本論理セルがランダムに配置されるなど、レイアウトパターンが領域によって大きく異なっている半導体集積回路は、そのレイアウトパターンの違いに起因してトランジスタの特性が変動することがある。そのようなトランジスタの特性の変動を抑えるため、例えば、基本論理セルを配置する規則に制約を与える技術や、基本論理セルのライブラリを作成する時に、レイアウトパターンの形状に起因するトランジスタの特性の変動分をマージンとして組み込む技術などが知られている。上述のようなトランジスタの特性の変動を抑える技術は、半導体集積回路の面積の増加や、性能劣化などの不具合を引き起こすことがある。

【0009】

また、近年では、光近接効果による配線幅のばらつきが元の配線幅に対して大きくなっているため、トランジスタ特性に影響をおよぼしている。そのため、トランジスタのゲートポリシリコンに対して、OPC(Optical Proximity Correction: 光近接効果補正)処理が行われる。OPC処理は、近接する配線間の距離から光近接効果を予測し、変動後の配線幅が本来の設計値と同じになるように配線のレイアウトデータを補正するものである。ダミーセルがウェルだけでなく、局所的な密度を均等にするための拡散層や、ポリシリコンのダミーパターンを有している場合、基本論理セルの周辺パターンが複雑になる。その周辺パターンが複雑であればあるほど、OPCによる補正は困難であり、TAT(Turn Around Time)がかかってしまう。

【0010】

ダミーセルを有する半導体集積回路において、周辺レイアウトパターンに依存した基本論理セルの電気特性変動を抑える技術が知られている(例えば、特許文献1、2参照)。図1は、特許文献1(特開2004-288685号公報)に記載の半導体集積回路における、ダミーセル101の構成を示す平面図である。図1に示されているように、ダミーセル101は、Nウェル108と、Pウェル109と、ゲートポリシリコン105と、接続コンタクト106と、メタル電源配線107とを含んでいる。

【0011】

図2は、ダミーセル101を有する半導体集積回路の構成を示す平面図である。その半導体集積回路は、ランダムに配置された複数の基本論理セル102を含んでいる。図2に示されているように、基本論理セル102は、N+拡散層103と、P+拡散層104と、ゲートポリシリコン105と接続コンタクト106とメタル電源配線107とを含んでいる。また、ダミーセル101は、その基本論理セル102の間を埋めるように配置されている。

【0012】

特許文献1に記載のダミーセル技術では、トランジスタを形成しないダミーゲートポリシリコン115を有したダミーセル101を基本論理セル102の両端に配置することで、基本論理セル102のゲートポリシリコン105と隣接するダミーゲートポリシリコン115とのゲート間距離121を一定に保つ手法を提案している。ゲート間距離121を均一に保つことで、OPC(Optical Proximity Correction)処理の要する時間の短縮およびゲートポリシリコンの加工精度を向上させることが可能となる。

10

20

30

40

50

【 0 0 1 3 】

特許文献 2 (特開 2 0 0 5 - 3 4 0 4 6 1 号公報) には、製造ばらつきによる特性変動を抑制するための技術が記載されている。特許文献 2 に記載の技術では、基本論理セル (バッファ) の特性変動を抑制するために、N M O S トランジスタと P M O S トランジスタより構成される基本セルをゲートアレイ上に配置している。このゲートアレイは、基本論理セル (バッファ) とダミーセルより構成される。特許文献 2 に記載の技術では、基本論理セル周辺へゲートアレイ上にダミーセルを配置されるため、基本論理セル周辺のゲートポリシリコンや拡散層等は規則的に配置される。隣接するポリシリコン間距離は一定に保たれるため、基本論理セル (バッファ) においては今までに述べた問題点の改善がされる。

10

【 0 0 1 4 】

【特許文献 1】特開 2 0 0 4 - 2 8 8 6 8 5 号公報

【特許文献 2】特開 2 0 0 5 - 3 4 0 4 6 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 5 】

特許文献 1 のように、ダミーゲートポリシリコン 1 1 5 を配置したダミーセル 1 0 1 を図 2 のように配置した場合、基本論理セルの両端のゲートポリシリコンと隣接するポリシリコンとのゲート間距離 1 2 1 を一定にすることは可能であるが、基本論理セル 1 0 2 の両端の拡散層に隣接する拡散層との距離 (拡散層間距離 1 2 0) を一定にすることが困難である。

20

【 0 0 1 6 】

また、現在普及している半導体集積回路には、トランジスタ素子を電気的に分離する、つまり拡散層と拡散層を電気的に分離するために、S T I (S h a l l o w T r e n c h I s o l a t i o n) が備えられている。S T I を使用した場合、S T I 部分の S i O 2 とシリコン基板の S i の収縮率が異なる。そのことから S i 基板が圧縮応力 (S T I ストレス) を受け、トランジスタの電流特性が変動することがある。この S T I ストレスは、S T I 領域の大きさ、つまり、隣接拡散層間の距離によってばらつく。そのため、図 2 のように、拡散層間距離 1 2 0 が変動すると、基本論理セル 1 0 2 の特性が変動し、ライブラリに記述されている特性と乖離が生じてしまうことがある。

30

【 0 0 1 7 】

さらに、特許文献 2 に記載の技術は、基本論理セル周辺をダミーセルでゲートアレイ上に囲う必要がある。レイアウト密度が疎の部分にバッファを挿入する場合には適用可能であるが、基本論理セルを大量に配置する領域に適用することは難しい。仮に適用したとしても、ゲートアレイとなるため面積が非常に大きくなってしまう。またダミーセルは論理を形成しないが、トランジスタを形成している。そのため、ダミーセルトランジスタの不良、ごみ等の微粒子によりゲートや拡散が別の領域とショートした場合において問題になる可能性もある。

【課題を解決するための手段】

【 0 0 1 8 】

以下に、[発明を実施するための最良の形態] で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、[特許請求の範囲] の記載と [発明を実施するための最良の形態] との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

40

【 0 0 1 9 】

上記の課題を解決するために、基板と、前記基板に配置され、論理回路の部品として機能する基本論理セル (2) と、前記基板に配置され、論理回路の部品としての機能を含まないダミーセル (1) (2 1) とを具備する半導体集積回路を構成する。前記基本論理セル (2) は、前記基板に形成される拡散層 (1 3) (1 4) を含むものとする。そして、

50

前記拡散層(13)(14)は、前記基本論理セル(2)が、他のセル(1)(2)(21)に隣接して配置されるときに、前記基本論理セル(2)と前記他のセル(1)(2)(21)との境界からの距離(L3)が、第1長さとなる位置に設けられていることが好ましい。

【0020】

ここにおいて、前記ダミーセル(1)(21)は、前記基板に形成されるダミー拡散層(3)(4)を備えるものとする。そして、前記ダミー拡散層(3)(4)は、前記ダミーセル(1)(21)が、前記他のセル(1)(2)(21)に隣接して配置されるときに、前記ダミーセル(1)(21)と前記他のセル(1)(2)(21)との境界からの距離(L1)が、前記第1長さになる位置に設けられることが好ましい。これによって、半導体集積回路においては、基本論理セルの両端の拡散層と他のセルの拡散層とのピッチ(L5)が一定になる。

10

【0021】

また、前記半導体集積回路において、前記基本論理セルは、さらに、ゲート電極を備えることが好ましい。その場合、前記ゲート電極は、前記基本論理セルと前記他の基本論理セルとが隣接するときの境界からの距離が、第2長さとなる位置に設けられていることが好ましい。ここにおいて、前記ダミーセルは、さらに、ダミーゲート電極を備えることが好ましい。そして、前記ダミーゲート電極は、前記基本論理セルと前記ダミーセルとが隣接するときの境界からの距離が、前記第2長さになる位置に設けられることが好ましい。これによって、基本論理セルのゲートポリシリコン15と他のセルのダミーゲートポリシリコン5とのピッチ(L6)が一定となる。

20

【0022】

換言すると、基本論理セル2の両端のゲートポリシリコン15と、隣接するダミーゲートポリシリコン5との距離及び、基本論理セル2両端の拡散層(N+拡散層13、P+拡散層14)に隣接する拡散層(ダミーN+拡散層3、ダミーP+拡散層4)との距離が一定となる。

【発明の効果】

【0023】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、レイアウトパターンに依存した基本論理セル2の特性ばらつきを抑制することが可能となる。また、基本論理セルをダミーセルでゲートアレイ上に囲うように配置する必要がないため、チップ面積に対するオーバーヘッドを抑制できるという効果がある。

30

【0024】

また、基本論理セルの配置状態や、基本論理セルのライブラリの変更などを行うことなく、レイアウトパターンの形状に起因するトランジスタの特性の変動を抑えることができる。また、製造時におけるゲート寸法及びSTIストレスのばらつきを抑えることが可能となる。

【0025】

また、ダミーセル(フィルセル)がトランジスタを形成しないため、ダミーセルのトランジスタ素子不良による不具合が発生しない。

40

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0027】

[第1実施形態]

図3は、本発明の第1実施形態のダミーセル1の構成を例示する平面図である。ダミーセル1は、Nウェル8とPウェル9とを含んでいる。Nウェル8とPウェル9とは、コンタクト6に接続される2本のメタル電源配線7の間に設けられている。ダミーセル1は、

50

Nウェル8に設けられたダミーP + 拡散層4と、Pウェル9に設けられたダミーN + 拡散層3とを含んでいる。また、ダミーセル1は、ダミーゲートポリシリコン(ダミーゲート電極)5を備え、そのダミーゲートポリシリコン5は、Nウェル8とPウェル9との上に配置されている。ダミーセル1のダミーP + 拡散層4とダミーゲートポリシリコン5とは、トランジスタとしての機能を実現しないように配置されている。同様に、ダミーN + 拡散層3とダミーゲートポリシリコン5とは、トランジスタとしての機能を実現しないように配置されている。

【0028】

図3を参照すると、Nウェル8に設けられるダミーP + 拡散層4は、ダミーセル1の端部に最も近い辺から、そのダミーセル1の端部までの距離が、第1距離L1になるように配置されている。同様に、Pウェル9に設けられるダミーN + 拡散層3も、ダミーセル1の端部に最も近い辺から、そのダミーセル1の端部までの距離が、第1距離L1になるように配置されている。また、ダミーゲートポリシリコン5は、ダミーセル1の端部に最も近い辺から、そのダミーセル1の端部までの距離が、第2距離L2になるように配置されている。

10

【0029】

図4は、本実施形態の基本論理セル2の構成を例示する平面図である。基本論理セル2は、Nウェル8とPウェル9とを含んでいる。Nウェル8とPウェル9とは、コンタクト6に接続される2本のメタル電源配線7の間に設けられている。基本論理セル2は、Nウェル8に設けられたP + 拡散層14と、Pウェル9に設けられたN + 拡散層13とを含んでいる。また、基本論理セル2は、ゲートポリシリコン(ゲート電極)15を備え、そのゲートポリシリコン15は、Nウェル8とPウェル9との上に配置されている。基本論理セル2のP + 拡散層14とゲートポリシリコン15とは、トランジスタとして機能するように配置されている。同様に、N + 拡散層13とゲートポリシリコン15とは、トランジスタとして機能するように配置されている。

20

【0030】

図4を参照すると、Nウェル8のP + 拡散層14は、基本論理セル2の端部に最も近い辺から、その基本論理セル2の端部までの距離が、第3距離L3になるように配置されている。同様に、Pウェル9のN + 拡散層13も、基本論理セル2の端部に最も近い辺から、その基本論理セル2の端部までの距離が、第3距離L3になるように配置されている。また、ゲートポリシリコン15は、基本論理セル2の端部に最も近い辺から、その基本論理セル2の端部までの距離が、第4距離L4になるように配置されている。

30

【0031】

図5は、本実施形態の半導体集積回路16の構成を例示する平面図である。半導体集積回路16は、複数のダミーセル1と複数の基本論理セル2とを含んでいる、以下の実施形態において、本発明の理解を容易にするために、複数の基本論理セル2の各々を区別する場合には、枝番号を付して(例えば第1基本論理セル2-1)説明を行う。

【0032】

図5を参照すると、半導体集積回路16には、第1ダミーセル1-1~第4ダミーセル1-4が配置されている。また、半導体集積回路16には、第1基本論理セル2-1~第6基本論理セル2-6が配置されている。本実施形態の半導体集積回路16において、第1ダミーセル1-1と第2ダミーセル1-2は並んで配置され、それらのダミーセル1を挟むように、第1基本論理セル2-1と第2基本論理セル2-2が配置されている。第2基本論理セル2-2の隣には、第3基本論理セル2-3が配置されている。

40

【0033】

第4基本論理セル2-4と第5基本論理セル2-5との間には、第3ダミーセル1-3が配置されている。第5基本論理セル2-5と第6基本論理セル2-6との間には、第4ダミーセル1-4が配置されている。

【0034】

ここにおいて、メタル電源配線7に平行な直線を含み、そのメタル電源配線7に交差し

50

、かつ、基板に直角な面を基準面とする。半導体集積回路 16 において、第 4 基本論理セル 2 - 4 と第 1 基本論理セル 2 - 1 とは、その基準面について面对称に構成されている。第 3 ダミーセル 1 - 3 と第 1 ダミーセル 1 - 1 とは、その基準面について面对称に構成されている。第 3 基本論理セル 2 - 3 と第 6 基本論理セル 2 - 6 とは、その基準面について面对称に構成されている。

【 0 0 3 5 】

また、第 2 ダミーセル 1 - 2 と第 5 基本論理セル 2 - 5 は、その基準面について、ウェル (N ウェル 8、 P ウェル 9) が対称に配置されている。そのウェルの配置に対応して、ダミー N + 拡散層 3 と N + 拡散層 1 3 とが、対称的な位置に配置されている。同様に、そのウェルの配置に対応して、ダミー P + 拡散層 4 と P + 拡散層 1 4 とが、対称的な位置に配置されている。また、第 2 基本論理セル 2 - 2 と第 4 ダミーセル 1 - 4 は、ウェル (N ウェル 8、 P ウェル 9) が対称に配置され、そのウェルの配置に対応して、ダミー N + 拡散層 3 と N + 拡散層 1 3、およびダミー P + 拡散層 4 と P + 拡散層 1 4 が対照的に配置されている。

10

【 0 0 3 6 】

図 5 を参照すると、ダミーセル 1 と基本論理セル 2 とは、隣り合って配置されるときに各々の拡散層またはゲート電極の距離は、常に一定になる。また、2 つのダミーセル 1 が隣り合って配置されるときに各々の拡散層またはゲート電極の距離は、常に一定になる。さらに、2 つの基本論理セル 2 が、隣り合って配置されるときに各々の拡散層またはゲート電極の距離は、常に一定になる。

20

【 0 0 3 7 】

例えば、半導体集積回路 16 において、第 1 基本論理セル 2 - 1 の P + 拡散層 1 4 と第 1 ダミーセル 1 - 1 のダミー P + 拡散層 4 と間の距離は、拡散層間距離 L 5 である。同様に、第 1 基本論理セル 2 - 1 の N + 拡散層 1 3 と第 1 ダミーセル 1 - 1 のダミー N + 拡散層 3 と間の距離は、拡散層間距離 L 5 である。また、第 1 基本論理セル 2 - 1 のゲートポリシリコン 1 5 と第 1 ダミーセル 1 - 1 のダミーゲートポリシリコン 5 との間の距離は、電極間距離 L 6 である。

【 0 0 3 8 】

その半導体集積回路 16 において、第 1 ダミーセル 1 - 1 のダミー P + 拡散層 4 と第 2 ダミーセル 1 - 2 のダミー P + 拡散層 4 と間の距離は拡散層間距離 L 5 である。同様に、第 1 ダミーセル 1 - 1 のダミー N + 拡散層 3 と第 2 ダミーセル 1 - 2 のダミー N + 拡散層 3 と間の距離は拡散層間距離 L 5 である。また、第 1 ダミーセル 1 - 1 のダミーゲートポリシリコン 5 と第 2 ダミーセル 1 - 2 のダミーゲートポリシリコン 5 との間の距離は、電極間距離 L 6 である。

30

【 0 0 3 9 】

その半導体集積回路 16 において、第 2 基本論理セル 2 - 2 の P + 拡散層 1 4 と第 3 基本論理セル 2 - 3 の P + 拡散層 1 4 と間の距離は拡散層間距離 L 5 である。同様に、第 2 基本論理セル 2 - 2 の N + 拡散層 1 3 と第 3 基本論理セル 2 - 3 の N + 拡散層 1 3 と間の距離は拡散層間距離 L 5 である。また、第 2 基本論理セル 2 - 2 のゲートポリシリコン 1 5 と第 3 基本論理セル 2 - 3 のゲートポリシリコン 1 5 と間の距離は電極間距離 L 6 である。

40

【 0 0 4 0 】

上述したように、ダミーセル 1 のダミー P + 拡散層 4 は、ダミーセル 1 の端部に最も近い辺から、そのダミーセル 1 の端部までの距離が、第 1 距離 L 1 になるように配置されている。また、基本論理セル 2 の P + 拡散層 1 4 は、基本論理セル 2 の端部に最も近い辺から、その基本論理セル 2 の端部までの距離が、第 3 距離 L 3 になるように配置されている。

【 0 0 4 1 】

したがって、隣り合うセル同士において、拡散層間の距離 (拡散層間距離 L 5) は、
 拡散層間距離 L 5 = 第 1 距離 L 1 + 第 3 距離 L 3

50

= 第 1 距離 L 1 + 第 1 距離 L 1

= 第 3 距離 L 3 + 第 3 距離 L 3

で表される値となる。また、隣り合うセル同士において、ゲート電極間の距離（電極間距離 L 6）は、

電極間距離 L 6 = 第 2 距離 L 2 + 第 4 距離 L 4

= 第 2 距離 L 2 + 第 2 距離 L 2

= 第 4 距離 L 4 + 第 4 距離 L 4

で表される値となる。

【 0 0 4 2 】

本実施形態の半導体集積回路 1 6 では、隣り合うセル同士における拡散層間距離 L 5 および電極間距離 L 6 は、セル配置がどのような構成であっても常に一定になる。

10

【 0 0 4 3 】

本実施形態の半導体集積回路 1 6 では、レイアウトパターンに依存したゲート長変動や S T I ストレス変動によるトランジスタ特性ばらつきを、論理のもたないダミーセル 1 を用いて抑制している。そうすることで、基本論理セル 2 のセルライブラリが持つ遅延・電力特性に余分なマージンの追加や、基本論理セル 2 に余分なレイアウトパターンを追加する必要がなくなる。また、セルをゲートアレイ上に配置する必要がなく、面積オーバーヘッドなしに上記のトランジスタ特性ばらつきを抑制可能としている。

【 0 0 4 4 】

[第 2 実施形態]

図 6 は、本発明のダミーセル 1 の第 2 実施形態の構成を例示する平面図である。一般的にダミーセル 1 のサイズは数種類用意されている。サイズが大きなダミーセル 1 には、両端の拡散層とダミーゲートポリシリコン 5 以外にも、データ均一化による製造容易性のためセル内部へダミーゲートポリシリコン 5 や拡散層を均一に配置することが望ましい。

20

【 0 0 4 5 】

図 6 に示されているように、第 2 実施形態のダミーセル 1 は、4 本のダミーゲートポリシリコン 5 と、両端の拡散層（ダミー-N + 拡散層 3、ダミー-P + 拡散層 4）とを備えている。また、第 2 実施形態のダミーセル 1 は、内側の配置されたダミーゲートポリシリコン 5 に挟まれるような位置に、ダミー-N + 拡散層 3 とダミー-P + 拡散層 4 とが配置されている。

30

【 0 0 4 6 】

第 2 実施形態のダミーセル 1 において、N ウェル 8 に設けられるダミー-P + 拡散層 4 は、ダミーセル 1 の端部に最も近い辺から、そのダミーセル 1 の端部までの距離が、第 1 実施形態のダミーセル 1 と同様に、第 1 距離 L 1 になるように配置されている。同様に、P ウェル 9 に設けられるダミー-N + 拡散層 3 も、ダミーセル 1 の端部に最も近い辺から、そのダミーセル 1 の端部までの距離が、第 1 距離 L 1 になるように配置されている。また、ダミーゲートポリシリコン 5 は、ダミーセル 1 の端部に最も近い辺から、そのダミーセル 1 の端部までの距離が、第 2 距離 L 2 になるように配置されている。

【 0 0 4 7 】

[第 3 実施形態]

図 7 は、本発明のダミーセル 1 の第 3 実施形態の構成を例示する平面図である。図 7 に示されているように、第 3 実施形態のダミーセル 1 は、メタル電源配線 7 本のダミーゲートポリシリコン 5 と、両端の拡散層（ダミー-N + 拡散層 3、ダミー-P + 拡散層 4）とを備えている。また、第 3 実施形態のダミーセル 1 は、内側の配置された 3 本のダミーゲートポリシリコン 5 に挟まれるような位置に、ダミー-N + 拡散層 3 とダミー-P + 拡散層 4 とが配置されている。

40

【 0 0 4 8 】

第 3 実施形態のダミーセル 1 において、N ウェル 8 に設けられるダミー-P + 拡散層 4 は、ダミーセル 1 の端部に最も近い辺から、そのダミーセル 1 の端部までの距離が、第 1 実施形態や第 2 実施形態のダミーセル 1 と同様に、第 1 距離 L 1 になるように配置されてい

50

る。同様に、Pウェル9に設けられるダミーN+拡散層3も、ダミーセル1の端部に最も近い辺から、そのダミーセル1の端部までの距離が、第1距離L1になるように配置されている。また、ダミーゲートポリシリコン5は、ダミーセル1の端部に最も近い辺から、そのダミーセル1の端部までの距離が、第2距離L2になるように配置されている。

【0049】

上述の第1～第3実施形態で例示したダミーセル1以外にも、セル両端のダミーゲートポリシリコン5と拡散層以外のダミーゲートポリシリコン5や拡散層は、各種プロセスの設計基準に応じて様々なバリエーションを用意することが可能である。

【0050】

[第4実施形態]

図8は、本発明の第4実施形態のデカップリングダミーセル21の構成を例示する平面図である。第4実施形態におけるデカップリングダミーセル21は、デカップリング容量付きのダミーセル1として構成されている。デカップリングダミーセル21(デカップリング容量付きのダミーセル1)は、ダイナミックIR-Dropを抑制するために配置されることが好ましい。一般的に、ダイナミックIR-Dropを抑制するための素子は、トランジスタのゲート容量を使用することで実現している。図8に示されているように、デカップリングダミーセル21は、PMOSゲート容量を用いたデカップリングセルとしてレイアウトされている。デカップリングダミーセル21のPMOSの電極22はグラウンド側に接続されている。また、ソース、ドレイン、およびバックゲート端子は電源側に接続されている。これによって、デカップリングダミーセル21は、ゲート容量としての機能を実現する。

【0051】

図9は、デカップリングダミーセル21を備える半導体集積回路16の構成を例示する平面図である。上述の複数の実施形態と同様に、基本論理セル2の両端のゲートポリシリコン15と隣接するダミーゲートポリシリコン5との距離(電極間距離L6)が一定となる。また、基本論理セル2の両端の拡散層(N+拡散層13、P+拡散層14)に隣接する拡散層(ダミーN+拡散層3、ダミーP+拡散層4)との距離(拡散層間距離L5)が一定となる。そのため、レイアウトパターンに依存した基本論理セル2の特性ばらつきを抑制することが可能となる。

【0052】

以上、本願発明の実施の形態を具体的に説明した。本願発明は上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【図面の簡単な説明】

【0053】

【図1】図1は、従来のダミーセルの構成を示す平面図である。

【図2】図2は、従来のダミーセルを有する半導体集積回路の構成を示す平面図である。

【図3】図3は、第1実施形態のダミーセルの構成を例示する平面図である。

【図4】図4は、第1実施形態の基本論理セルの構成を例示する平面図である。

【図5】図5は、第1実施形態の半導体集積回路の構成を例示する平面図である。

【図6】図6は、第2実施形態のダミーセルの構成を例示する平面図である。

【図7】図7は、第3実施形態のダミーセルの構成を例示する平面図である。

【図8】図8は、第4実施形態のダミーセルの構成を例示する平面図である。

【図9】図9は、第4実施形態の半導体集積回路の構成を例示する平面図である。

【符号の説明】

【0054】

1 ... ダミーセル

1 - 1 ... 第1ダミーセル

1 - 2 ... 第2ダミーセル

1 - 3 ... 第3ダミーセル

1 - 4 ... 第4ダミーセル

10

20

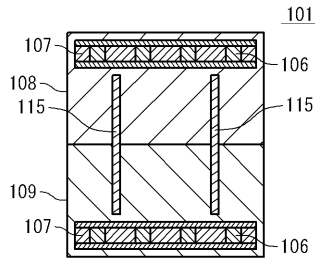
30

40

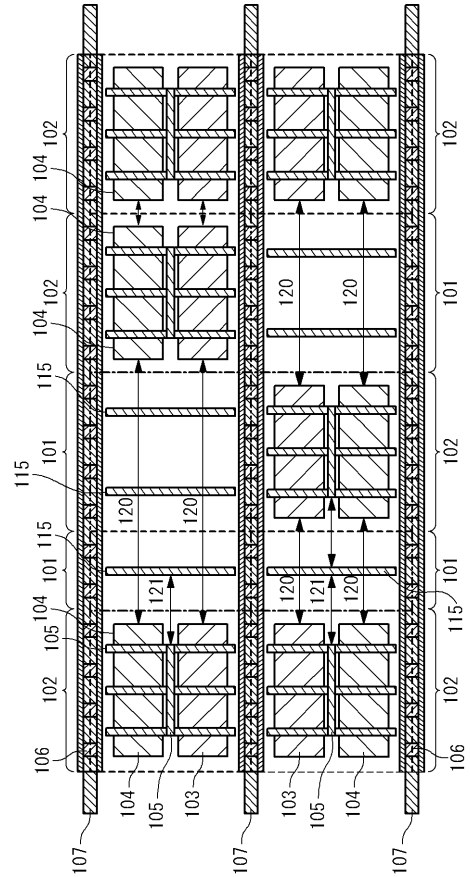
50

2 ... 基本論理セル	
2 - 1 ... 第 1 基本論理セル	
2 - 2 ... 第 2 基本論理セル	
2 - 3 ... 第 3 基本論理セル	
2 - 4 ... 第 4 基本論理セル	
2 - 5 ... 第 5 基本論理セル	
2 - 6 ... 第 6 基本論理セル	
3 ... ダミー - N + 拡散層	
4 ... ダミー - P + 拡散層	
5 ... ダミーゲートポリシリコン	10
6 ... コンタクト	
7 ... メタル電源配線	
8 ... N ウェル	
9 ... P ウェル	
1 3 ... N + 拡散層	
1 4 ... P + 拡散層	
1 5 ... ゲートポリシリコン	
1 6 ... 半導体集積回路	
2 1 ... デカップリングダミーセル	
2 2 ... 電極	20
1 0 1 ... ダミーセル	
1 0 2 ... 基本論理セル	
1 0 3 ... N + 拡散層	
1 0 4 ... P + 拡散層	
1 0 5 ... ゲートポリシリコン	
1 0 6 ... 接続コンタクト	
1 0 7 ... メタル電源配線	
1 0 8 ... N ウェル	
1 0 9 ... P ウェル	
1 1 5 ... ダミーゲートポリシリコン	30
1 2 0 ... 拡散層間距離	
1 2 1 ... ゲート間距離	
L 1 ... 第 1 距離	
L 2 ... 第 2 距離	
L 3 ... 第 3 距離	
L 4 ... 第 4 距離	
L 5 ... 拡散層間距離	
L 6 ... 電極間距離	

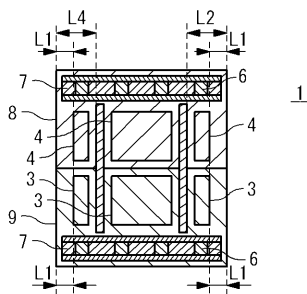
【図1】



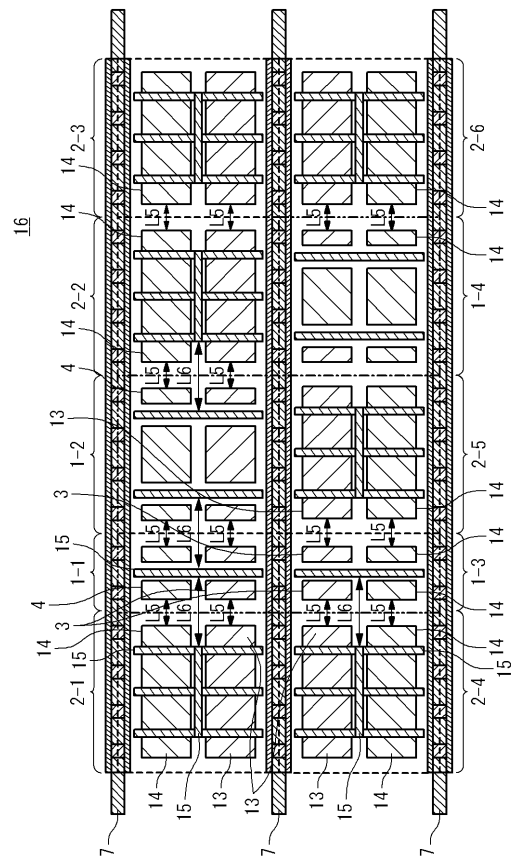
【図2】



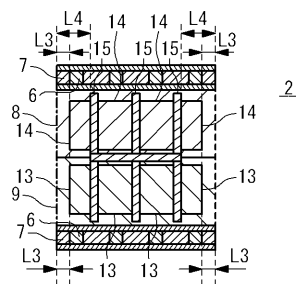
【図3】



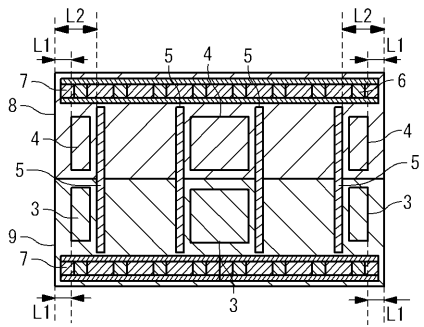
【図5】



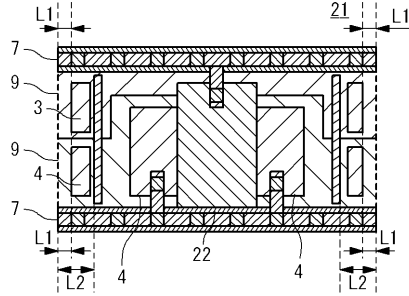
【図4】



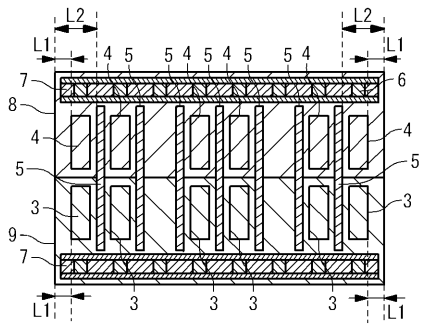
【図6】



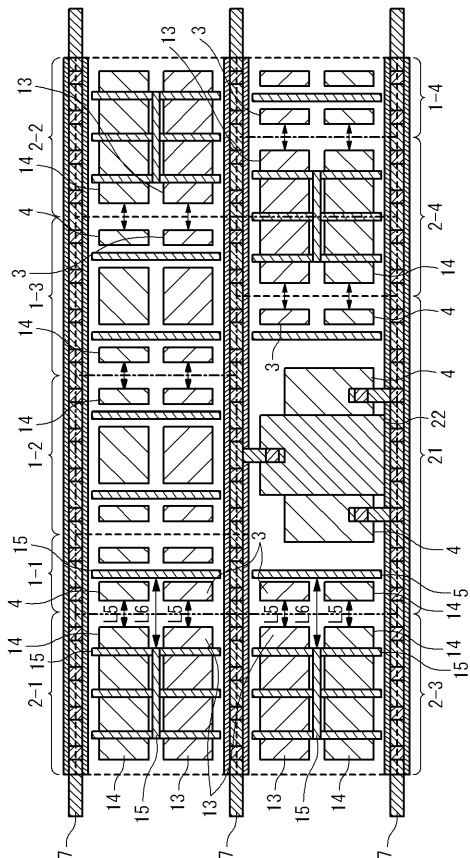
【図8】



【図7】



【図9】



フロントページの続き

- (56)参考文献 特開2005-340461(JP,A)
特開2007-012855(JP,A)
特開2007-081338(JP,A)
特開2002-368080(JP,A)
特開2008-004796(JP,A)
特開2007-221095(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/822
H01L 27/04