

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-244666
(P2009-244666A)

(43) 公開日 平成21年10月22日(2009. 10. 22)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 624D	
	G09G 3/20 622K	

審査請求 未請求 請求項の数 8 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-92185 (P2008-92185)
(22) 出願日 平成20年3月31日 (2008. 3. 31)

(71) 出願人 00002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100082131
弁理士 稲本 義雄
(74) 代理人 100121131
弁理士 西川 孝
(72) 発明者 山本 哲郎
東京都港区港南1丁目7番1号 ソニー株式会社内
(72) 発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 3K107 AA01 BB01 CC45 EE03 HH02
HH04

最終頁に続く

(54) 【発明の名称】 パネルおよび駆動制御方法

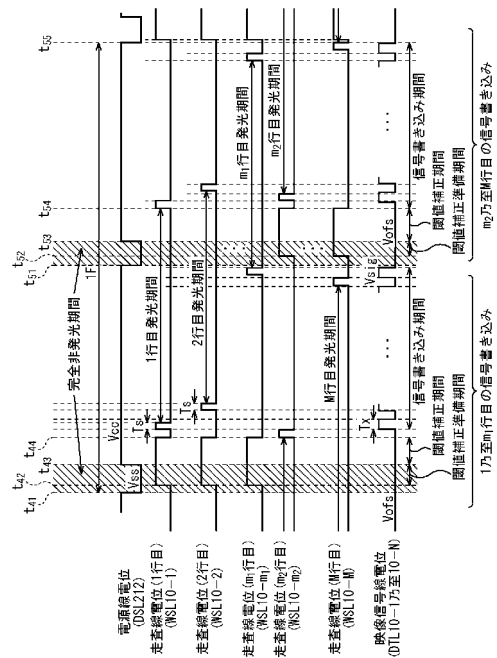
(57) 【要約】

【課題】 低コスト化を実現することができるようにする。

【解決手段】 ELパネルにおいては、1フィールド期間を前半部分と後半部分に2分割した前半部分と後半部分の最初の所定時間、電源線DSL212の電位が低電位V_{ss}に設定される。そして、前半部分の電源低電位期間に1行目からm₁行目の画素に対して閾値補正準備動作および閾値補正動作が行われ、後半部分の電源低電位期間に残りの半分のm₂行目からM行目の画素に対して閾値補正準備動作および閾値補正動作が行われる。本発明は、例えば、ELパネルに適用できる。

【選択図】 図18

図18



【特許請求の範囲】**【請求項 1】**

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、

高電位または低電位の電源電圧を、行列状に配置された全ての前記画素回路に対して同時に供給する電源供給手段を備え、

前記電源供給手段は、供給する電源電圧を、1フィールド期間に Q (2)回、前記駆動用トランジスタのゲートソース間電圧が前記駆動用トランジスタの閾値電圧よりも大となる電位である前記低電位に設定する

パネル。

【請求項 2】

前記電源電圧が低電位に設定された1回の期間に対応して、少なくとも2行の前記画素回路は、前記駆動用トランジスタのゲートソース間電圧を前記駆動用トランジスタの閾値電圧よりも大とする閾値補正準備動作と、前記保持容量に前記駆動用トランジスタの閾値電圧に相当する電圧を保持させる閾値補正動作を同時に行う

請求項 1 に記載のパネル。

【請求項 3】

前記電源電圧が低電位に設定された1回の期間に対応して、少なくとも2行の前記画素回路は、前記駆動用トランジスタのゲートソース間電圧を前記駆動用トランジスタの閾値電圧よりも大とする閾値補正準備動作を同時に行い、前記閾値補正準備動作の終了後、各行の前記画素回路は、前記保持容量に前記駆動用トランジスタの閾値電圧に相当する電圧を保持させる閾値補正動作を線順次に行う

請求項 1 に記載のパネル。

【請求項 4】

映像信号が表す階調に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段をさらに備え、

前記映像信号供給手段は、前記電源供給手段が前記低電位に設定している間は、前記低電位との電位差が前記駆動用トランジスタの閾値電圧よりも大となる閾値補正基準電位を供給し、前記電源供給手段が前記高電位に設定している間は、前記発光素子を消光させるための電位である消光電位かまたは前記信号電位を供給する

請求項 1 に記載のパネル。

【請求項 5】

前記消光電位は、前記発光素子のカソード電位、発光素子の閾値電圧、および駆動用トランジスタの閾値電圧の和以下である

請求項 4 に記載のパネル。

【請求項 6】

前記消光電位は、前記閾値補正基準電位と同一である

請求項 4 に記載のパネル。

【請求項 7】

前記電源供給手段による Q 回の前記低電位への設定が終了したとき、行列状に配置された全ての前記画素回路に対する前記閾値補正準備動作が終了する

請求項 1 に記載のパネル。

【請求項 8】

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持する保持容量とを備える画素回路を行列状に配置し、高電位または低電位の電源電圧を、行列状に配置された全ての前記画素回路に対して同時に供給する電源供給手段を備えるパネルの駆動制御方法であって、

前記電源供給手段が、供給する電源電圧を、1フィールド期間に Q (2)回、前記駆

10

20

30

40

50

動用トランジスタのゲートソース間電圧が前記駆動用トランジスタの閾値電圧よりも大となる電位である前記低電位に設定する

ステップを含む駆動制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パネルおよび駆動制御方法に関し、特に、低コスト化を実現することができるようにするパネルおよび駆動制御方法に関する。

【背景技術】

【0002】

発光素子として有機EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (ELパネル) の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献1乃至5に記載されている。

【0004】

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、先行して普及してきている液晶ディスプレイ (LCD :Liquid Crystal Display) と比較すると、有機ELデバイスを画素に用いた平面自発光型のパネルについては、さらなる低コスト化が要請されている。

【0006】

本発明は、このような状況に鑑みてなされたものであり、低コスト化を実現することができるようにするものである。

【課題を解決するための手段】

【0007】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、高電位または低電位の電源電圧を、行列状に配置された全ての前記画素回路に対して同時に供給する電源供給手段を備え、前記電源供給手段は、供給する電源電圧を、1フィールド期間に $Q(2)$ 回、前記駆動用トランジスタのゲートソース間電圧が前記駆動用トランジスタの閾値電圧よりも大となる電位である前記低電位に設定する。

【0008】

映像信号が表す階調に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段をさらに設け、前記映像信号供給手段には、前記電源供給手段が前記低電位に設

10

20

30

40

50

定している間は、前記低電位との電位差が前記駆動用トランジスタの閾値電圧よりも大となる閾値補正基準電位を供給し、前記電源供給手段が前記高電位に設定している間は、前記発光素子を消光させるための電位である消光電位かまたは前記信号電位を供給させることができる。

【0009】

本発明の一側面の駆動制御方法は、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の信号電位を保持する保持容量とを備える画素回路を行列状に配置し、高電位または低電位の電源電圧を、行列状に配置された全ての前記画素回路に対して同時に供給する電源供給手段を備えるパネルの駆動制御方法であって、前記電源供給手段が、供給する電源電圧を、1フィールド期間に $Q(2)$ 回、前記駆動用トランジスタのゲートソース間電圧が前記駆動用トランジスタの閾値電圧よりも大となる電位である前記低電位に設定するステップを含む。

10

【0010】

本発明の一側面においては、行列状に配置された全ての画素回路に供給する電源電圧が、1フィールド期間に $Q(2)$ 回、駆動用トランジスタのゲートソース間電圧が駆動用トランジスタの閾値電圧よりも大となる電位である低電位に設定される。

【発明の効果】

【0011】

本発明の一側面によれば、低コスト化を実現することができる。

20

【発明を実施するための最良の形態】

【0012】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。従って、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

30

【0013】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子（例えば、図5の発光素子34）と、映像信号をサンプリングするサンプリング用トランジスタ（例えば、図5のサンプリング用トランジスタ31）と、前記駆動電流を前記発光素子に供給する駆動用トランジスタ（例えば、図5の駆動用トランジスタ32）と、所定の電位を保持する保持容量（例えば、図5の保持容量33）とを備える画素回路（例えば、図5の画素101c）を行列状に配置するパネル（例えば、図16のELパネル200）であって、高電位または低電位の電源電圧を、行列状に配置された全ての前記画素回路に対して同時に供給する電源供給手段（例えば、図16の電源供給部211）を備え、前記電源供給手段は、供給する電源電圧を、1フィールド期間に $Q(2)$ 回、前記駆動用トランジスタのゲートソース間電圧が前記駆動用トランジスタの閾値電圧よりも大となる電位である前記低電位に設定する。

40

【0014】

以下、図を参照して、本発明の実施の形態について説明する。

【0015】

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機ELデバイスを用いたパネル（以下、ELパネルと称する）の基本となる構成と動作について図1乃至図15を参照して説明する。

【0016】

50

図1は、基本となるELパネルの構成例を示すブロック図である。

【0017】

図1のELパネル100は、 $N \times M$ 個の画素(画素回路)101-(1,1)乃至101-(N,M)が行列状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105とにより構成されている。なお、説明を簡単にするため、以下では、 N, M は、所定の偶数であるとして説明するが、これに限定されるものではない。

【0018】

また、ELパネル100は、 M 本の走査線 $WSL10-1$ 乃至 $10-M$ 、 M 本の電源線 $DSL10-1$ 乃至 $10-M$ 、および N 本の映像信号線 $DTL10-1$ 乃至 $10-N$ も有する。

【0019】

なお、以下において、走査線 $WSL10-1$ 乃至 $10-M$ 、映像信号線 $DTL10-1$ 乃至 $10-N$ 、画素101-(1,1)乃至101-(N,M)、または電源線 $DSL10-1$ 乃至 $10-M$ のそれぞれを特に区別する必要がない場合、単に、走査線 $WSL10$ 、映像信号線 $DTL10$ 、画素101、または電源線 $DSL10$ と称する。

【0020】

画素101-(1,1)乃至101-(N,M)のうちの第1行目の画素101-(1,1)乃至101-(N,1)は、走査線 $WSL10-1$ でライトスキャナ104と、電源線 $DSL10-1$ で電源スキャナ105とそれぞれ接続されている。また、画素101-(1,1)乃至101-(N,M)のうちの第 M 行目の画素101-(1,M)乃至101-(N,M)は、走査線 $WSL10-M$ でライトスキャナ104と、電源線 $DSL10-M$ で電源スキャナ105とそれぞれ接続されている。画素101-(1,1)乃至101-(N,M)の行方向に並ぶその他の画素101についても同様である。

【0021】

また、画素101-(1,1)乃至101-(N,M)のうちの第1列目の画素101-(1,1)乃至101-(1,M)は、映像信号線 $DTL10-1$ で水平セクタ103と接続されている。画素101-(1,1)乃至101-(N,M)のうちの第 N 列目の画素101-(N,1)乃至101-(N,M)は、映像信号線 $DTL10-N$ で水平セクタ103と接続されている。画素101-(1,1)乃至101-(N,M)の列方向に並ぶその他の画素101についても同様である。

【0022】

ライトスキャナ104は、走査線 $WSL10-1$ 乃至 $10-M$ に水平周期(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線 $DSL10-1$ 乃至 $10-M$ に第1電位(後述する V_{cc})または第2電位(後述する V_{ss})の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位 V_{sig} と基準電位 V_{ofs} とを切換えて列状の映像信号線 $DTL10-1$ 乃至 $10-M$ に供給する。

【0023】

図1のように構成されるELパネル100に、ソースドライバおよびゲートドライバとからなるドライバIC(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像LSI(Large Scale Integration)などを付加したものが表示装置となる。ELパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

【0024】

図2は、図1に示したELパネル100に含まれる $N \times M$ 個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な構成を示したブロック図である。

。

10

20

30

40

50

【 0 0 2 5 】

なお、図 2 において画素 1 0 1 と接続されている走査線 W S L 1 0、映像信号線 D T L 1 0、および電源線 D S L 1 0 は、図 1 から明らかなように、画素 1 0 1 - (n , m) (n = 1 , 2 , ⋯ , N , m = 1 , 2 , ⋯ , M) に対して、走査線 W S L 1 0 - (n , m)、映像信号線 D T L 1 0 - (n , m)、および電源線 D S L 1 0 - (n , m) となる。

【 0 0 2 6 】

図 2 に示す画素 1 0 1 の構成は、従来から用いられている構成であり、この構成を有する画素 1 0 1 を画素 1 0 1 a と呼ぶことにする。

【 0 0 2 7 】

画素 1 0 1 a は、サンプリング用トランジスタ 2 1、駆動用トランジスタ 2 2、保持容量 2 3、および有機 E L 素子である発光素子 2 4 を含む。ここで、サンプリング用トランジスタ 2 1 は N チャネル型トランジスタであり、駆動用トランジスタ 2 2 は P チャネル型トランジスタである。サンプリング用トランジスタ 2 1 のゲートは走査線 W S L 1 0 に接続し、サンプリング用トランジスタ 2 1 のドレインが映像信号線 D T L 1 0 に接続し、ソースが駆動用トランジスタ 2 2 のゲート g に接続している。

【 0 0 2 8 】

駆動用トランジスタ 2 2 のソース s は電源線 D S L 1 0 と接続され、ドレイン d は発光素子 2 4 のアノードと接続されている。保持容量 2 3 は、駆動用トランジスタ 2 2 のソース s とゲート g の間に接続されている。また、発光素子 2 4 のカソードは接地されている。

【 0 0 2 9 】

有機 E L 素子は電流発光素子であるため、発光素子 2 4 に流れる電流値をコントロールすることで、発色の階調を得ることができる。図 2 の画素 1 0 1 a では、駆動用トランジスタ 2 2 のゲート印加電圧を変化させることで、発光素子 2 4 に流れる電流値をコントロールしている。

【 0 0 3 0 】

より具体的には、駆動用トランジスタ 2 2 のソース s は電源線 D S L 1 0 に接続されており、常に飽和領域で動作するように設計されているので、駆動用トランジスタ 2 2 は、次式 (1) で表される電流値 I d s を流す定電流源として機能する。

【 数 1 】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【 0 0 3 1 】

式 (1) において、 μ は移動度を示し、W はゲート幅を表し、L はゲート長を表し、 C_{ox} は単位面積あたりのゲート酸化膜容量を示す。また、 V_{gs} は、駆動用トランジスタ 2 2 のゲート g とソース s 間の電圧 (ゲートソース間電圧) であり、 V_{th} は、駆動用トランジスタ 2 2 の閾値電圧である。なお、飽和領域とは、($V_{gs} - V_{th} < V_{ds}$) の条件を満たした状態をいう (V_{ds} は、駆動用トランジスタ 2 2 のソース s とドレイン d 間の電圧) 。

【 0 0 3 2 】

図 2 の画素 1 0 1 a では、経時劣化により有機 E L 素子の I - V 特性は、図 3 に示すように変化し、駆動用トランジスタ 2 2 のドレイン電圧は変化するが、駆動用トランジスタ 2 2 のゲートソース間電圧 V_{gs} を一定に保つことで、発光素子 2 4 には一定量の電流 I_{ds} が流れる。即ち、電流 I_{ds} と、有機 E L 素子の発光輝度とは比例関係にあるので、輝度自体は経時劣化によってもほぼ変化しない。

【 0 0 3 3 】

しかしながら、Pチャネル型トランジスタは、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができないため、より安価に画素回路を構成しよ

10

20

30

40

50

うとする場合には、Nチャンネル型トランジスタで構成する方が望ましい。

【0034】

そこで、図4の画素101bに示すように、Pチャンネル型である駆動用トランジスタ22をNチャンネル型の駆動用トランジスタ25に代えることが考えられる。

【0035】

すなわち、図4の画素101bは、図3に示した画素101aの構成のうち、Pチャンネル型の駆動用トランジスタ22をNチャンネル型の駆動用トランジスタ25に代えた構成を示している。

【0036】

図4の画素101bの構成では、駆動用トランジスタ25のソースsが発光素子24に接続されてしまうため、有機EL素子の経時変化とともに駆動用トランジスタ25のゲートソース間電圧 V_{gs} が変化してしまう。これにより、発光素子24に流れる電流が変化し、発光輝度は変化してしまう。また、画素101bごとに駆動用トランジスタの閾値電圧 V_{th} および移動度 μ は異なるため、式(1)に応じて電流値 I_{ds} にバラツキが生じ、発光輝度も画素ごとに異なることになる。

【0037】

そこで、有機EL素子の経時劣化、駆動用トランジスタの特性バラツキを防止し、かつ、画素101を構成する素子数が少ない回路として、後述する本発明を適用したELパネルにも採用する図5に示す画素101cの構成が、本出願人により提案されている。

【0038】

図5の画素101cは、サンプリング用トランジスタ31、駆動用トランジスタ32、保持容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線 $WSL10$ と接続され、サンプリング用トランジスタ31のドレインは映像信号線 $DTL10$ と接続されるとともに、ソースが駆動用トランジスタ32のゲートgと接続されている。

【0039】

駆動用トランジスタ32のソースs及びドレインdの一方は発光素子34のアノードに接続され、他方が電源線 $DSL10$ に接続される。保持容量33は、駆動用トランジスタ32のゲートgと発光素子34のアノードの間に接続されている。また、発光素子34のカソードは所定の電位 V_{cat} に設定されている配線35に接続されている。

【0040】

以上のように構成される画素101cにおいて、サンプリング用トランジスタ31が、走査線 $WSL10$ から供給された制御信号に応じてオン(導通)すると、保持容量33は、映像信号線 $DTL10$ を介して水平セクタ103から供給された電荷を蓄積して保持する。駆動用トランジスタ32は、第1電位 V_{cc} にある電源線 $DSL10$ から電流の供給を受け、保持容量33に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子34に流す。発光素子34に所定の駆動電流 I_{ds} が流れることにより、画素101cが発光する。

【0041】

画素101cは、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ32の閾値電圧 V_{th} に相当する電圧を保持容量33に保持させる機能であり、これにより、ELパネル100の画素毎のばらつきの原因となる駆動用トランジスタ32の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0042】

また、画素101cは、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、保持容量33に信号電位 V_{sig} を保持する際、駆動用トランジスタ32の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0043】

さらに、画素101cは、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ32のソース電位 V_s の変動にゲート電位 V_g を連動させる機

10

20

30

40

50

能であり、これにより、駆動用トランジスタ32のゲートgとソースs間の電圧 V_{gs} を一定に維持することが出来る。

【0044】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図10、図14、および図15などでも説明する。

【0045】

以下では、単に画素101という場合であっても、画素101は、図5に示した画素101cの構成を有しているものとする。

【0046】

図6は、画素101の動作を説明するタイミングチャートである。

10

【0047】

図6は、同一の時間軸（図面横方向）に対する走査線 $WSL10$ 、電源線 $DSL10$ 、および映像信号線 $DTL10$ の電位変化と、それに対応する駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0048】

図6において、時刻 t_1 までの期間は、前の水平期間（1H）の発光がなされている発光期間 T_1 である。

【0049】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値補正動作の準備を行う閾値補正準備期間 T_2 である。

20

【0050】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ105が、電源線 $DSL10$ の電位を高電位である V_{cc} から低電位である V_{ss} に切換え、時刻 t_2 において、水平セクタ103が、映像信号線 $DTL10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切替える。次に、時刻 t_3 において、ライトスキャナ104が、走査線 $WSL10$ の電位を高電位に切換え、サンプリング用トランジスタ31をオンさせる。これにより、駆動用トランジスタ32のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $DTL10$ の低電位 V_{ss} にリセットされる。

【0051】

30

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ105により、電源線 $DSL10$ の電位が高電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ32のゲートgとソースsとの間に接続された保持容量33に書き込まれる。

【0052】

時刻 t_5 から時刻 t_7 までの書き込み+移動度補正準備期間 T_4 では、走査線 $WSL10$ の電位が高電位から低電位一旦切換えられるとともに、時刻 t_7 の前の時刻 t_6 において、水平セクタ103が、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切替える。

【0053】

40

そして、時刻 t_7 から時刻 t_8 までの書き込み+移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $WSL10$ の電位が高電位に設定され、これにより、映像信号の信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で保持容量33に書き込まれると共に、移動度補正用の電圧 V_{μ} が保持容量33に保持された電圧から差し引かれる。

【0054】

書き込み+移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子34が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 V_{μ} とによって調整されているため、発光素子34の発光輝度は駆動用ト

50

ランジスタ 3 2 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがない。

【 0 0 5 5 】

なお、発光期間 T_0 の最初でブートストラップ動作が行われ、駆動用トランジスタ 3 2 のゲートソース間電圧 $V_{gs} = V_{sig} + V_{th} - V_{\mu}$ を一定に維持したまま、駆動用トランジスタ 3 2 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【 0 0 5 6 】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $D T L 1 0$ の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 6 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1 H) に相当する。

【 0 0 5 7 】

以上のようにして、画素 1 0 1 として画素 1 0 1 c の構成を有する E L パネル 1 0 0 では、駆動用トランジスタ 3 2 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子 3 4 を発光させることができる。

【 0 0 5 8 】

図 7 乃至図 1 5 を参照して、画素 1 0 1 (1 0 1 c) の動作についてさらに詳細に説明する。

【 0 0 5 9 】

図 7 は、発光期間 T_1 の画素 1 0 1 の状態を示している。

【 0 0 6 0 】

発光期間 T_1 では、サンプリング用トランジスタ 3 1 がオフ (走査線 $W S L 1 0$ の電位が低電位)、かつ電源線 $D S L 1 0$ の電位が高電位 V_{cc} となっており、駆動用トランジスタ 3 2 が駆動電流 I_{ds} を発光素子 3 4 に供給している。このとき駆動用トランジスタ 3 2 は飽和領域で動作するように設定されているため、発光素子 3 4 に流れる駆動電流 I_{ds} は、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} に応じて式 (1) で表される値をとる。

【 0 0 6 1 】

そして、閾値補正準備期間 T_2 の最初の時刻 t_1 において、図 8 に示すように、電源スキャナ 1 0 5 は、電源線 $D S L 1 0$ の電位を高電位 V_{cc} (第 1 電位) から低電位 V_{ss} (第 2 電位) に切替える。このとき電源線 $D S L 1 0$ の電位 V_{ss} が発光素子 3 4 の閾値電圧 V_{thel} とカソード電位 V_{cat} の和よりも小さければ ($V_{ss} < V_{thel} + V_{cat}$) 発光素子 3 4 は消光し、駆動用トランジスタ 3 2 の電源線 $D S L 1 0$ と接続された側がソース s となる。また、発光素子 3 4 のアノードは電位 V_{ss} に充電される。

【 0 0 6 2 】

次に、図 9 に示すように、時刻 t_2 において、水平セレクタ 1 0 3 が映像信号線 $D T L 1 0$ の電位を基準電位 V_{ofs} にした後、時刻 t_3 において、ライトスキャナ 1 0 4 が、走査線 $W S L 1 0$ の電位を高電位に切替えることより、サンプリング用トランジスタ 3 1 をオンにする。これにより、駆動用トランジスタ 3 2 のゲート電位 V_g は V_{ofs} となり、ゲートソース間電圧 V_{gs} は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} である ($V_{ofs} - V_{ss}$) は、次の閾値補正期間 T_3 で閾値補正動作を行うため、閾値電圧 V_{th} よりも大である ($V_{ofs} - V_{ss} > V_{th}$) 必要がある。逆に言うと、($V_{ofs} - V_{ss} > V_{th}$) の条件を満たすように、電位 V_{ofs} および V_{ss} が設定される。

【 0 0 6 3 】

そして、閾値補正期間 T_3 の最初の時刻 t_4 において、図 1 0 に示すように、電源スキャナ 1 0 5 が電源線 $D S L 1 0$ の電位を低電位 V_{ss} から高電位 V_{cc} に切替えると、駆動用トランジスタ 3 2 の発光素子 3 4 のアノードと接続されている側がソース s となり、図 1 0 において 1 点鎖線で示されるように電流が流れる。

【 0 0 6 4 】

ここで、発光素子 3 4 は等価的にダイオード 3 4 A と寄生容量を C_{el} とする保持容量 3 4 B で表すことができ、発光素子 3 4 のリーク電流が駆動用トランジスタ 3 2 に流れる

10

20

30

40

50

電流よりもかなり小さい ($V_{e1} = V_{cat} + V_{th e1}$ を満たす) という条件の下では、駆動用トランジスタ 32 に流れる電流は保持容量 33 と 34 B を充電するために使用される。発光素子 34 のアノード電位 V_{e1} (駆動用トランジスタ 32 のソース電位 V_s) は、図 11 に示されるように、駆動用トランジスタ 32 を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が V_{th} という値をとる。また、このときの発光素子 34 のアノード電位 V_{e1} は ($V_{ofs} - V_{th}$) である。ここで、発光素子 34 のアノード電位 V_{e1} は、発光素子 34 の閾値電圧 $V_{th e1}$ とカソード電位 V_{cat} の和以下となっている ($V_{e1} = (V_{ofs} - V_{th}) - (V_{cat} + V_{th e1})$)。

【0065】

その後、時刻 t_5 において、図 12 に示されるように、走査線 $WSL10$ の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ 31 がオフして閾値補正動作 (閾値補正期間 T_3) が完了する。

【0066】

続く書き込み + 移動度補正準備期間 T_4 の時刻 t_6 において、水平セクタ 103 によって、映像信号線 $DTL10$ の電位が、基準電位 V_{ofs} から、階調に応じた信号電位 V_{sig} に切換えられた (図 12) 後、書き込み + 移動度補正期間 T_5 に入り、図 13 に示されるように、時刻 t_7 において、走査線 $WSL10$ の電位が高電位に設定されることでサンプリング用トランジスタ 31 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ 32 のゲート電位 V_g は、サンプリング用トランジスタ 31 がオンしているため信号電位 V_{sig} となるが、サンプリング用トランジスタ 31 には電源線 $DSL10$ からの電流が流れるため、駆動用トランジスタ 32 のソース電位 V_s は、時間とともに上昇していく。

【0067】

駆動用トランジスタ 32 の閾値補正動作は既に完了している。よって、式 (1) の右辺の閾値補正の項、即ち $(V_{sig} - V_{ofs})^2$ の項の影響はなくなるので、駆動用トランジスタ 32 が流す電流 I_{ds} は移動度 μ を反映したものとなる。具体的には、図 14 に示されるように、移動度 μ が大きい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は大きくなり、ソース電位 V_s の上昇も早い。一方、移動度 μ が小さい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は小さくなり、ソース電位 V_s の上昇は遅くなる。換言すると、一定時間経過時点では、移動度 μ が大きい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_μ (電位補正值) は大きくなり、移動度 μ が小さい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_μ (電位補正值) は小さくなる。これによって、各画素 101 の駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} のバラツキが、移動度 μ を反映して小さくなり、一定時間経過後の各画素 101 のゲートソース間電圧 V_{gs} は、移動度 μ のバラツキを完全に補正した電圧となる。

【0068】

時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定されることでサンプリング用トランジスタ 31 がオフして、書き込み + 移動度補正期間 T_5 が終了し、発光期間 T_6 となる (図 15)。

【0069】

発光期間 T_6 では、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} は一定であるので、駆動用トランジスタ 32 は一定電流 I_{ds}' を発光素子 34 に供給し、発光素子 34 のアノード電位 V_{e1} は、発光素子 34 に一定電流 I_{ds}' という電流が流れる電圧 V_x まで上昇し、発光素子 34 は発光する。駆動用トランジスタ 32 のソース電位 V_s が上昇すると、保持容量 33 のブートストラップ機能により、駆動用トランジスタ 32 のゲート電位 V_g も連動して上昇する。

【0070】

画素 101c を採用した画素 101 においても、発光素子 34 は、発光時間が長くなると、 $I-V$ 特性は変化する。そのため、図 15 に示される B 点の電位も時間とともに変化

10

20

30

40

50

する。しかしながら、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} は一定値に保たれているので、発光素子 34 に流れる電流は変化しない。したがって、発光素子の $I-V$ 特性が経時劣化しても、一定電流 I_{ds} が流れ続けるので、発光素子 34 の輝度が変化することはない。

【0071】

以上のように、画素 101 (101c) を備える図 5 の EL パネル 100 においては、閾値補正機能および移動度補正機能によって画素 101 ごとの閾値電圧 V_{th} 及び移動度 μ の相違を補正することができる。また、発光素子 34 の経時変動 (劣化) も補正することができる。

【0072】

これにより、図 5 の EL パネル 100 を用いた表示装置では、高品位な画質を得ることが可能である。

【0073】

しかしながら、図 5 の EL パネル 100 の構成を、液晶ディスプレイ (LCD) の構成と比較すると、液晶ディスプレイには電源線 $DSL10$ に相当する制御線がなく、EL パネル 100 は制御線の数が多いということが言える。

【0074】

そこで、より構成を簡素化し、より低コスト化を図った EL パネルとして、図 16 の EL パネル 200 を示す。

【0075】

即ち、図 16 は、本発明を適用した EL パネルの一実施の形態の構成例を示すブロック図である。なお、図 16 において、図 1 と対応する部分については同一の符号を付してあり、その説明を適宜省略する。

【0076】

図 1 の EL パネル 100 では、各行の画素 101 に対して個別に設けられていた電源線 $DSL10-1$ 乃至 $10-M$ に代えて、EL パネル 200 では、全ての画素 101 に対して共通の電源線 $DSL212$ が設けられており、第 1 電位としての高電位 V_{cc} または第 2 電位としての低電位 V_{ss} の電源電圧が、電源供給部 211 から電源線 $DSL212$ を介して、全ての画素 101 に一律に供給される。すなわち、電源供給部 211 は、画素アレイ部 102 の全ての画素 101 に対して同一の電源電圧制御を行う。

【0077】

EL パネル 200 の電源供給部 211 および電源線 212 以外の構成は、図 1 の EL パネル 100 と同様である。ただし、画素アレイ部 102 の各画素 101 は、図 5 に示した画素 101c の構成を有している。

【0078】

次に、図 17 を参照して、EL パネル 200 で基本となる駆動制御方式 (以下、基本駆動制御方式という) について説明する。図 17 は、電源線 $DSL212$ を介して電源供給部 211 から全ての画素 101 に電源電圧が供給されるタイミングと、各行の画素 101 の発光タイミングを示している。

【0079】

図 17 において、時刻 t_{21} から時刻 t_{34} までの期間が 1 枚の映像を表示するための単位時間 (以下、1 フィールド期間 (1F) という) であり、そのうちの時刻 t_{21} から時刻 t_{25} までの期間が全画素が共通に制御される期間 (以下、全画素共通期間という) である。また、時刻 t_{25} から時刻 t_{34} までの期間は全画素 101 に対して線順次に走査を行う線順次走査期間である。

【0080】

最初に、全画素共通期間の時刻 t_{21} において、電源供給部 211 は、電源線 $DSL212$ に供給する電位を高電位 V_{cc} から低電位 V_{ss} に切替える。なお、時刻 t_{21} においては、走査線 $WSL10-1$ 乃至 $10-M$ の各電位および映像信号線 $DTL10-1$ 乃至 $10-N$ の各電位は、低電位側に設定されている。

10

20

30

40

50

【0081】

そして、時刻 t_{22} において、ライトスキャナ 104 が、供給する電位を走査線 WSL 10 - 1 乃至 10 - M に対して同時に高電位に切替える。これにより、図 9 を参照して説明したように、駆動用トランジスタ 32 のゲート電位 V_g は V_{ofs} となり、ソース電位 V_s は V_{ss} となる。その結果、ゲートソース間電圧 V_{gs} が駆動用トランジスタ 32 の閾値電圧 V_{th} よりも大である $V_{ofs} - V_{ss} (> V_{th})$ という値をとることになり、閾値補正を行う前の閾値補正準備動作が行われている。したがって、時刻 t_{22} から時刻 t_{23} までは閾値補正準備期間である。

【0082】

閾値補正の準備が完了すると、時刻 t_{23} において、電源供給部 211 が電源線 DSL 212 に供給する電位を低電位 V_{ss} から高電位 V_{cc} に切替えることにより、全画素 101 で同時に閾値補正動作が開始される。すなわち、図 10 を参照して説明したように、発光素子 34 のアノード電位 V_{el} (駆動用トランジスタ 32 のソース電位) が、駆動用トランジスタ 32 を流れる電流に応じて上昇し、所定時間後には $(V_{ofs} - V_{th})$ に等しくなる。時刻 t_{24} には、走査線 WSL 10 - 1 乃至 10 - M それぞれに供給する電位が、ライトスキャナ 104 により、一斉に低電位に切替えられ、閾値補正動作が終了する。

【0083】

そして、時刻 t_{25} から、画素 101 に対して線順次に映像信号を書き込む線順次走査期間が開始する。

【0084】

すなわち、時刻 t_{25} から時刻 t_{30} までの期間、映像信号線 DTL 10 - 1 乃至 10 - N それぞれの電位が階調に応じた信号電位 V_{sig} に設定され、その間に、ライトスキャナ 104 は、走査線 WSL 10 - 1 乃至 10 - M に対して順番に (線順次に)、供給する電位を T_s 時間だけ高電位に切替える。 T_s 時間だけ高電位に切替えられた行の画素 101 の発光素子 34 は発光する。

【0085】

なお、走査線 WSL 10 の電位が高電位に設定されるあいだは、図 13 を参照して説明したように、駆動用トランジスタ 32 のソース電位 V_s も上昇していくので、映像信号の書き込みとともに移動度補正も行われている。

【0086】

M 行目の走査線 WSL 10 - M に対する高電位の電源電圧の供給が終了すると、時刻 t_{30} に、映像信号線 DTL 10 - 1 乃至 10 - N それぞれの電位が一斉に基準電位 V_{ofs} に切替えられる。

【0087】

そして、基準電位 V_{ofs} が映像信号線 DTL 10 - 1 乃至 10 - N それぞれに対して供給されている状態で、時刻 t_{31} から、ライトスキャナ 104 は、走査線 WSL 10 - 1 乃至 10 - M に対して順番に (線順次に)、 T_s 時間だけ高電位に切替える。 T_s 時間だけ高電位に切替えられた行の画素 101 では、駆動用トランジスタ 32 のゲート g に基準電位 V_{ofs} が供給されることとなり、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が閾値電圧 V_{th} 以下となって、発光素子 34 が消光する。ここで、発光素子 34 を消光させるためには、駆動用トランジスタ 32 のゲート g に供給する電位は、必ずしも基準電位 V_{ofs} である必要はなく、発光素子 34 のカソード電位 V_{cat} と発光素子 34 の閾値電圧 V_{thel} 、および駆動用トランジスタ 32 の閾値電圧 V_{th} の和 $(V_{cat} + V_{thel} + V_{th})$ 以下であればよいが、閾値補正の基準電位 V_{ofs} と同一にすることで、制御を簡単にすることができる。

【0088】

基本制御方式においては、基準電位 V_{ofs} が映像信号線 DTL 10 に供給されている状態でサンプリング用トランジスタ 31 をオンすることで発光素子 34 を消光させ、各行の発光期間を制御している。したがって、発光期間は、信号電位 V_{sig} が映像信号線 DTL 10 に供給されている状態におけるサンプリング用トランジスタ 31 のオフから、基

10

20

30

40

50

準電位 V_{ofs} が映像信号線 $DTL10$ に供給されている状態におけるサンプリング用トランジスタ 31 のオンまでである。なお、発光期間は各行で同一とする必要があるため、最終行の M 行目の映像信号の書き込みは、1 フィールド期間の終了時から発光期間だけ前に行われる必要がある。

【0089】

以上のように、電源ラインである電源線 $DSL212$ を全画素共通として、全画素共通期間内に、閾値補正準備動作と閾値補正動作を全画素で同時に（一斉に）行うことにより、 EL パネル 200 の回路を簡素化し、電源制御を容易にすることが可能となるので、パネル全体のコストを低減させることが可能となる。

【0090】

しかしながら、基本駆動制御方式では、上述したように、各行の発光期間を同一とするため、遅くとも、 M 行目の消光を制御する時刻 t_{33} より発光期間だけ前の、時刻 t_{29} までには、 M 行目の映像信号の書き込みを終了しておく必要がある。例えば、各行の発光期間を大雑把に言って 1 フィールド期間の半分（デューティ比 50%）とすると、1 行目の画素 101 に対して映像信号の書き込みを開始してから最終行の M 行目の画素 101 に対して映像信号の書き込みを終了するまでの期間（図中の信号書き込み期間）を 1 フィールド期間のほぼ $1/2$ で行わなければならない。したがって、そのように高速に信号電圧を出力する信号ドライバ（ソースドライバ）が必要となるが、高速制御が可能な信号ドライバは高価であり、パネルモジュールおよび表示装置全体として高価となってしまう。

【0091】

そこで、信号ドライバが高速に信号電圧を出力する必要がないように、図 16 の EL パネル 200 は、図 18 に示す駆動制御方式（以下、第 1 の駆動制御方式という）を採用することができるようになっている。

【0092】

第 1 の駆動制御方式では、 EL パネル 200 は、1 フィールド期間を前半部分と後半部分に 2 分割して、基本制御方式で全画素 101 について同時に 1 回で行っていた閾値補正準備動作と閾値補正動作を、前半部分と後半部分の 2 回に分けて行うようにする。より具体的には、 EL パネル 200 は、1 フィールド期間の前半部分の最初に 1 行目から m_1 行目の画素 101 に対して閾値補正準備動作および閾値補正動作を行い、後半部分の最初に m_2 行目から M 行目の画素 101 に対して閾値補正準備動作および閾値補正動作を行う。ここで、 m_1 は、画素アレイ部 102 の全行数（ M ）を 2 で除算した商であり、 m_2 は、 m_1 に 1 を加算した値である。

【0093】

閾値補正準備動作を行うためには、図 8 を参照して説明したように、電源線 $DSL212$ の電位を低電位 V_{ss} に設定する必要があるため、電源線 $DSL212$ の電位が低電位 V_{ss} に設定される期間が、基本駆動制御方式では 1 フィールド期間に 1 回だけであったのに対し、第 1 の駆動制御方式では 2 回となる。図 18 では、電源線 $DSL212$ の電位が低電位 V_{ss} に設定される期間（以下、電源低電位期間という）を斜線を付して示している。

【0094】

また、閾値補正準備動作および閾値補正動作では、画素 101 のサンプリング用トランジスタ 31 をオンするため、第 1 の駆動制御方式では、1 行目から m_1 行目の画素 101 については、1 フィールド期間前半部分の電源低電位期間に同期して走査線 $WSL10-1$ 乃至 $10-m_1$ の電位が高電位に設定され、 m_2 行目から M 行目の画素 101 については、1 フィールド期間後半部分の電源低電位期間に同期して走査線 $WSL10-m_2$ 乃至 $10-M$ の電位が高電位に設定される。

【0095】

図 18 を参照して、第 1 の駆動制御方式について、より詳しく説明する。

【0096】

最初に、時刻 t_{41} において、電源供給部 211 は、電源線 $DSL212$ に供給する電位

10

20

30

40

50

を高電位 V_{cc} から低電位 V_{ss} に切替える。なお、時刻 t_{21} においては、走査線 $WSL10-1$ 乃至 $10-M$ の各電位および映像信号線 $DTL10-1$ 乃至 $10-N$ の各電位は、低電位側に設定されている。

【0097】

そして、時刻 t_{42} において、ライトスキャナ 104 が、走査線 $WSL10-1$ 乃至 $10-m_1$ に供給する電位を高電位に切替える。これにより、図 9 を参照して説明したように、1 行目から m_1 行目の画素 101 の駆動用トランジスタ 32 のゲート電位 V_g は V_{ofs} となり、ソース電位 V_s は V_{ss} となる。その結果、ゲートソース間電圧 V_{gs} が駆動用トランジスタ 32 の閾値電圧 V_{th} よりも大である $V_{ofs} - V_{ss} (> V_{th})$ という値をとることになり、閾値補正を行う前の閾値補正準備動作が行われる。したがって、時刻 t_{42} から時刻 t_{43} までは 1 行目から m_1 行目の画素 101 についての閾値補正準備期間である。

10

【0098】

閾値補正の準備が完了すると、時刻 t_{43} において、電源供給部 211 が電源線 $DSL212$ に供給する電位を低電位 V_{ss} から高電位 V_{cc} に切替えることにより、1 行目から m_1 行目の画素 101 で同時に閾値補正動作が開始される。すなわち、図 10 を参照して説明したように、発光素子 34 のアノード電位 V_{el} (駆動用トランジスタ 32 のソース電位) が、駆動用トランジスタ 32 を流れる電流に応じて上昇し、所定時間後には $(V_{ofs} - V_{th})$ に等しくなる。時刻 t_{44} には、走査線 $WSL10-1$ 乃至 $10-m_1$ それぞれに供給する電位が、ライトスキャナ 104 により、一斉に低電位に切替えられ、1 行目から m_1 行目の画素 101 についての閾値補正動作が終了する。

20

【0099】

閾値補正動作が終了した時刻 t_{44} から、1 フィールド期間後半部分の電源低電位期間が開始する時刻 t_{51} までの間は、 m_2 乃至 M 行目の画素 101 の消光のための制御と、1 乃至 m_1 行目の画素 101 の発光のための制御を線順次に行う線順次走査期間である。

【0100】

画素 101 は、上述したように、映像信号線 $DTL10$ の電位が階調に応じた信号電位 V_{sig} になっているときに走査線 WSL の電位を高電位に設定する (サンプリングトランジスタ 31 をオンする) ことにより発光し、映像信号線 $DTL10$ の電位が基準電位 V_{ofs} になっているときに走査線 $WSL10$ の電位を高電位に設定する (サンプリングトランジスタ 31 をオンする) ことにより消光する。

30

【0101】

そこで、時刻 t_{44} から T_x 時間ごとに、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が、基準電位 V_{ofs} と階調に応じた信号電位 V_{sig} とで交互に切替えられ、ライトスキャナ 104 は、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が最初に基準電位 V_{ofs} となっているときに、消光のため走査線 $WSL10-m_2$ の電位を T_s 時間だけ高電位に切替え、次に映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が階調に応じた信号電位 V_{sig} となっているときに、発光のため走査線 $WSL10-1$ の電位を T_s 時間だけ高電位に切替える。さらに次に、ライトスキャナ 104 は、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が基準電位 V_{ofs} となっているときに、消光のため走査線 $WSL10-(m_2+1)$ の電位を T_s 時間だけ高電位に切替え、次に映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が階調に応じた信号電位 V_{sig} となっているときに、発光のため走査線 $WSL10-2$ の電位を T_s 時間だけ高電位に切替える。以下同様に、消光と発光の制御が繰り返される。

40

【0102】

ここで、 m_2 行目から M 行目の画素 101 を消光する場合の映像信号線 $DTL10$ の電位は基準電位 V_{ofs} としているが、必ずしも基準電位 V_{ofs} である必要はなく、上述したように、発光素子 34 のカソード電位 V_{cat} と発光素子 34 の閾値電圧 V_{thel} 、および駆動用トランジスタ 32 の閾値電圧 V_{th} の和 $(V_{cat} + V_{thel} + V_{th})$ 以下であればよい。また、この m_2 行目から M 行目の画素 101 の消光は、時刻 t_{41} よ

50

り前の、1つ前のフィールド期間に発光させた m_2 行目から M 行目の画素101を消光させるものである。

【0103】

サンプリングトランジスタ31をオンする T_s 時間と、基準電位 V_{ofs} または信号電位 V_{sig} の設定時間である T_x 時間の関係としては、 T_x 時間が T_s 時間以上である必要がある。

【0104】

1フィールド期間の前半部分の発光対象行の最終行となる m_1 行目の画素101が発光を開始した後、時刻 t_{51} から、2回目の電源低電位期間が開始する。

【0105】

すなわち、走査線 $WSL10-1$ 乃至 $10-M$ の各電位および映像信号線 $DTL10-1$ 乃至 $10-N$ の各電位が低電位側に設定されている状態となっている時刻 t_{51} において、電源線 $DSL212$ の電位が、電源供給部211により、高電位 V_{cc} から低電位 V_{ss} に切換えられる。

【0106】

時刻 t_{52} において、ライトスキャナ104が、走査線 $WSL10-m_2$ 乃至 $10-M$ に供給する電位を高電位に切換え、 m_2 行目から M 行目の画素101で閾値補正準備動作が開始される。そして、閾値補正準備完了後の時刻 t_{53} において、電源線 $DSL212$ の電位が低電位 V_{ss} から高電位 V_{cc} に切換えられ、 m_2 行目から M 行目の画素101で閾値補正動作が開始される。

【0107】

時刻 t_{54} に走査線 $WSL10-m_2$ 乃至 $10-M$ の電位が低電位に切換えられることにより、閾値補正期間は終了する。なお、時刻 t_{51} から時刻 t_{54} までの間、映像信号線 $DTL10-1$ 乃至 $10-N$ の各電位は基準電位 V_{ofs} である。

【0108】

閾値補正期間が終了した時刻 t_{54} から、1フィールド期間が終了する時刻 t_{55} までの間は、1乃至 m_1 行目の画素101の消光のための制御と、 m_2 乃至 M 行目の画素101の発光のための制御を線順次に行う線順次走査期間である。

【0109】

即ち、時刻 t_{54} から T_x 時間ごとに、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が、基準電位 V_{ofs} と階調に応じた信号電位 V_{sig} とで交互に切替えられ、ライトスキャナ104は、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が最初に基準電位 V_{ofs} となっているときに、消光のため走査線 $WSL10-1$ の電位を T_s 時間だけ高電位に切替え、次に映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が階調に応じた信号電位 V_{sig} となっているときに、発光のため走査線 $WSL10-m_2$ の電位を T_s 時間だけ高電位に切替える。さらに次に、ライトスキャナ104は、映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が基準電位 V_{ofs} となっているときに、消光のため走査線 $WSL10-2$ の電位を T_s 時間だけ高電位に切替え、次に映像信号線 $DTL10-1$ 乃至 $10-N$ それぞれの電位が階調に応じた信号電位 V_{sig} となっているときに、発光のため走査線 $WSL10-(m_2+1)$ の電位を T_s 時間だけ高電位に切替える。以下同様に、消光と発光の制御が繰り返される。

【0110】

1乃至 m_1 行目の画素101の発光期間は、図18に示されるように、1フィールド期間の前半部分において T_s 時間だけ走査線 $WSL10$ の電位が高電位に設定された後から、1フィールド期間の後半部分において T_s 時間だけ走査線 $WSL10$ の電位が高電位に設定されるまでの期間となる。ただし、電源線 $DSL212$ の電位が低電位 V_{ss} に設定されると画素101は発光することはできないので、上述の発光期間中に発光が一時止まる期間が含まれる。即ち、電源低電位期間は完全非発光期間である。しかしながら、電源線 $DSL212$ の電位以外の条件に変化がなければ、電源線 $DSL212$ の電位が高電位 V_{cc} に戻された後の画素101は、元の発光輝度(信号電位 V_{sig} に対応する輝度)

10

20

30

40

50

で発光することができる。

【0111】

一方、 m_2 乃至M行目の画素101の発光期間は、1フィールド期間の後半部分で T_s 時間だけ走査線 $W S L 1 0$ の電位が高電位に設定された後から、次の1フィールド期間の前半部分で T_s 時間だけ走査線 $W S L 1 0$ の電位が高電位に設定されるまでの期間であるが、その期間のなかには、時刻 t_{41} 乃至時刻 t_{43} のように電源低電位期間が存在する。したがって、 m_2 乃至M行目の画素101の発光期間は、1乃至 m_1 行目の画素101の発光期間と同一である。即ち、1行目からM行目までの各行の画素101の発光期間は同一である。

【0112】

以上のような第1の駆動制御方式において、発光の制御（信号電位 V_{sig} の書き込み）を行っている期間は、閾値補正期間終了後の時刻 t_{44} から1フィールド期間が終わる時刻 t_{55} までとなり、ELパネル200は、1フィールド期間のほぼ全体を使って映像信号の書き込みを行っている。従って、基本駆動制御方式で駆動制御する場合よりも、より低速に信号電圧を出力する信号ドライバを採用することができ、パネルモジュールおよび表示装置全体としてのコストを低減させることができる。

【0113】

次に、図19を参照して、ELパネル200が行うその他の駆動制御方式であって、第2の駆動制御方式について説明する。

【0114】

第2の駆動制御方式は、1フィールド期間を前半部分と後半部分に2分割して、電源低電位期間を2回設け、前半部分の最初に1行目から m_1 行目の画素101に対して閾値補正準備動作および閾値補正動作を行い、後半部分の最初に m_2 行目からM行目の画素101に対して閾値補正準備動作および閾値補正動作を行う点については、第1の駆動制御方式と同様である。

【0115】

また、1フィールド期間の前半部分の線順次走査期間では、 m_2 乃至M行目の画素101の消光制御と、1乃至 m_1 行目の画素101の発光制御を線順次に行い、1フィールド期間の後半部分の線順次走査期間では、1乃至 m_1 行目の画素101の消光制御と、 m_2 乃至M行目の画素101の発光制御を線順次に行う点についても、第2の駆動制御方式は、第1の駆動制御方式と同様である。

【0116】

一方、第2の駆動制御方式の第1の駆動制御方式との相違点は、各閾値補正期間終了後に、 T_u 時間だけ、映像信号線 $D T L 1 0$ の電位が基準電位 V_{ofs} よりも低い第3基準電位 V_{ini} に設定されるとともに、画素101を消光させるときの映像信号線 $D T L 1 0$ の電位が、基準電位 V_{ofs} ではなくて第2基準電位 V_{ofs2} に設定されている点である。

【0117】

具体的には、閾値補正期間終了後の時刻 t_{64} から T_u 時間、映像信号線 $D T L 1 0$ の電位が第3基準電位 V_{ini} に設定され、時刻 t_{64} から T_u 時間経過後の時刻 t_{65} に、映像信号線 $D T L 1 0$ の電位が第2基準電位 V_{ofs2} に設定されている。

【0118】

また、第2の駆動制御方式は、1フィールド期間内の各線順次走査期間において、階級に応じた信号電位 V_{sig} に設定しての映像信号の書き込みの前に、その映像信号の書き込み対象となる行の画素101に対して、映像信号線 $D T L 1 0$ の電位が第2基準電位 V_{ofs2} となっている状態で3回の閾値補正動作（分割閾値補正動作）を実行している点も、第1の駆動制御方式と相違する。

【0119】

例えば、1行目の画素101について説明すると、時刻 t_{66} からの T_v 時間、時刻 t_{67} からの T_v 時間、および、時刻 t_{68} からの T_v 時間の3回、走映像信号線 $D T L 1 0 - 1$

10

20

30

40

50

乃至 10 - N の電位が第 2 基準電位 V_{ofs2} の状態で走査線 $WSL10 - 1$ の電位が高電位に切替えられることによる分割閾値補正動作が実行されている。2 行目乃至 M 行目の画素 101 に対しても同様のタイミングで、 T_s 時間の映像信号の書き込みの前に、分割閾値補正動作が実行されている。

【0120】

第 1 の駆動制御方式では、閾値補正動作が終了してから映像信号の書き込み（発光制御）を行うまでの期間が、図 18 に示されるように、各行で異なるという動作となっている。

【0121】

各画素 101 では、厳密に言えば、駆動用トランジスタ 32 のリーク電流、発光素子 34 のリーク電流、およびサンプリング用トランジスタ 31 のリーク電流が存在するので、最終的な閾値補正期間が終了してから映像信号の書き込みを行うまでのそれらのリーク電流によって、駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s が変化する。具体的には、駆動用トランジスタ 32 のソース電位 V_s は、駆動用トランジスタ 32 のリーク電流によって電源線 $DSL212$ の電位 V_{cc} の方向に、発光素子 34 のリーク電流によってカソード電位 V_{cat} の方向に変化（上昇）し、駆動用トランジスタ 32 のゲート電位 V_g もソース電位 V_s の変化に伴って変化（上昇）する。

【0122】

ここで、駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の上昇量を V とする。また、サンプリング用トランジスタ 31 のリーク電流による電位変化量を V_2 とすると、その電位変化量 V に対応する駆動用トランジスタ 32 のソース電位 V_s の変化量は $g \cdot V_2$ と表すことができる。係数 g は、保持容量 33 の容量、駆動用トランジスタ 32 のゲートソース間容量、および発光素子 34 の寄生容量 C_{el} によって決定される。

【0123】

いま電位変化量 V と V_2 がいずれも正の値であるとする、映像信号書き込み直前における駆動用トランジスタ 32 のゲート電位 V_g は $(V_{ofs} + V + V_2)$ と表すことができ、ソース電位 V_s は $(V_{ofs} - V_{th} + V + g \cdot V_2)$ と表すことができる。この電位変化量 V と V_2 は、各画素 101 によるリーク電流のばらつきの影響を大きく受けるので、画素 101 ごとに異なるものであり、EL パネル 200 としてはムラやシェーディングといった画質不良を引き起こすという原因になる。

【0124】

従って、閾値補正動作が終了してから映像信号の書き込み（発光制御）を行うまでの期間は、短時間で、かつ、各行で一致していることが望ましい。

【0125】

第 2 の駆動制御方式では、線順次走査期間において映像信号の書き込みの直前に分割閾値補正を行うことにより、最終的な閾値補正動作終了後（3 回に分けた分割閾値補正動作終了後）から、階調に応じた信号電位 V_{sig} に設定しての T_s 時間の映像信号の書き込みを行うまでの時間が、短時間、かつ、各行で同一となる。従って、リーク電流のばらつきに起因するムラやシェーディングといった画質不良を防止することができる。

【0126】

なお、第 2 基準電位 V_{ofs2} は、線順次走査期間において閾値補正動作を再び開始させるため、駆動用トランジスタ 32 の上昇後のゲート電位 $V_g =$ 電位 $(V_{ofs} + V + V_2)$ よりも大きく設定する必要がある。また、図 10 を参照して説明したように、駆動用トランジスタ 32 に流れる電流が保持容量 33 を充電するために使用されるためには、 $(V_{el} - V_{cat} + V_{thel})$ という条件を満たす必要もある。

【0127】

一方、第 2 の駆動制御方式において、複数行の画素 101 に対して共通に実行される閾値補正動作終了後に T_u 時間だけ、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から第 3 基準電位 V_{ini} に設定する理由は次の通りである。

10

20

30

40

50

【0128】

各画素101において、駆動用トランジスタ32、発光素子34、およびサンプリング用トランジスタ31のリーク電流をできるだけ小さくすることを考えると、容量C、電圧V、電流i、および時間tには $CV = it$ の関係があるため、駆動用トランジスタ32のゲートソース間電圧 V_{gs} を小さくすることで駆動用トランジスタ32に流れる電流（リーク電流）も小さくさせることができる。

【0129】

そこで、駆動用トランジスタ32のゲート電位 V_g に第2基準電位 V_{ofs} を与える前に、より低い第3基準電位 V_{ini} を与えることで、駆動用トランジスタ32のゲートソース間電圧 V_{gs} を小さくすることができ、リーク電流が少なくなるので、リーク電流による駆動用トランジスタ32のゲート電位 V_g の上昇量（ $V_1 + V_2$ ）を少なくさせる効果がある。その結果、第2基準電位 V_{ofs2} を、第3基準電位 V_{ini} の設定がない場合よりも低く設定することが可能である。

10

【0130】

次に、図20を参照して、ELパネル200が行うその他の駆動制御方式であって、第3の駆動制御方式について説明する。

【0131】

第3の駆動制御方式は、第2の駆動制御方式と同様に、階調に応じた信号電位 V_{sig} に設定しての映像信号の書き込みの直前に行単位で個別に閾値補正動作（分割閾値補正動作）を行うので、電源低電位期間（完全非発光期間）直後の複数行共通で行う閾値補正動作は行わないようにした点で、第2の駆動制御方式と相違する。

20

【0132】

換言すれば、第3の駆動制御方式において、閾値補正動作は、線順次走査期間に行われる分割閾値補正動作のみである。そのため、線順次走査期間において、分割閾値補正動作時および消光制御時の映像信号線DTL10の電位は、第2の駆動制御方式のように第2基準電位 V_{ofs2} とする必要はなく、第1の駆動制御方式と同様の基準電位 V_{ofs} となっている。

【0133】

第3の駆動制御方式は、上述した点以外は、第2の駆動制御方式と同様である。

【0134】

第2および第3の駆動制御方式によれば、第1の駆動制御方式と比較して、映像信号線DTL10-1乃至10-Nの各電位を第3基準電位 V_{ini} に設定することにより、リーク電流を少なくし、さらに、最終的な閾値補正動作終了後（分割閾値補正動作終了後）から信号電位 V_{sig} に設定しての映像信号の書き込みを行うまでの時間を各行で同一に設定することにより、各画素101のリーク電流のばらつきを防止することができるので、さらに画質を向上することができる。また、閾値補正動作を複数回に分割した場合には、1回で行うよりも閾値補正がより早く完了するので、さらに発光期間を長く確保することができるという利点もある。

30

【0135】

なお、上述した第1乃至第3の駆動制御方式では、いずれも、信号電位 V_{sig} に設定しての映像信号の書き込みと移動度補正を1回で行う例であったが、これについても複数回に分割して実行するようにしてもよい。

40

【0136】

また、上述した第1乃至第3の駆動制御方式では、1フィールド期間を前半部分と後半部分に2分割し、電源低電位期間（完全非発光期間）を2回とした例について説明したが、電源低電位期間を3回以上とすることもできる。すなわち、1フィールド期間に電源低電位期間は $Q(2)$ 回とすることができる。

【0137】

ここで、 Q の最大値 Q_{max} は、 $Q_{max} = M \div 2$ で求められる。1フィールド期間に電源低電位期間を Q_{max} 回となるようにした場合、1回の電源低電位期間において、2行の画素

50

101が発光期間中の一時的な消光状態となっている。換言すれば、1フィールド期間にQ(2)回の電源低電位期間を含むとき、1回の電源低電位期間において、少なくとも2行の画素101は発光期間中の一時的な消光状態となっている。

【0138】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0139】

【図1】基本となるELパネルの構成例を示すブロック図である。

【図2】従来の画素の構成例を示したブロック図である。

10

【図3】有機EL素子のI-V特性を示す図である。

【図4】従来の画素の構成例を示したブロック図である。

【図5】本発明を適用したELパネルに採用する画素の構成例を示すブロック図である。

【図6】図6の画素の動作を説明するタイミングチャートである。

【図7】図6の画素の動作について詳細に説明する図である。

【図8】図6の画素の動作について詳細に説明する図である。

【図9】図6の画素の動作について詳細に説明する図である。

【図10】図6の画素の動作について詳細に説明する図である。

【図11】図6の画素の動作について詳細に説明する図である。

【図12】図6の画素の動作について詳細に説明する図である。

20

【図13】図6の画素の動作について詳細に説明する図である。

【図14】図6の画素の動作について詳細に説明する図である。

【図15】図6の画素の動作について詳細に説明する図である。

【図16】本発明を適用したELパネルの一実施の形態の構成例を示すブロック図である。

。

【図17】図16のELパネルによる基本駆動制御方式を説明するタイミングチャートである。

【図18】図16のELパネルによる第1の駆動制御方式を説明するタイミングチャートである。

【図19】図16のELパネルによる第2の駆動制御方式を説明するタイミングチャートである。

30

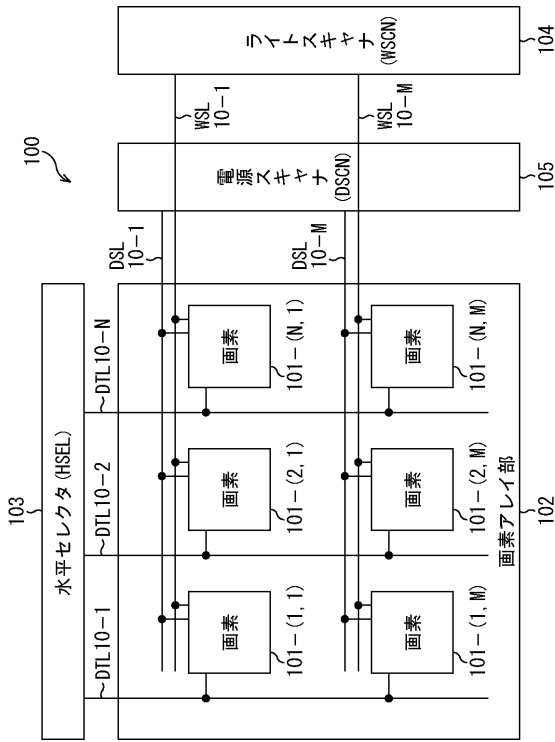
【図20】図16のELパネルによる第3の駆動制御方式を説明するタイミングチャートである。

【符号の説明】

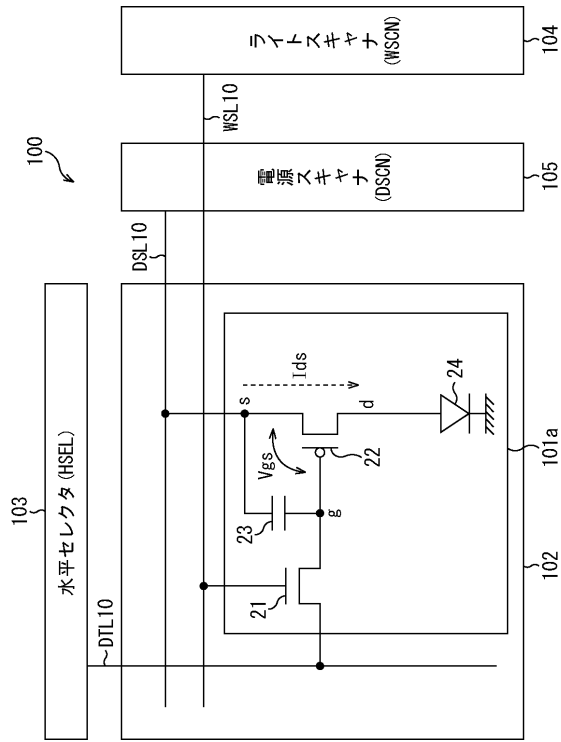
【0140】

31 サンプリング用トランジスタ, 32 駆動用トランジスタ, 33 保持容量, 34 発光素子, 101 画素(画素回路), 103 水平セレクタ, 104 ライトスキャナ, 200 ELパネル, 211 電源供給部, 212 電源線

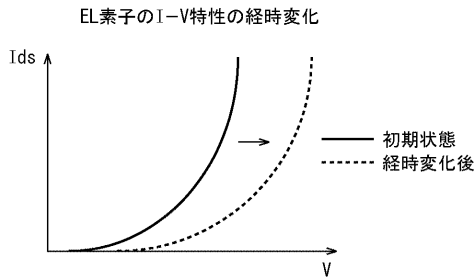
【図1】
図1



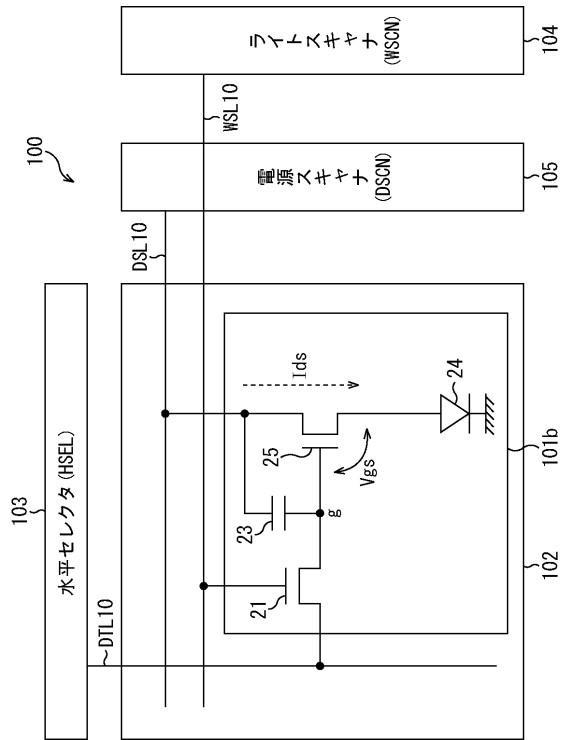
【図2】
図2



【図3】
図3



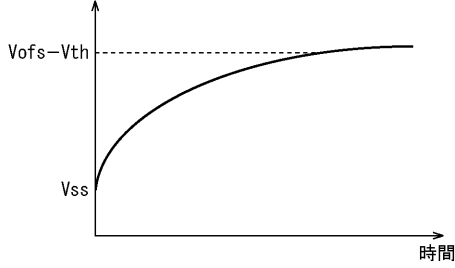
【図4】
図4



【図11】

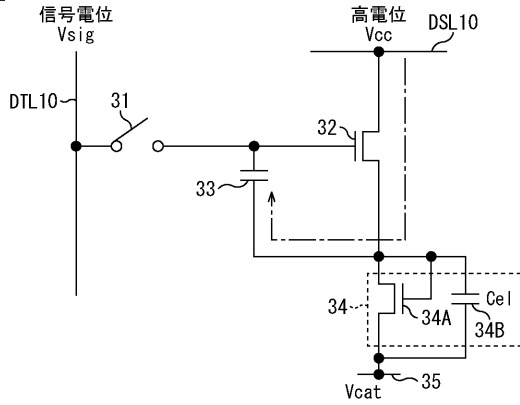
図11

駆動用トランジスタの
ソース電位Vs



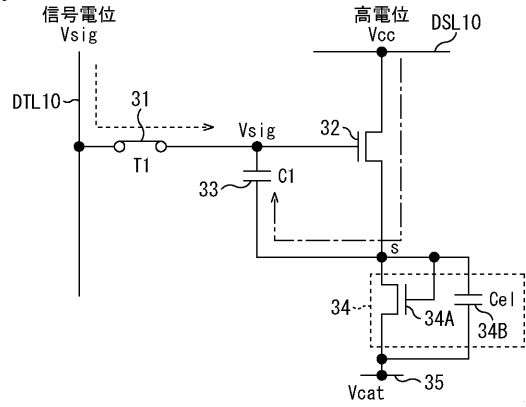
【図12】

図12



【図13】

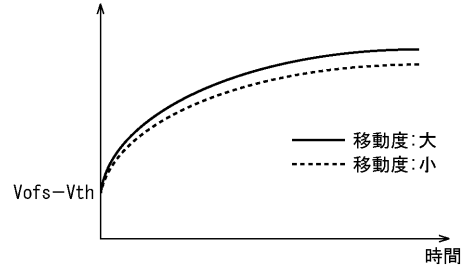
図13



【図14】

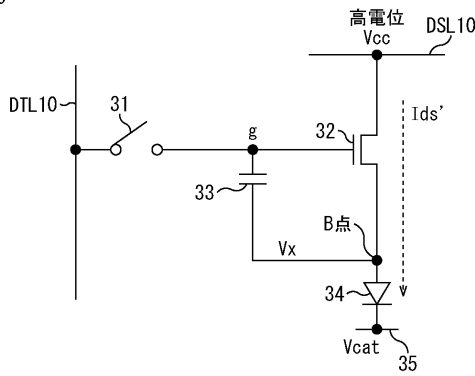
図14

駆動用トランジスタの
ソース電位Vs



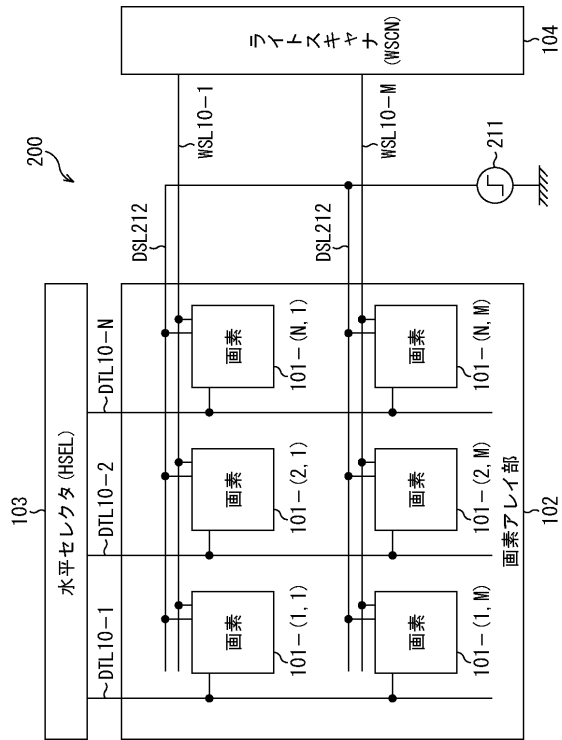
【図15】

図15



【図16】

図16



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 2 3 M
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 7 0 A
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 CC10 DD05 DD22 DD27 DD29 EE28 EE29 FF03
FF09 FF11 JJ02 JJ03 JJ04 JJ05 KK47