



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I756871 B

(45) 公告日：中華民國 111 (2022) 年 03 月 01 日

(21) 申請案號：109136161

(22) 申請日：中華民國 109 (2020) 年 10 月 19 日

(51) Int. Cl. : **H04N5/765 (2006.01)**

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市新竹科學園區創新二路 2 號

(72) 發明人：葉哲瑋 YEH, CHE-WEI (TW)；呂建勳 LU, CHIEN-HSUN (TW)；古展耀 GU, ZHAN-YAO (TW)；詹鈞傑 CHAN, CHUN-CHIEH (TW)

(74) 代理人：陳長文

(56) 參考文獻：

TW 201526628A

CN 107197190A

審查人員：陳哲賢

申請專利範圍項數：10 項 圖式數：2 共 17 頁

(54) 名稱

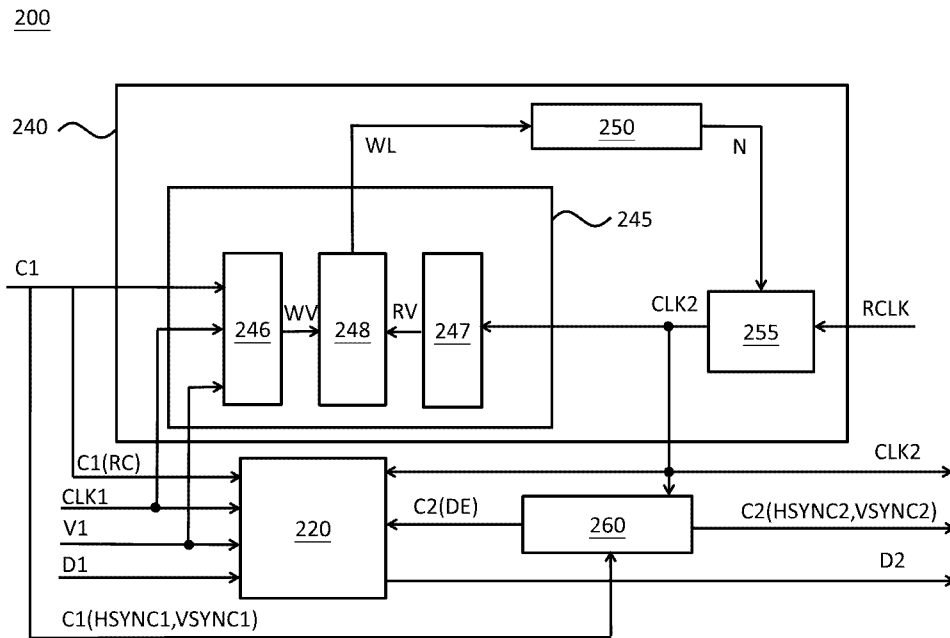
資料轉換與高畫質多媒體介面接收裝置

(57) 摘要

一種資料轉換裝置，其包含儲存電路與頻率調整電路。儲存電路用以依據第一時脈儲存高畫質多媒體介面訊號中的像素資料，及依據第二時脈輸出影像資料。頻率調整電路用以依據該高畫質多媒體介面訊號中的控制訊號及該第二時脈調整該第二時脈，並將調整後的該第二時脈傳輸至該儲存電路。

A data conversion device includes a storage circuit and a frequency adjusting circuit. The storage circuit is configured to store a pixel data of a high definition multimedia interface (HDMI) signal according to a first clock, and output an image data according to a second clock. The frequency adjusting circuit is configured to adjust the second clock according to control signals of the HDMI signal and the second clock, and transmit the adjusted second clock to the storage circuit.

指定代表圖：



【圖2】

符號簡單說明：

200:資料轉換裝置

220:儲存電路

240:頻率調整電路

245:資料計算器

246:寫入指標單元

247:讀出指標單元

248:誤差產生器

250:頻率設定器

255:鎖相迴路

260:格式產生電路

CLK1:FRL 時脈

CLK2:像素時脈

D1:像素資料

D2:影像資料

C1:控制訊號

C2:控制訊號

V1:資料有效訊號

WV:寫入值

RV:讀出值

WL:水位值

N:時脈控制訊號

RCLK:參考時脈

HSYNC1:水平同步訊號

VSYNC1:垂直同步訊號

RC:資料壓縮比訊號

HSYNC2:水平同步訊號

VSYNC2:垂直同步訊號

DE:致能訊號



# 公告本

## 【發明摘要】

I756871

### 【中文發明名稱】

資料轉換與高畫質多媒體介面接收裝置

### 【英文發明名稱】

DATA CONVERSION AND HIGH DEFINITION MULTIMEDIA  
INTERFACE RECEIVING DEVICE

### 【中文】

一種資料轉換裝置，其包含儲存電路與頻率調整電路。儲存電路用以依據第一時脈儲存高畫質多媒體介面訊號中的像素資料，及依據第二時脈輸出影像資料。頻率調整電路用以依據該高畫質多媒體介面訊號中的控制訊號及該第二時脈調整該第二時脈，並將調整後的該第二時脈傳輸至該儲存電路。

### 【英文】

A data conversion device includes a storage circuit and a frequency adjusting circuit. The storage circuit is configured to store a pixel data of a high definition multimedia interface (HDMI) signal according to a first clock, and output an image data according to a second clock. The frequency adjusting circuit is configured to adjust the second clock according to control signals of the HDMI signal and the second clock, and transmit the adjusted second clock to the storage circuit.

### 【指定代表圖】

圖2

### 【代表圖之符號簡單說明】

200: 資料轉換裝置  
220: 儲存電路  
240: 頻率調整電路  
245: 資料計算器  
246: 寫入指標單元  
247: 讀出指標單元  
248: 誤差產生器  
250: 頻率設定器  
255: 鎖相迴路  
260: 格式產生電路  
CLK1: FRL時脈  
CLK2: 像素時脈  
D1: 像素資料  
D2: 影像資料  
C1: 控制訊號  
C2: 控制訊號  
V1: 資料有效訊號  
WV: 寫入值  
RV: 讀出值  
WL: 水位值  
N: 時脈控制訊號  
RCLK: 參考時脈  
HSYNC1: 水平同步訊號

VSYNC1: 垂直同步訊號

RC: 資料壓縮比訊號

HSYNC2: 水平同步訊號

VSYNC2: 垂直同步訊號

DE: 致能訊號

## 【發明說明書】

### 【中文發明名稱】

資料轉換與高畫質多媒體介面接收裝置

### 【英文發明名稱】

DATA CONVERSION AND HIGH DEFINITION MULTIMEDIA  
INTERFACE RECEIVING DEVICE

### 【技術領域】

【0001】 本發明是關於一種資料轉換的裝置，特別是關於一種將操作於固定時脈域的高畫質多媒體介面訊號轉換至像素時脈域的資料轉換裝置。

### 【先前技術】

【0002】 根據高畫質多媒體介面（high definition multimedia interface，HDMI）標準的定義中，HDMI傳送裝置發送的HDMI訊號被HDMI接收裝置接收後，會由HDMI傳送裝置的傳送時脈域轉換為HDMI接收裝置的接收時脈域後送至播放裝置。為了不使HDMI接收裝置接收過多資料產生上溢（overflow）情形，或輸出太快而產生下溢（underflow）情形，如何調整HDMI接收裝置的接收時脈已成為本領域極欲解決的問題之一。

### 【發明內容】

【0003】 本發明揭露一種資料轉換裝置，其包含儲存電路與頻率調整電路。儲存電路用以依據第一時脈儲存高畫質多媒體介面（high definition multimedia interface，HDMI）訊號中的像素資料，及依據第二時脈輸出影像資料。頻率調整電路用以依據HDMI訊號中的控制訊號及

該第二時脈調整第二時脈，並將調整後的第二時脈傳輸至儲存電路。

【0004】 本發明另揭露一種HDMI接收裝置，其包含解碼裝置與資料轉換裝置。解碼裝置用以接收HDMI訊號以產生操作於第一時脈的時脈域的第一控制訊號及像素資料。資料轉換裝置用以接收第一時脈、第一控制訊號及像素資料，並產生操作於第二時脈的時脈域的第二控制訊號與影像資料，其中資料轉換裝置依據第一控制訊號與第二時脈調整第二時脈。

【0005】 相較於習知技術，利用本申請的資料轉換與HDMI接收裝置可以即時調整像素時脈，並且依據像素時脈有效率地輸出影像資料，以避免HDMI接收裝置的輸出與接收產生上溢或下溢的情形。

#### 【圖式簡單說明】

#### 【0006】

圖1為本發明一些實施例中，高畫質多媒體介面（high definition multimedia interface，HDMI）接收裝置的示意圖。

圖2為本發明一些實施例中，HDMI接收裝置中的資料轉換裝置的示意圖。

#### 【實施方式】

【0007】 圖1為HDMI接收裝置10的示意圖。HDMI接收裝置10用以接收從HDMI傳輸裝置（未繪示）傳輸的HDMI訊號S1，並將HDMI訊號S1轉換成影像訊號S2輸出。其中HDMI訊號S1包含固定速率鏈路（fixed rate link，FRL）時脈CLK1、像素資料D1與控制訊號C1，及影像訊號S2包含像素時脈CLK2、影像資料D2與控制訊號C2。在一些實施例中，像素資料D1與影像資料D2為RGB資料。

【0008】 HDMI接收裝置10包含實體層裝置PHY、解碼裝置100與

資料轉換裝置200。實體層裝置PHY用以接收HDMI訊號S1，並透過實體層裝置PHY中的時脈回復電路得到FRL時脈CLK1。實體層裝置PHY將FRL時脈CLK1與HDMI訊號S1傳輸至解碼裝置100。解碼裝置100將HDMI訊號S1解碼成控制訊號C1、資料有效訊號V1與像素資料D1。

【0009】資料轉換裝置200接收FRL時脈CLK1、控制訊號C1、資料有效訊號V1與像素資料D1，並輸出像素時脈CLK2、影像資料D2與控制訊號C2。其中，影像資料D2與控制訊號C2屬於像素時脈CLK2的時脈域。資料轉換裝置200用以依據FRL時脈CLK1儲存像素資料D1，並依據像素時脈CLK2輸出影像資料D2。資料轉換裝置200用以調整像素時脈CLK2，使影像資料D2與控制訊號C2可在不同的時間依據不同的像素時脈CLK2被輸出。

【0010】在一些實施例中，資料轉換裝置200具有先進先出(first in first out, FIFO)暫存器，其用以儲存接收到的像素資料D1，並依據像素時脈CLK2將FIFO暫存器中的像素資料D1依序輸出為影像資料D2。

【0011】然而，FIFO暫存器的儲存空間終究有限。在一些現有技術中，HDMI接收裝置無法有效率地調整像素時脈，使得當HDMI接收裝置輸出影像資料的速率低於儲存像素資料的速率時，FIFO暫存器因為儲存的像素資料多於輸出的影像資料而造成上溢(overflow)的情形。或是當HDMI接收裝置輸出影像資料的速率高於儲存像素資料的速率時，FIFO暫存器因為輸出的影像資料多於儲存的像素資料而造成下溢(underflow)的情形。

【0012】相較於現有技術，本發明提供的資料轉換裝置200與HDMI接收裝置10具有能夠更有效地調整像素時脈CLK2的功能以避免上述上溢

或下溢的情形發生。其細節說明如下。

【0013】 參考圖2。圖2為依據本發明一些實施例的資料轉換裝置200的示意圖。資料轉換裝置200包含儲存電路220、頻率調整電路240與格式產生電路260。

【0014】 在一些實施例中，儲存電路220包含FIFO暫存器。儲存電路220依據FRL時脈CLK1、控制訊號C1中的資料壓縮比訊號RC與資料有效訊號V1儲存像素資料D1。在一些實施例中，當資料有效訊號V1對應第一位準時，代表儲存電路220接收到有效的像素資料D1，此時儲存電路220將接收的像素資料D1儲存。相對地，當資料有效訊號V1對應第二位準(與第一位準不同)時，代表儲存電路220接收到非有效的像素資料D1，例如為間隙字符，此時儲存電路220不執行儲存操作。

【0015】 儲存電路220依據像素時脈CLK2輸出影像資料D2。換言之，輸出的影像資料D2屬於像素時脈CLK2的時脈域。頻率調整電路240用以產生像素時脈CLK2，並即時調整像素時脈CLK2。具體來說，頻率調整電路240依據儲存電路220儲存的像素資料D1的累積數量與輸出的影像資料D2累積數量來調整像素時脈CLK2。格式產生電路260依據像素時脈CLK2與控制訊號C1產生控制訊號C2，並將控制訊號C2傳輸至儲存電路220，使儲存電路220依據控制訊號C2(及依據像素時脈CLK2所產生)輸出影像資料D2。

【0016】 在一些實施例中，頻率調整電路240包含資料計算器245、頻率設定器250與鎖相迴路255。資料計算器245依據控制訊號C1、資料有效訊號V1、FRL時脈CLK1與像素時脈CLK2產生水位值WL，其中水位值WL代表儲存電路220已儲存的像素資料D1的累積數量與已輸出的影像資

料D2的累積數量的差值。頻率設定器250依據水位值WL產生時脈控制訊號N。鎖相迴路255依據時脈控制訊號N與參考時脈RCLK產生像素時脈CLK2。例如時脈控制訊號N為鎖相迴路255的分頻比。

**【0017】** 在一些實施例中，資料計算器245包含寫入指標單元246、讀出指標單元247與誤差產生器248。在一些實施例中，寫入指標單元246與讀出指標單元247為指標暫存器，其用以指示儲存電路220中的位址。例如，寫入指標單元246與讀出指標單元247可以程式計數器（program counter）實現，其又可稱為位址暫存器。寫入指標單元246用以依據控制訊號C1、資料有效訊號V1、FRL時脈CLK1以指示寫入值WV，其中寫入值WV代表當最新被儲存的像素資料D1儲存在儲存電路220中的位址，及讀出指標單元247用以依據像素時脈CLK2以指示讀出值RV，其中讀出值RV代表最新被輸出的影像資料D2原本儲存在儲存電路220中的位址。誤差產生器248依據寫入值WV與讀出值RV產生水位值WL。上述的寫入指標單元246與讀出指標單元247僅為示例之用途，各種不同的寫入指標單元246與讀出指標單元247均在本發明的考量與範疇之內。例如，寫入指標單元246與讀出指標單元247可以累加器實現。

**【0018】** 在一些實施例中，儲存電路220依據控制訊號C1中的資料壓縮比訊號RC、資料有效訊號V1與FRL時脈CLK1儲存像素資料D1，而寫入指標單元246依據資料壓縮比訊號RC、資料有效訊號V1與FRL時脈CLK1，判斷儲存電路220接收到的像素資料D1還原後的數量。例如，在一個FRL時脈CLK1週期內可包含3Bytes大小的資料量，當資料壓縮比訊號RC指示正在接收的FRL時脈訊號CLK1週期內包含6倍資料量，又資料有效訊號V1指示該週期內接收的3Bytes資料量為有效，則代表在該週期

內像素資料D1還原（解壓縮）後包含3Bytes資料量的6倍的資料量，因此儲存電路220需儲存18Bytes（ $6*3\text{Bytes}*1$ ）大小的資料量，使得寫入指標單元246將指示儲存電路220中目前使用到位址往前推18個Bytes，其中資料有效訊號V1對應為1代表該週期內接收的資料為有效。該位址則為寫入值WV。例如，當資料有效訊號V1對應為0則代表該週期內接收的資料為無效。

**【0019】** 相對而言，因為儲存電路220中所儲存的皆為有效的資料，因此讀出指標單元247只須依據像素時脈CLK2判斷儲存電路220輸出多少影像資料D2，並指示儲存電路220中目前最新被輸出的影像資料D2的位址。該位址則為讀出值RV。

**【0020】** 因為儲存電路220是依順序（前述其可包含FIFO暫存器）儲存像素資料D1，因此由儲存電路220的位址的差距可以得到已儲存的像素資料D1的累積數量與已輸出的影像資料D2的累積數量的差值。具體而言，誤差產生器248讀取寫入值WV與讀出值RV，並將寫入值WV減去讀出值RV做為水位值WL。因為寫入值WV隨著像素資料D1、資料壓縮比訊號RC、資料有效訊號V1與FRL時脈CLK1即時地更新，且讀出值RV隨著像素時脈CLK2即時地更新，因此水位值WL可準確地模擬儲存電路220中已儲存但未輸出的資料量。

**【0021】** 當水位值WL大於預設上限值時，頻率設定器250產生時脈控制訊號N，使鎖相迴路255依據時脈控制訊號N增加像素時脈CLK2的頻率，例如增大時脈控制訊號N，藉以提升儲存電路220的輸出速度。當水位值WL小於預設下限值時，頻率設定器250產生時脈控制訊號N，使鎖相迴路255依據時脈控制訊號N降低像素時脈CLK2的頻率，例如降低時脈控

制訊號N，藉以降低儲存電路220的輸出速度。換言之，頻率調整電路240用以依據已儲存的像素資料D1的累積數量與已輸出的影像資料D2的累積數量的差值調整像素時脈CLK2，使儲存電路220中尚未被輸出為影像資料D2的像素資料D1佔儲存電路220中的儲存空間在預設上限值與預設下限值之間。在一些實施例中，預設上限值對應儲存電路220中大約70%的儲存空間的水位（即距離發生上溢情形約有30%的容許值）。在一些實施例中，預設下限值對應儲存電路220中大約30%的儲存空間的水位（即距離發生下溢情形約有30%的容許值）。

**【0022】** 在一些實施例中，控制訊號C1還包含水平同步訊號HSYNC1與垂直同步訊號VSYNC1。水平同步訊號HSYNC1用以指示在FRL時脈CLK1的時脈域下的一幀（frame）中每條掃描線的起點，及垂直同步訊號VSYNC1用以指示在FRL時脈CLK1的時脈域下的每一幀的第一條掃描線。控制訊號C2包含致能訊號DE、水平同步訊號HSYNC2與垂直同步訊號VSYNC2，其中水平同步訊號HSYNC2與垂直同步訊號VSYNC2分別指示在像素時脈CLK2的時脈域下的一幀中每條掃描線的起點與每一幀的第一條掃描線。格式產生電路260將水平同步訊號HSYNC1與垂直同步訊號VSYNC1從FRL時脈訊號CLK1的時脈域轉換至像素時脈訊號CLK2的時脈域以輸出為水平同步訊號HSYNC2與垂直同步訊號VSYNC2。具體來說，格式產生電路260可依據每個水平同步訊號HSYNC1間的FRL時脈CLK1的週期數與垂直同步訊號VSYNC1的數量獲取一幀的資料量，再將操作在FRL時脈CLK1的時脈域下的水平同步訊號HSYNC1與垂直同步訊號VSYNC1轉換成操作在像素時脈CLK2的時脈域下的水平同步訊號HSYNC2與垂直同步訊號VSYNC2輸出，並依據像素時

脈CLK2、水平同步訊號HSYNC2與垂直同步訊號VSYNC2產生致能訊號DE至儲存電路220。在一些實施例中，格式產生電路260包含計數器，用以計算產生的水平同步訊號HSYNC2與垂直同步訊號VSYNC2的次數，當垂直同步訊號VSYNC2指示一幀中的第一條掃描線開始掃描後，在水平同步訊號HSYNC2所指示的每一條掃描線開始時產生致能訊號DE。換言之，儲存電路220中所儲存的每一條掃描線的資料都會對應到一個致能訊號DE。因此，在儲存電路220接收到致能訊號DE後可依據像素時脈CLK2輸出對應掃描線的影像資料D2。

### 【符號說明】

#### 【0023】

10: HDMI接收裝置

PHY: 實體層裝置

100: 解碼裝置

S1: HDMI訊號

S2: 影像訊號

200: 資料轉換裝置

220: 儲存電路

240: 頻率調整電路

245: 資料計算器

246: 寫入指標單元

247: 讀出指標單元

248: 誤差產生器

250: 頻率設定器

255: 鎖相迴路

260: 格式產生電路

CLK1: FRL時脈

CLK2: 像素時脈

D1: 像素資料

D2: 影像資料

C1: 控制訊號

C2: 控制訊號

V1: 資料有效訊號

WV: 寫入值

RV: 讀出值

WL: 水位值

N: 時脈控制訊號

RCLK: 參考時脈

HSYNC1: 水平同步訊號

VSYNC1: 垂直同步訊號

RC: 資料壓縮比訊號

HSYNC2: 水平同步訊號

VSYNC2: 垂直同步訊號

DE: 致能訊號

## 【發明申請專利範圍】

### 【請求項1】

一種資料轉換裝置，包含：

一儲存電路，用以依據一第一時脈儲存一高畫質多媒體介面（high definition multimedia interface，HDMI）訊號中的一像素資料，及依據一第二時脈輸出一影像資料；及

一頻率調整電路，用以依據該HDMI訊號中的一控制訊號及該第二時脈調整該第二時脈，並將調整後的該第二時脈傳輸至該儲存電路，

其中該控制訊號相關於該儲存電路已儲存的該像素資料的一累積數量。

### 【請求項2】

如請求項1所述的資料轉換裝置，其中該頻率調整電路包含：

一資料計算器，用以依據該第一時脈、該控制訊號及該第二時脈輸出一水位值；及

一鎖相迴路，用以依據該水位值輸出該第二時脈。

### 【請求項3】

如請求項2所述的資料轉換裝置，其中該水位值代表該儲存電路已儲存的該像素資料的該累積數量與已輸出的該影像資料的一累積數量的一差值。

### 【請求項4】

如請求項2所述的資料轉換裝置，其中該頻率調整電路更包含：

一頻率設定器，用以依據該水位值產生一時脈控制訊號至該鎖相

迴路，其中該鎖相迴路依據該時脈控制訊號與一參考時脈輸出該第二時脈。

**【請求項5】**

如請求項2所述的資料轉換裝置，更包含：

一格式產生電路，用以依據該第二時脈與該控制訊號產生一致能訊號至該儲存電路，其中該儲存電路更依據該致能訊號與該第二時脈輸出該影像資料。

**【請求項6】**

一種高畫質多媒體介面(high definition multimedia interface，HDMI)接收裝置，包含：

一解碼裝置，用以接收一HDMI訊號以產生操作於一第一時脈的時脈域的一第一控制訊號及一像素資料；及

一資料轉換裝置，用以接收該第一時脈、該第一控制訊號及該像素資料，並產生操作於一第二時脈的時脈域的一第二控制訊號與一影像資料，其中該資料轉換裝置依據該第一控制訊號與該第二時脈調整該第二時脈，

其中該資料轉換裝置包含一儲存電路，其中該儲存電路用以儲存該像素資料，其中該第一控制訊號相關於該儲存電路已儲存的該像素資料的一累積數量。

**【請求項7】**

如請求項6所述的HDMI接收裝置，其中該資料轉換裝置包含：

一頻率調整電路，依據該第一控制訊號中的一資料壓縮比訊號與該第二時脈調整該第二時脈，

其中該儲存電路更用以依據該第二時脈輸出該影像資料。

**【請求項8】**

如請求項7所述的HDMI接收裝置，其中該資料轉換裝置更包含：

一格式產生電路，用以依據該第二時脈將該第一控制訊號轉換成該第二控制訊號。

**【請求項9】**

如請求項7所述的HDMI接收裝置，其中該頻率調整電路包含：

一資料計算器，用以依據該資料壓縮比訊號與該第二時脈產生一水位值；

一頻率設定器，用以依據該水位值產生一時脈控制訊號；及

一鎖相迴路，用以依據該時脈控制訊號與一參考時脈調整該第二時脈，

其中該水位值代表該儲存電路儲存的該像素資料的累積數量與輸出的該影像資料的累積數量的一差值。

**【請求項10】**

如請求項9所述的HDMI接收裝置，其中該資料計算器包含：

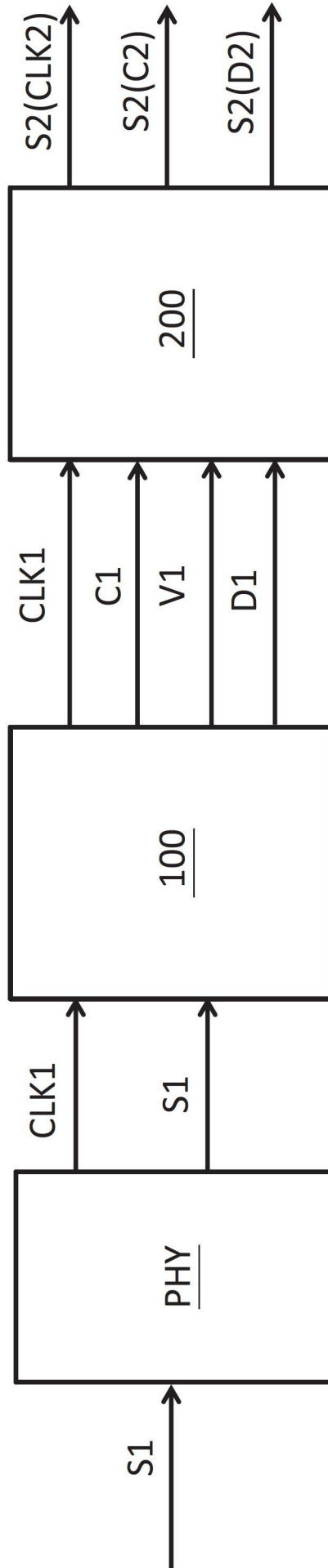
一寫入指標單元，用以依據該資料壓縮比訊號指示一寫入值；

一讀出指標單元，用以依據該第二時脈訊號指示一讀出值；及

一誤差產生器，用以產生該水位值，其中該水位值等於該寫入值減去該讀出值。

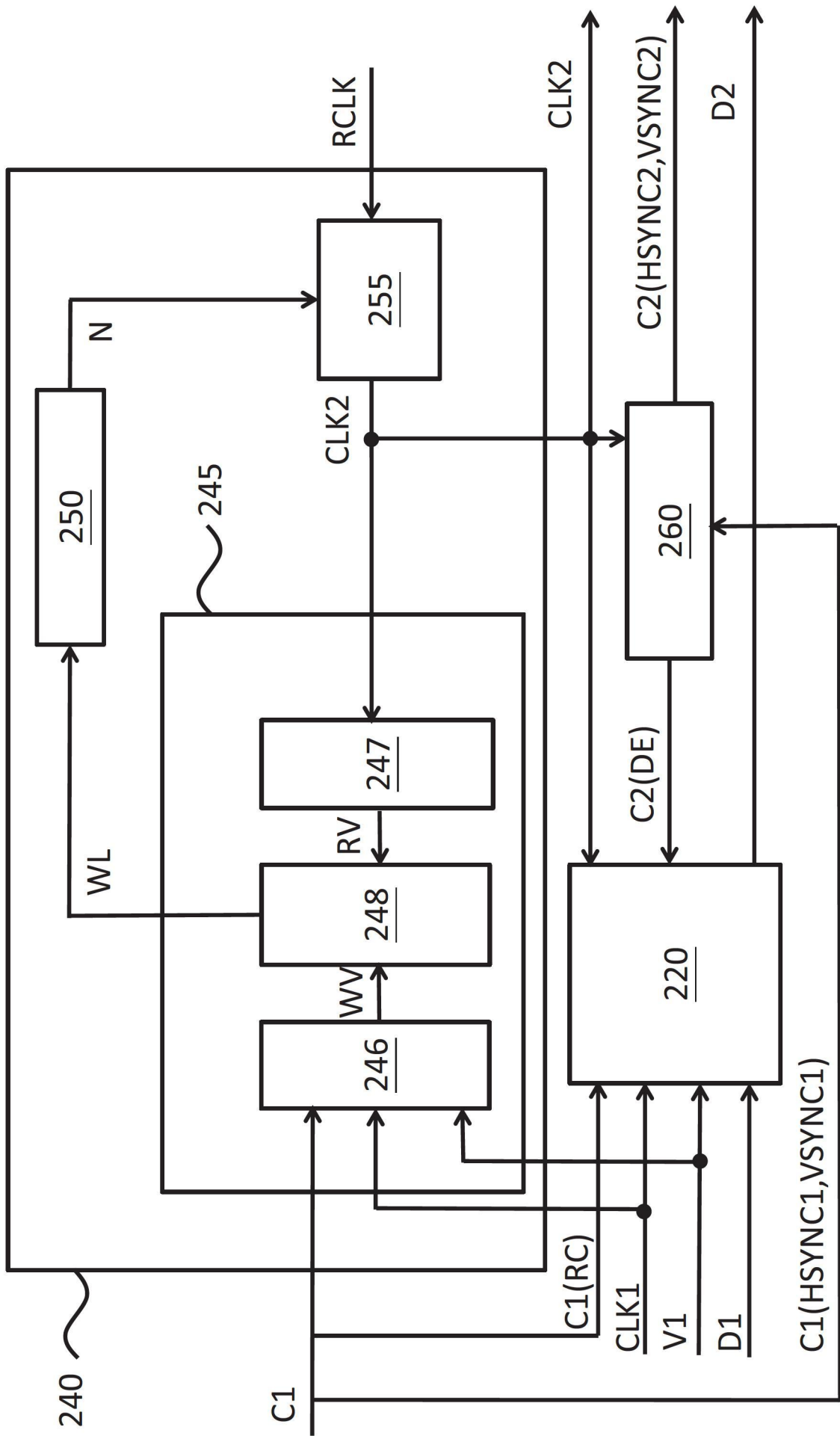
【發明圖式】

10



【圖1】

200



【圖2】