



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월11일
 (11) 등록번호 10-1619473
 (24) 등록일자 2016년05월02일

(51) 국제특허분류(Int. Cl.)
 H01L 23/36 (2006.01)
 (21) 출원번호 10-2009-0066357
 (22) 출원일자 2009년07월21일
 심사청구일자 2014년07월16일
 (65) 공개번호 10-2011-0008824
 (43) 공개일자 2011년01월27일
 (56) 선행기술조사문헌
 US20030116836 A1*
 KR1020080038577 A
 US20080105966 A1
 KR1020050077759 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 김용훈
 경기도 수원시 영통구 청명북로 81, 청명주공아파트 407동 1301호 (영통동)
 이희석
 경기도 용인시 기흥구 예현로 15, SK아파트 105동 1701호 (서천동)
 (뒷면에 계속)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 10 항

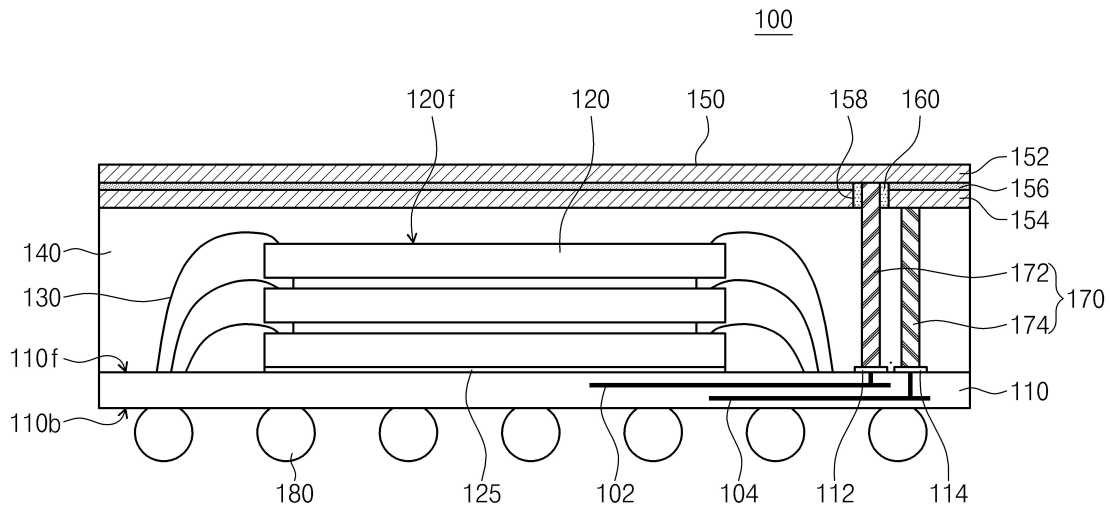
심사관 : 김정진

(54) 발명의 명칭 **히트 슬러그를 갖는 반도체 패키지**

(57) 요약

본 발명은 반도체 패키지에 관한 것으로, 기판 상에 실장된 반도체 칩과, 상기 반도체 칩을 몰딩하는 몰딩막과, 상기 몰딩막 상에 배치된 히트 슬러그와, 그리고 상기 기판과 상기 히트 슬러그를 전기적으로 연결하는 관통 몰드 비아를 포함할 수 있다. 히트 슬러그는 전도체들 사이에 유전체가 제공된 캐패시터 구조일 수 있다. 본 발명에 의하면, 히트 슬러그는 캐패시터 구조를 가지므로 반도체 패키지의 열적 특성은 물론 전기적 특성을 개선시킬 수 있게 된다.

대표도 - 도1a



(72) 발명자

조은석

경기도 성남시 분당구 정자로 115, 한솔마을주공5
단지아파트 502동 402호 (정자동)

김현아

경기 화성시 효행로707번길 7, 104동 1302호 (안녕
동, 신한미지엔아파트)

임소영

경기도 화성시 병점중앙로 204, 105동 503호 (진안
동, 월드메르디앙)

이파란

경상북도 구미시 1공단로7길 86-19, 사서함40호 창
의동 603호 (공단동, 공단우체국)

명세서

청구범위

청구항 1

기판 상에 실장된 반도체 칩과;

상기 반도체 칩을 몰딩하는 몰딩막과;

상기 몰딩막 상에 배치된, 전도체들 사이에 유전체가 제공된 히트 슬러그와;

상기 히트 슬러그에 접속되는 패드와; 그리고

상기 몰딩막 내에 제공되고 상기 패드에 접속되어 상기 기판과 상기 히트 슬러그를 전기적으로 연결하는 관통 몰드 비아를;

포함하는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 관통 몰드 비아는:

상기 전도체들 중 어느 하나에 접속되고, 상기 어느 하나의 전도체를 상기 기판과 전기적으로 연결하는 제1 비아와; 그리고

상기 전도체들 중 다른 하나에 접속되고, 상기 다른 하나의 전도체를 상기 기판과 전기적으로 연결하는 제2 비아를;

포함하는 반도체 패키지.

청구항 3

제1항에 있어서,

상기 관통 몰드 비아는:

상기 히트 슬러그를 상기 기판에 직접 연결하는 제1 파워 비아 및 제1 그라운드 비아를 갖는 제1 관통 몰드 비아와; 그리고

상기 히트 슬러그와 상기 반도체 칩을 직접 연결하여 상기 히트 슬러그를 상기 기판에 간접 연결하는 제2 파워 비아 및 제2 그라운드 비아를 갖는 제2 관통 몰드 비아 중에서 적어도 어느 하나를 포함하는 반도체 패키지.

청구항 4

제3항에 있어서,

상기 패드는 상기 기판 상에 제공되고,

상기 패드는:

상기 제1 파워 비아와 접속되는 제1 파워 패드와; 그리고

상기 제1 그라운드 비아와 접속되는 제1 그라운드 패드를;

포함하는 반도체 패키지.

청구항 5

제3항에 있어서,

상기 패드는 상기 반도체 칩 상에 제공되고,

상기 패드는:

상기 제2 파워 비아와 접속되는 제2 파워 패드와; 그리고
 상기 제2 그라운드 비아와 접속되는 제2 그라운드 패드를;
 포함하는 반도체 패키지.

청구항 6

제5항에 있어서,
 상기 반도체 칩은:
 상기 제2 파워 패드를 매개로 상기 제2 파워 비아와 전기적으로 연결되는 제1 관통 전극과; 그리고
 상기 제2 그라운드 패드를 매개로 상기 제2 그라운드 비아와 전기적으로 연결되는 제2 관통 전극을;
 포함하는 반도체 패키지.

청구항 7

제3항에 있어서,
 상기 히트 슬러그는:
 상기 제1 및 제2 파워 비아들이 공통으로 접속하는 파워 플레인과; 그리고
 상기 제1 및 제2 그라운드 비아들이 공통으로 접속하는 그라운드 플레인을 포함하고,
 상기 파워 및 그라운드 플레인들 중 어느 하나는 다른 하나 위에 제공된 반도체 패키지.

청구항 8

제3항에 있어서,
 상기 히트 슬러그는:
 상기 제1 및 제2 파워 비아들이 공통으로 접속하는 파워 플레인과;
 상기 제1 그라운드 비아가 접속하는 제1 그라운드 플레인과; 그리고
 상기 제2 그라운드 비아가 접속하는 제2 그라운드 플레인을 포함하고,
 상기 파워 플레인은 상기 제1 및 제2 그라운드 플레인들 사이에 제공된 반도체 패키지.

청구항 9

제3항에 있어서,
 상기 히트 슬러그는:
 상기 제1 및 제2 그라운드 비아들이 공통으로 접속하는 그라운드 플레인과;
 상기 제1 파워 비아가 접속하는 제1 파워 플레인과; 그리고
 상기 제2 파워 비아가 접속하는 제2 파워 플레인을 포함하고,
 상기 그라운드 플레인은 상기 제1 및 제2 파워 플레인들 사이에 제공된 반도체 패키지.

청구항 10

제3항에 있어서,
 상기 히트 슬러그는:
 상기 제1 파워 비아가 접속하는 제1 파워 플레인과 상기 제1 그라운드 비아가 접속하는 제1 그라운드 플레인을
 갖는 제1 서브 히트 슬러그와; 그리고
 상기 제2 파워 비아가 접속하는 제2 파워 플레인과 상기 제2 그라운드 비아가 접속하는 제2 그라운드 플레인을

갖는 제2 서브 히트 슬러그를 포함하고,

상기 제1 및 제2 서브 히트 슬러그들 중 어느 하나는 다른 하나 위에 제공된 반도체 패키지.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 히트 슬러그를 갖는 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 디바이스의 고속화 및 동작 주파수의 증가와 더불어 발열이 심해지고, ESD나 EMI 등의 전기적 특성이 나빠지는 문제점이 대두되고 있다. 종래 반도체 디바이스의 열적 특성을 개선하기 위해 히트 슬러그를 이용하는 것이 일반적이다. 히트 슬러그는 주로 전도체로 구성되고 몰딩막 위에 결합시킨다. 이러한 히트 슬러그는 칩 및 /또는 반도체 패키지에서 발생하는 열을 흡수하여 공기 중으로 방출하여 반도체 패키지의 열적 특성을 개선한다.

[0003] 히트 슬러그는 반도체 패키지의 열적 특성을 위해 고안된 것이므로 전기적 특성을 개선시키는 것은 역부족이다. 따라서, 열적 특성을 개선시킴과 동시에 전기적 특성을 개선시킬 수 있는 개선된 구조의 반도체 패키지의 필요성이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명은 상술한 종래 기술에서의 요구 내지는 필요성에 부응하기 위하여 안출된 것으로, 본 발명의 목적은 열적 및 전기적 특성을 개선시킬 수 있는 반도체 패키지를 제공함에 있다.

과제 해결수단

[0005] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 패키지는 히트 슬러그의 구조를 개선시켜 방열 특성은 물론 전기적 특성을 개선시킨 것을 특징으로 한다.

[0006] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 반도체 패키지는, 기판 상에 실장된 반도체 칩과; 상기 반도체 칩을 몰딩하는 몰딩막과; 상기 몰딩막 상에 배치된, 전도체들 사이에 유전체가 제공된 히트 슬러그와; 그리고 상기 기판과 상기 히트 슬러그를 전기적으로 연결하는 관통 몰드 비아를 포함할 수 있다.

[0007] 본 실시예에 있어서, 상기 관통 몰드 비아는 상기 전도체들 중 어느 하나에 접속되고, 상기 어느 하나의 전도체를 상기 기판과 전기적으로 연결하는 제1 비아와; 그리고 상기 전도체들 중 다른 하나에 접속되고, 상기 다른 하나의 전도체를 상기 기판과 전기적으로 연결하는 제2 비아를 포함할 수 있다.

[0008] 본 실시예에 있어서, 상기 관통 몰드 비아는 상기 히트 슬러그를 상기 기판에 직접 연결하는 제1 파워 비아 및 제1 그라운드 비아를 갖는 제1 관통 몰드 비아와, 상기 히트 슬러그와 상기 반도체 칩을 직접 연결하여 상기 히트 슬러그를 상기 기판에 간접 연결하는 제2 파워 비아 및 제2 그라운드 비아를 갖는 제2 관통 몰드 비아 중에서 적어도 어느 하나를 포함할 수 있다.

[0009] 본 실시예에 있어서, 상기 기판은 상기 제1 파워 비아와 접속되는 제1 파워 패드와; 그리고 상기 제1 그라운드 비아와 접속되는 제1 그라운드 패드를 포함할 수 있다.

[0010] 본 실시예에 있어서, 상기 반도체 칩은 상기 제2 파워 비아와 접속되는 제2 파워 패드와; 그리고 상기 제2 그라운드 비아와 접속되는 제2 그라운드 패드를 포함할 수 있다.

[0011] 본 실시예에 있어서, 상기 반도체 칩은 상기 제2 파워 패드를 매개로 상기 제2 파워 비아와 전기적으로 연결되는 제1 관통 전극과; 그리고 상기 제2 그라운드 패드를 매개로 상기 제2 그라운드 비아와 전기적으로 연결되는 제2 관통 전극을 포함할 수 있다.

[0012] 본 실시예에 있어서, 상기 히트 슬러그는 상기 제1 및 제2 파워 비아들이 공통으로 접속하는 파워 플레인과; 그

리고 상기 제1 및 제2 그라운드 비아들이 공통으로 접속하는 그라운드 플레인을 포함하고, 상기 파워 및 그라운드 플레인들 중 어느 하나는 다른 하나 위에 제공될 수 있다.

[0013] 본 실시예에 있어서, 상기 히트 슬러그는 상기 제1 및 제2 파워 비아들이 공통으로 접속하는 파워 플레인과; 상기 제1 그라운드 비아가 접속하는 제1 그라운드 플레인과; 그리고 상기 제2 그라운드 비아가 접속하는 제2 그라운드 플레인을 포함하고, 상기 파워 플레인은 상기 제1 및 제2 그라운드 플레인들 사이에 제공될 수 있다.

[0014] 본 실시예에 있어서, 상기 히트 슬러그는 상기 제1 및 제2 그라운드 비아들이 공통으로 접속하는 그라운드 플레인과; 상기 제1 파워 비아가 접속하는 제1 파워 플레인과; 그리고 상기 제2 파워 비아가 접속하는 제2 파워 플레인을 포함하고, 상기 그라운드 플레인은 상기 제1 및 제2 파워 플레인들 사이에 제공될 수 있다.

[0015] 본 실시예에 있어서, 상기 히트 슬러그는 상기 제1 파워 비아가 접속하는 제1 파워 플레인과 상기 제1 그라운드 비아가 접속하는 제1 그라운드 플레인을 갖는 제1 서브 히트 슬러그와; 그리고 상기 제2 파워 비아가 접속하는 제2 파워 플레인과 상기 제2 그라운드 비아가 접속하는 제2 그라운드 플레인을 갖는 제2 서브 히트 슬러그를 포함하고, 상기 제1 및 제2 서브 히트 슬러그들 중 어느 하나는 다른 하나 위에 제공될 수 있다.

효과

[0016] 본 발명에 의하면, 주로 열적 특성을 향해 사용되는 히트 슬러그를 PI, SI, ESD, EMI 등의 전기적 특성 향상을 위해 사용할 수 있게 된다. 따라서, 반도체 패키지의 열적 및 전기적 신뢰성을 확보할 수 있는 효과가 있다. 아울러, 히트 슬러그의 넓은 플레인을 이용함으로써 고주파 임피던스 특성을 개선시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명에 따른 히트 슬러그를 갖는 반도체 패키지를 첨부한 도면을 참조하여 상세히 설명한다.

[0018] 본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련해서 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.

[0019] (실시예)

[0020] 도 1a는 본 발명의 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 1a를 참조하면, 반도체 패키지(100)는 와이어 본딩 패키지로써 기판(110)과 히트 슬러그(150: Heat Slug)는 관통 몰드 비아(170: Through Mold Via)에 의해 전기적으로 연결될 수 있다.

[0021] 예컨대, 반도체 패키지(100)는 몰딩막(140)에 의해 몰딩된 적어도 하나의 반도체 칩(120)이 실장된 기판(110)을 포함할 수 있다. 반도체 칩(120)은 메모리 칩, 로직 칩, 혹은 이들이 혼합된 칩일 수 있다. 기판(110)은 파워(전원) 핀 혹은 파워 플레인과 같이 반도체 칩(120)에 파워를 제공하는 용도로 쓰일 수 있는 전기적 부재(102)와 그라운드(접지) 핀 혹은 그라운드 플레인과 같이 그라운드를 위한 전기적 부재(104)를 포함하는 다양한 핀이나 배선 등이 마련된 인쇄회로기판(PCB)일 수 있다.

[0022] 본딩 와이어(130)는 반도체 칩(120)의 활성면(120f)과 기판(110)의 상면(110f)에 접속하여 반도체 칩(120)과 기판(110)을 서로 전기적으로 연결시킬 수 있다. 가령 복수개의 본딩 와이어(130) 중 일부는 파워용 전기적 부재(102)와 연결되고 다른 일부는 그라운드용 전기적 부재(104)와 연결될 수 있다. 기판(110)의 하면(110b)에는 반도체 패키지(100)를 외부 장치에 전기적으로 연결하는 솔더볼과 같은 하나 이상의 외부 단자(180)가 부착되어 있을 수 있다. 반도체 칩(120)과 기판(110)의 사이, 및/또는 복수개의 반도체 칩(120) 사이들에는 접착막(125)이 개재될 수 있다.

[0023] 몰딩막(140) 상에는 히트 슬러그(150)가 제공될 수 있다. 일례로 히트 슬러그(150)는 접착제 등에 의해 몰딩막(140)과 견고히 결합될 수 있다. 히트 슬러그(150)는 제1 전도체(152)와 제2 전도체(154) 사이에 유전체(156)가 제공된 플레인(plane) 형태일 수 있다. 히트 슬러그(150)에는 제2 전도체(154) 및 유전체(156)를 관통하는 홀(158)이 형성되어 있을 수 있다. 히트 슬러그(150)는 본 실시예에서와 같이 두 개의 전도체들(152, 154) 사이에 하나의 유전체(156)가 제공된 구조이거나 혹은 도 7에 도시된 바와 같이 복수개의 전도체 사이들 사이에 유전체들이 제공된 멀티 구조일 수 있다.

- [0024] 히트 슬러그(150)는 관통 몰드 비아(170)를 통해 기관(110)과 전기적으로 연결될 수 있다. 관통 몰드 비아(170)는 몰딩막(140)을 관통하여 연장된 기둥 형태의 전도체일 수 있다. 관통 몰드 비아(170)는 제1 비아(172)와 제2 비아(174)를 포함할 수 있다. 제1 전도체(152)와 제2 전도체(154) 중 어느 하나는 제1 비아(172)와 접속될 수 있고, 다른 하나는 제2 비아(172)와 접속될 수 있다. 예컨대, 제1 전도체(152)는 제1 비아(172)와 연결될 수 있고, 제2 전도체(154)는 제2 비아(174)와 연결될 수 있다. 관통 몰드 비아(170)는, 본 발명이 이에 한정되지 아니하는 단지 하나의 예로서, 반도체 패키지(100)의 에지에 하나 이상 배치될 수 있다.
- [0025] 기관(110)의 상면(110f)에는 제1 비아(172)와 접속되는 제1 패드(112)와, 제2 비아(174)와 접속되는 제2 패드(114)가 제공될 수 있다. 본 실시예에 의하면 제1 패드(112)는 파워용 전기적 부재(102)와 전기적으로 연결된 파워 패드이고, 제2 패드(114)는 그라운드용 전기적 부재(104)와 전기적으로 연결된 그라운드 패드일 수 있다. 따라서, 제1 전도체(152)는 제1 비아(172)를 통해 파워용 전기적 부재(102)와 전기적으로 연결되고, 제2 전도체(154)는 제2 비아(174)를 통해 기관(110)과 전기적으로 연결될 수 있다.
- [0026] 본 실시예에 의하면, 제1 전도체(152)는 파워 플레인(Power plane)으로 작용하고, 제2 전도체(154)는 그라운드 플레인(Ground plane)으로 작용할 수 있다. 다른 예로서, 제1 비아(172)는 파워 공급용 본딩 와이어(130)와 제1 배선을 통해 연결되고, 제2 비아(174)는 그라운드용 본딩 와이어(130)와 제2 배선을 통해 직접 연결될 수 있다. 상기 제1 및 제2 배선들은 기관(110)의 상면(110f)에 제공될 수 있다.
- [0027] 제1 비아(172)는 홀(158)을 통해 제1 전도체(152)와 접속하며, 제1 비아(172)와 제2 전도체(154)와의 전기적 격리를 위해 홀(158) 내에는 절연막(160)이 채워질 수 있다. 다른 예로, 절연막(160)이 채워지지 아니하고 에어 갭(air gap)이 형성될 수 있다.
- [0028] 히트 슬러그(150)가 도 7에 도시된 바와 같이 멀티 구조인 경우 복수개의 전도체 중에서 일부는 파워 플레인으로 활용되고, 나머지는 그라운드 플레인으로 활용될 수 있다. 히트 슬러그(150)가 멀티 구조인 예는 도 1c 및 1d를 참조하여 후술된다.
- [0029] 히트 슬러그(150)는 반도체 패키지(100)에서 발생하는 열을 외부로 발산시켜 반도체 패키지(100)의 열적 특성을 개선시키는 역할을 할 수 있다. 더불어, 히트 슬러그(150)는 이하에서 설명한 바와 같이 반도체 패키지(100)의 전기적 특성을 개선시킬 수 있다.
- [0030] 본 실시예에 의하면, 히트 슬러그(150)는 두 개의 전도체들(152,154) 사이에 유전체(156)가 제공된 플레인 형태의 캐패시터 구조이다. 그리고, 히트 슬러그(150)의 제2 전도체(154)는 그라운드 플레인으로 작용할 수 있다. 결과적으로 반도체 패키지(100)는 기관(110) 내에 그라운드용 전기적 부재(104) 이외에 상대적으로 큰 면적의 제2 전도체(154), 즉 그라운드 플레인을 더 포함하는 것이어서 정전기 방전(ESD: Electrostatic Discharge)에 견딜 수 있는 용량 내지는 능력이 증대될 수 있다. 설령, 기관(110)에 그라운드용 전기적 부재(104)가 마련되지 않았다 하더라도 히트 슬러그(150)는 접지 플레인(154)을 포함하므로 반도체 패키지(100)로 하여금 우수한 정전기 방전 내성을 가지게 할 수 있다. 따라서, 히트 슬러그(150)는 반도체 패키지(100)의 방열 특성을 개선시킴과 동시에 정전기 방전 내성(ESD Robustness)을 증가시킬 수 있다. 히트 슬러그(150)가 가질 수 있는 캐패시턴스(Capacitance)는 유전체(156)의 두께가 감소할수록, 및/또는 유전체(156)의 유전율이 클수록 더 커질 수 있다.
- [0031] 반도체 패키지(100)에 공급되는 파워의 품질, 즉 PI(Power Integrity)는 임피던스에 의해 그 특성이 나빠질 수 있다. 임피던스는 인덕턴스에 비례하고 캐패시턴스에 반비례하는 경향이므로, 캐패시터를 마련함으로써 PI를 개선시킬 수 있다. 본 실시예에 의하면, 히트 슬러그(150)는 캐패시터 구조를 가지므로 PI를 개선시킬 수 있다. 히트 슬러그(150)는 플레인 형태의 캐패시터이므로 고주파, 가령 GHz 단위의 고주파 임피던스를 개선시킬 수 있다. 따라서, 히트 슬러그(150)는 기관(110)의 디커플링 캐패시턴스(De-coupling capacitance)로써 억제할 수 없는 고주파에서 발생하는 공진(Resonance)을 억제할 수 있기 때문에 PI 특성을 효과적으로 개선시킬 수 있다. 그러므로, 본 실시예의 반도체 패키지(100)는 고속으로 동작으로 제품, 가령 500 MHz 이상의 속도로 동작하는 메모리나 비메모리에 널리 이용될 수 있다.
- [0032] 게다가, 히트 슬러그(150)의 전도체들(152,154)이 반도체 패키지(100)에 붙어있는 구조이므로, 히트 슬러그(150)는 반도체 패키지(100)의 내부에서 발생하는 전기장 및/또는 자기장을 흡수하여 전자기장 간섭(EMI; Electromagnetic Interference)을 개선시키는 역할을 할 수 있다.
- [0033] 상술한 바와 같이, 히트 슬러그(150)는 PI를 개선시킬 수 있기 때문에 이와 관련된 SI(Signal Integrity) 특성 또한 개선시킬 수 있다. 아울러, 개선된 PI 특성으로 인해 본 실시예의 기관(110)은 레이어를 줄일 수 있고, 기관(110)에 디커플링 캐패시턴스를 확보하기 위한 디커플링 캐패시터를 포함하지 않을 수 있다.

- [0034] 상기 예는 제1 전도체(152)는 파워 플레인, 제1 비아(172)는 파워 비아, 제2 전도체(154)는 그라운드 플레인, 및 제2 비아(174)는 그라운드 비아로 작용하는 경우를 설명한 것이다. 이와 다른 예로서, 제1 전도체(152)는 그라운드 플레인, 제1 비아(172)는 그라운드 비아, 제2 전도체(154)는 파워 플레인, 및 제2 비아(174)는 파워 비아로 작용할 수 있다. 또 다른 예로서, 반도체 칩들(120)은 기판(110)과 와이어 본딩되지 아니하고 도 4에 도시된 바와 유사하게 반도체 칩들(120)을 관통하는 관통 전극들을 통해 기판(110)과 전기적으로 연결될 수 있다.
- [0035] (제조방법의 일례)
- [0036] 반도체 패키지(100)는 다양한 방법으로 제조할 수 있다. 방법의 일례로서, 인쇄회로기판(PCB)와 같은 기판(110)을 제공할 수 있다. 기판(110)의 상면(110f)에는 제1 패드(112) 및 제2 패드(114), 그리고 제1 패드(112)와 전기적으로 연결된 파워용 전기적 부재(102) 및 제2 패드(114)와 전기적으로 연결된 그라운드용 전기적 부재(104)를 형성할 수 있다. 혹은 제1 패드(112) 및 제2 패드(114), 그리고 파워용 전기적 부재(102) 및 그라운드용 전기적 부재(104)가 미리 마련된 기판(110)을 제공할 수 있다.
- [0037] 기판(110)의 상면(110f)에 적어도 하나, 가령 복수개의 반도체 칩들(120)을 접착막(125)을 개재시켜 적층할 수 있다. 이와 병행하여, 반도체 칩들(120)간, 및 반도체 칩들(120)과 기판(110)을 전기적으로 이어주는 본딩 와이어들(130)을 형성할 수 있다. 본딩 와이어들(130) 중 일부는 파워용 전기적 부재(102)와 전기적으로 연결되고, 다른 일부는 그라운드용 전기적 부재(104)와 전기적으로 연결될 수 있다. 다른 예로, 관통 전극을 포함하는 복수개의 반도체 칩(120)을 적층할 수 있다.
- [0038] 기판(110)의 상면(110f)에 반도체 칩들(120)을 몰딩하는 몰딩막(140)을 형성할 수 있다. 몰딩막(140)은 에폭시 몰딩 컴파운드(EMC)로 형성할 수 있다. 레이저 드릴링 혹은 식각 공정으로 몰딩막(140)의 일부를 관통하여 제2 패드(114)를 개방하는 몰드 비아홀을 형성하고, 몰드 비아홀을 금속이나 폴리실리콘 등과 같은 전도체로 채워넣어 몰딩막(140)을 관통하여 제2 패드(114)에 접속되는 제2 비아(174)를 형성할 수 있다.
- [0039] 몰딩막(140) 상에 제2 전도체(154)와 유전체(156)를 형성할 수 있다. 제2 전도체(154)는 구리나 알루미늄과 같은 전기전도도가 비교적 높은 물질로 형성할 수 있다. 제2 비아(174)는 제2 전도체(154)와 접속할 수 있다. 유전체(156)는 옥사이드(예: SiO₂), 나이트라이드(예: SiON, SiN, Si₃N₄), 혹은 고유전막(예: (Ba,Sr)TiO₃, HfO₂, Al₂O₃, Ta₂O₅) 등을 포함할 수 있다. 그런 다음, 레이저 드릴링이나 식각 공정으로 유전체(156) 및 제2 전도체(154)의 일부를 제거하여 홀(158)을 형성하고, 그 홀(158)을 절연막(160)으로 매립할 수 있다.
- [0040] 일례로 레이저 드릴링 공정을 이용하여 절연막(160) 및 몰딩막(140)을 관통하여 제1 패드(112)를 개방하는 몰드 비아홀을 형성하고, 그 몰드 비아홀을 금속이나 폴리실리콘 등과 같은 전도체로 채워넣어 제1 비아(172)를 형성할 수 있다. 제1 비아(172)는 절연막(160)에 의해 제2 전도체(154)와 이격될 수 있다.
- [0041] 유전체(156) 상에 제1 전도체(152)를 형성할 수 있다. 제1 비아(172)는 제1 전도체(152)와 접속될 수 있다. 제1 전도체(152)는 제2 전도체(154)와 동일 유사한 전도체로 형성할 수 있다. 그리고, 기판(110)의 하면(110b)에 복수개의 외부 단자들(180)을 부착할 수 있다.
- [0042] 상기 일련의 과정에 의하면, 제1 및 제2 비아(172,174)를 갖는 관통 몰드 비아(170)가 제1 및 2 전도체(152,154) 사이에 유전체(156)가 제공된 히트 슬러그(150)를 기판(110)에 전기적으로 연결하여, 열적 및 전기적 특성이 향상된 반도체 패키지(100)를 제조할 수 있게 된다.
- [0043] (제조방법의 변형예)
- [0044] 제조방법의 변형예로, 몰딩막(140)에 의해 몰딩된 반도체 칩들(120)이 와이어 본딩된 기판(110)을 제공하고, 제1 및 제2 유전체들(152,154) 사이에 유전체(156)가 제공된 히트 슬러그(150)를 제공할 수 있다.
- [0045] 몰딩막(140)을 레이저 드릴링으로 제1 패드(112) 및 제2 패드(114)를 개방하는 몰드 비아홀들을 형성하고, 몰드 비아홀들을 채우며 제1 및 제2 패드(112,114)와 각각 접속하는 제1 및 제2 비아(172,174)를 형성할 수 있다. 이 경우 제1 비아(172)는 몰딩막(140)을 관통하는 길이로 형성될 것이다.
- [0046] 히트 슬러그(150)를 가공하여 홀(158)을 형성할 수 있다. 예컨대 레이저 드릴링으로 히트 슬러그(150)의 일부를 제거하여 제2 전도체(154) 및 유전체(156)의 일부를 제거하여 홀(158)을 형성하고, 홀(158)을 절연막(160)으로

매립할 수 있다. 절연막(160)을 일부 제거하여 홀(158)을 통해 제1 전도체(152)가 노출된 공간을 형성하고, 그 공간에 전도체로 매립할 수 있다. 이 전도체는 제1 전도체(152)와 접촉하며 제1 비아(172)의 일부를 형성할 수 있다.

[0047] 몰딩막(140) 상에 상기 가공된 히트 슬러그(150)를 접착제 등으로 부착할 수 있다. 기관(110)의 하면(110b)에 복수개의 외부 단자들(180)을 부착하므로써, 반도체 패키지(100)를 구현할 수 있다.

[0048] (제조방법의 다른 변형예)

[0049] 제조방법의 다른 변형예로, 몰딩막(140)에 의해 몰딩된 반도체 칩들(120)이 와이어 본딩된 기관(110)을 제공하고, 제1 및 제2 유전체들(152,154) 사이에 유전체(156)가 제공된 히트 슬러그(150)를 제공할 수 있다.

[0050] 몰딩막(140) 상에 가령 절연물로서 희생막을 형성하고, 가령 레이저 드릴링으로 희생막과 몰딩막(140)을 일부 제거하여 제1 및 제2 패드(112,114)를 개방하는 몰드 비아홀들을 형성할 수 있다. 몰드 비아홀들을 전도체로 매립하여 제1 및 제2 패드(112,114)와 접촉하는 제1 및 제2 비아(172,174)를 형성할 수 있다. 이 경우, 제1 및 제2 비아(172,174)는 몰딩막(140)을 관통하는 길이에 비해 더 큰 길이로 형성될 것이다. 가령 화학기계적 연마 공정으로 희생막을 제거할 수 있다. 이때, 몰딩막(140) 위로 돌출된 제1 및 제2 비아(172,174)의 일부도 같이 제거되는 경우가 있을 수 있다.

[0051] 히트 슬러그(150)를 가공하여 홀(158)을 형성하고, 홀(158)을 통해 제1 전도체(152)가 노출된 공간을 형성하고, 그 공간에 전도체로 매립할 수 있다. 이 전도체는 제1 전도체(152)와 접촉하며 제1 비아(172)의 일부를 형성할 수 있다. 몰딩막(140) 상에 상기 가공된 히트 슬러그(150)를 접착제 등으로 부착하고, 기관(110)의 하면(110b)에 복수개의 외부 단자들(180)을 부착하므로써, 반도체 패키지(100)를 구현할 수 있다.

[0052] (제조방법의 또 다른 변형예)

[0053] 제조방법의 또 다른 변형예로, 몰딩막(140)에 의해 몰딩된 반도체 칩들(120)이 와이어 본딩된 기관(110)을 제공하고, 제1 및 제2 유전체들(152,154) 사이에 유전체(156)가 제공된 히트 슬러그(150)를 제공할 수 있다.

[0054] 몰딩막(140) 상에 가령 절연물로서 희생막을 형성하고, 가령 레이저 드릴링으로 희생막과 몰딩막(140)을 일부 제거하여 제1 및 제2 패드(112,114)를 개방하는 몰드 비아홀들을 형성할 수 있다. 몰드 비아홀들을 전도체로 매립하여 제1 및 제2 패드(112,114)와 접촉하는 제1 및 제2 비아(172,174)를 형성할 수 있다. 이 경우, 제1 및 제2 비아(172,174)는 몰딩막(140)을 관통하는 길이에 비해 더 큰 길이로 형성될 것이다. 가령 식각 공정으로 희생막을 제거할 수 있다. 이때, 희생막은 제거되고, 몰딩막(140) 위로 돌출된 제1 및 제2 비아(172,174)는 제거되지 않는 경우가 있을 수 있다. 몰딩막(140) 위로 돌출된 제2 비아(174)의 일부를 선택적으로 제거할 수 있다.

[0055] 히트 슬러그(150)를 가공하여 홀(158)을 형성하고, 홀(158)을 통해 제1 전도체(152)가 노출된 공간을 형성할 수 있다. 홀(158)은 제1 비아(172) 중 몰딩막(140) 위로 돌출된 부분과 동일한 깊이로 형성할 수 있다. 상기 가공된 히트 슬러그(150)를 접착제 등으로 몰딩막(140) 상에 부착할 수 있다. 접착제는 몰딩막(140) 상에 제2 비아(174)의 단부가 노출된 부분에 도포되지 않을 수 있다. 상기 부착 과정에 의해 제1 비아(172)는 홀(158)을 통해 제1 전도체(152)와 접촉하고, 제2 비아(154)는 제2 전도체(154)와 접촉할 수 있다.

[0056] 기관(110)의 하면(110b)에 복수개의 외부 단자들(180)을 부착하므로써, 반도체 패키지(100)를 구현할 수 있다. 상기 예에 의하면, 홀(158) 내에는 절연막(160)이 형성되지 아니하고 에어 갭으로 남을 수 있다.

[0057] 상기 제조방법들은 단지 일례를 지적할 뿐이지 본 발명을 이에 한정하는 것은 아니다. 당업자라면 전도체 및 유전체의 재질을 동등한 것으로 대체하거나, 공정 순서를 변경하거나, 특정 공정을 채택하거나 다른 것으로 대체하는 등의 다양한 예로 상기 반도체 패키지(100)를 비롯한 이하 다양한 예의 반도체 패키지들을 제조할 수 있다는 것을 이해할 수 있을 것이다.

[0058] (다른 실시예)

[0059] 도 1b는 본 발명의 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 1b를 참조하면, 반도체 패키지(100b)는 와이어 본딩 패키지로써 기관(110)과 히트 슬러그(150b)가 복수개의 관통 몰드 비아들(170,170b)에 의

해 전기적으로 연결된 구조일 수 있다.

- [0060] 예컨대, 히트 슬러그(150b)와 기관(110) 사이에는 관통 몰드 비아(170: 이하 제1 관통 몰드 비아) 이외에 별개의 관통 몰드 비아(170b: 이하, 제2 관통 몰드 비아)가 더 제공될 수 있다. 제1 관통 몰드 비아(170)는 제1 비아(172: 이하 제1 파워 비아)와 제2 비아(174: 이하, 제1 그라운드 비아)를 포함할 수 있고, 유사하게 제2 관통 몰드 비아(170b)는 제3 비아(172b: 이하, 제2 파워 비아)와 제4 비아(174b: 이하, 제2 그라운드 비아)를 포함할 수 있다.
- [0061] 히트 슬러그(150b)의 제1 전도체(152: 이하, 파워 플레인)에는 제1 파워 비아(172) 및 제2 파워 비아(172b)가 공통으로 연결되고, 히트 슬러그(150b)의 제2 전도체(154: 이하, 그라운드 플레인)에는 제1 그라운드 비아(174) 및 제2 그라운드 비아(174b)가 공통으로 연결될 수 있다. 본 실시예에 의하면, 제2 관통 몰드 비아(170b)가 더 포함되므로 인덕턴스를 더 낮출 수 있게 되어 PI 특성을 더 개선시킬 수 있다.
- [0062] 히트 슬러그(150b)는 제1 파워 비아(172)를 그라운드 플레인(154)으로부터 전기적으로 격리시키되 파워 플레인(152)에 접속될 수 있도록 하는 홀(158: 이하, 제1 홀) 이외에 제2 파워 비아(172b)를 그라운드 플레인(154)으로부터 전기적으로 격리시키되 파워 플레인(152)에 접속될 수 있도록 하는 제2 홀(158b)을 더 포함할 수 있다. 제2 홀(158b)은 그라운드 플레인(154)과 유전체(156)를 관통하여 형성될 수 있다. 제1 홀(158) 내에는 제1 절연막(160)이 채워질 수 있고, 제2 홀(158b) 내에는 제2 절연막(160b)이 채워질 수 있다.
- [0063] 기관(110)의 상면(110f)에는 파워 패드(112: 제1 파워 패드) 및 그라운드 패드(114: 제1 그라운드 패드) 이외에 제2 파워 비아(172b)와 연결되는 파워 패드(112b: 제2 파워 패드) 및 제2 그라운드 비아(174b)와 연결되는 그라운드 패드(114b: 제2 그라운드 패드)가 더 포함될 수 있다. 일례로, 제1 및 제2 파워 패드들(112, 112b)은 파워용 전기적 부재(102: 제1 파워용 전기적 부재)에 공통으로 연결되고, 제1 및 제2 그라운드 패드들(114, 114b)은 그라운드용 전기적 부재(104: 제1 그라운드용 전기적 부재)에 공통으로 연결될 수 있다.
- [0064] 다른 예로, 기관(110)은 제2 파워용 전기적 부재(102b)와 제2 그라운드용 전기적 부재(104b)를 더 포함할 수 있다. 상기 다른 예에 의하면, 제1 및 제2 파워 패드들(112, 112b)은 제1 및 제2 파워용 전기적 부재들(102, 102b)에 각각 연결되고, 제1 및 제2 그라운드 패드들(114, 114b)은 제1 및 제2 그라운드용 전기적 부재들(104, 104b)에 각각 연결될 수 있다.
- [0065] 상기 일례 혹은 다른 예에 있어서, 제1 및 제2 파워용 전기적 부재들(102, 102b)에 의해 공급되는 파워는 동일한 크기이거나 혹은 서로 다른 크기일 수 있다. 일례로, 제1 파워용 전기적 부재(102)는 반도체 칩(120)에 고전압의 파워를 공급하고, 제2 파워용 전기적 부재(104)는 반도체 칩(120)에 저전압의 파워를 공급할 수 있도록 설계될 수 있다.
- [0066] 본 실시예는 두 개의 관통 몰드 비아들(170, 170b)을 포함하지만 본 발명은 이에 한정되지 아니하고 3개 이상 포함할 수 있다. 이외에 대해서는 도 1a의 설명이 적용될 수 있다.
- [0067] 상기 예는 제1 전도체(152)는 파워 플레인, 제1 전도체(152)에 접속되는 제1 및 제3 비아(172, 172b)는 파워 비아, 제2 전도체(154)는 그라운드 플레인, 그리고 제2 전도체(154)에 접속되는 제2 및 제4 비아(174, 174b)는 그라운드 비아인 경우를 설명한 것이다. 이와 다른 예로서, 제1 전도체(152)는 그라운드 플레인, 제1 전도체(152)에 접속되는 제1 및 제3 비아(172, 172b)는 그라운드 비아, 제2 전도체(154)는 파워 플레인, 그리고 제2 전도체(154)에 접속되는 제2 및 제4 비아(174, 174b)는 파워 플레인일 수 있다.
- [0068] (또 다른 실시예)
- [0069] 도 1c는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 1c를 참조하면, 반도체 패키지(100c)는 와이어 본딩 패키지로써 기관(110)과 히트 슬러그(150c)가 복수개의 관통 몰드 비아들(170, 170b)에 의해 서로 전기적으로 연결될 수 있다. 하기 설명한 것 이외는 도 1a 또는 도 1b의 설명이 적용될 수 있다.
- [0070] 본 실시예의 히트 슬러그(150c)는 제1 유전체(156)를 사이에 두고 제1 전도체(152)의 아래에 배치된 제2 전도체(154), 그리고 제2 유전체(156c)를 사이에 두고 제1 전도체(152)의 위에 배치된 제3 전도체(154c)가 포함된 멀티 구조일 수 있다. 히트 슬러그(150c)에 있어서 세 개의 전도체들(152, 154, 154c) 중 어느 하나는 파워 플레인이고 다른 두 개는 그라운드 플레인일 수 있다. 이와 다르게, 세 개의 전도체들(152, 154, 154c) 중 어느 하나는 그라운드 플레인이고 다른 두 개는 파워 플레인일 수 있다.

- [0071] 히트 슬러그(150c)에는 제1 비아(172)의 제1 전도체(152)로의 연결 공간을 제공하는 제1 홀(158)이 포함될 수 있고, 제1 홀(158)에는 제1 비아(172)를 제2 전도체(154)로부터 전기적으로 격리시키는 제1 절연막(160)이 채워질 수 있다. 유사하게, 히트 슬러그(150c)에는 제3 비아(172b)의 제1 전도체(152)로의 연결 공간을 제공하는 제2 홀(158b)이 포함될 수 있고, 제2 홀(158b)에는 제3 비아(172b)를 제1 전도체(154)로부터 전기적으로 격리시키는 제2 절연막(160b)이 채워질 수 있다. 유사하게, 제4 비아(174b)의 제3 전도체(154c)로의 연결 공간을 제공하는 제3 홀(158c)이 포함될 수 있고, 제3 홀(158c)에는 제4 비아(174b)를 제1 전도체(152) 및 제2 전도체(154)로부터 전기적으로 격리시키는 제3 절연막(160c)이 채워질 수 있다.
- [0072] 일례로, 제1 전도체(152: 파워 플레인)에는 제1 관통 몰드 비아(170)의 제1 비아(172: 제1 파워 비아)와 제2 관통 몰드 비아(170b)의 제3 비아(172b: 제2 파워 비아)가 공통으로 연결될 수 있다. 제2 전도체(154: 제1 그라운드 플레인)에는 제1 관통 몰드 비아(170)의 제2 비아(174: 제1 그라운드 비아)가 연결되고, 제3 전도체(154c: 제2 그라운드 플레인)에는 제2 관통 몰드 비아(170b)의 제4 비아(174b: 제2 그라운드 비아)가 연결될 수 있다.
- [0073] 상기 일례는 두 개의 그라운드 플레인들(154, 154c) 사이에 하나의 파워 플레인(152)이 배치된 구조로서, 파워 플레인(152)과 제1 그라운드 플레인(154) 또는 파워 플레인(152)과 제2 그라운드 플레인(154c)을 갖는 구조에 비해 캐패시턴스가 더 확대될 수 있다. 따라서, ESD 내성이 우수해지고 PI를 비롯한 SI, EMI 등의 전기적 특성이 더 개선될 수 있다.
- [0074] 다른 예로서, 제1 전도체(152: 그라운드 플레인)에는 제1 관통 몰드 비아(170)의 제1 비아(172: 제1 그라운드 비아)와 제2 관통 몰드 비아(170b)의 제3 비아(172b: 제2 그라운드 비아)가 공통으로 연결될 수 있다. 제2 전도체(154: 제1 파워 플레인)에는 제1 관통 몰드 비아(170)의 제2 비아(174: 제1 파워 비아)가 연결되고, 제3 전도체(154c: 제2 파워 플레인)에는 제2 관통 몰드 비아(170b)의 제4 비아(174b: 제2 파워 비아)가 연결될 수 있다.
- [0075] 상기 다른 예는 하나의 그라운드 플레인(152) 양쪽으로 파워 플레인(154, 154c)이 각각 하나씩 배치된 구조로서, 그라운드 플레인(152)과 제1 파워 플레인(154) 또는 그라운드 플레인(152)과 제2 파워 플레인(154c)을 갖는 구조에 비해 캐패시턴스가 더 확대될 수 있어 ESD, PI, SI, EMI 등의 전기적 특성이 더 개선될 수 있다.
- [0076] (또 다른 실시예)
- [0077] 도 1d는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 1d를 참조하면, 반도체 패키지(100d)는 와이어 본딩 패키지로써 기판(110)과 히트 슬러그(150d)가 복수개의 관통 몰드 비아들(170, 170b)에 의해 서로 전기적으로 연결될 수 있다. 하기 설명한 것 이외는 도 1a 또는 도 1b의 설명이 적용될 수 있다.
- [0078] 본 실시예의 히트 슬러그(150d)는 제1 서브 히트 슬러그(153)와 제2 서브 히트 슬러그(153d)를 포함할 수 있다. 일례로, 제1 서브 히트 슬러그(153)는 제1 파워 플레인(152)과 제1 그라운드 플레인(154) 사이에 제1 유전체(156)가 제공된 캐패시터 형태일 수 있다. 유사하게, 제2 서브 히트 슬러그(153d)는 제2 파워 플레인(152d)과 제2 그라운드 플레인(154d) 사이에 제2 유전체(156c)가 제공된 캐패시터 형태일 수 있다. 제2 서브 히트 슬러그(153d)는 제1 서브 히트 슬러그(153) 상에 층간 유전체(156c)의 개재하에 적층될 수 있다.
- [0079] 제1 서브 히트 슬러그(153)는 제1 관통 몰드 비아(170)와 접속하고, 제2 서브 히트 슬러그(153d)는 제2 관통 몰드 비아(170b)와 접속할 수 있다. 예를 들어, 제1 관통 몰드 비아(170)의 제1 파워 비아(172) 및 제1 그라운드 비아(174)는 제1 서브 히트 슬러그(153)의 제1 파워 플레인(152) 및 제1 그라운드 플레인(154)과 각각 접속할 수 있다. 마찬가지로, 제2 관통 몰드 비아(170b)의 제2 파워 비아(172b) 및 제2 그라운드 비아(174b)는 제2 서브 히트 슬러그(153d)의 제2 파워 플레인(152d) 및 제2 그라운드 플레인(154d)과 각각 접속할 수 있다.
- [0080] 히트 슬러그(150d)에는 제1 그라운드 플레인(154) 및 제1 유전체(156)를 관통하는 제1 홀(158)이 포함되어 있어서 제1 파워 비아(172)가 제1 파워 플레인(152)에 접속할 수 있다. 제1 홀(158)에는 제1 절연막(160)이 채워질 수 있다. 유사하게, 히트 슬러그(150d)에는 제2 유전체(156d), 제2 그라운드 플레인(154d), 층간 유전체(156c), 제1 파워 플레인(152), 제1 유전체(156) 및 제1 그라운드 플레인(154)을 관통하는 제2 홀(158c)이 더 형성되어 있어서 제2 파워 비아(172b)는 제2 파워 플레인(152d)에 접속할 수 있다. 제2 홀(158c)에는 제2 절연막(160c)이 채워질 수 있다. 이에 더하여, 히트 슬러그(150d)에는 층간 유전체(156c), 제1 파워 플레인(152), 제1 유전체(156) 및 제1 그라운드 플레인(154)을 관통하는 제3 홀(158d)이 더 형성되어 있어 제2 그라운드 비아(174b)는 제2 그라운드 플레인(154d)에 접속할 수 있다. 제3 홀(158d)에는 제3 절연막(160d)이 채워질 수 있다.
- [0081] 상기 예에 의하면, 파워 플레인들(152, 152d)은 서로 다른 파워 비아들(172, 172b)에 각각 접속될 수 있고, 그라

운드 플레인들(154, 154d)은 서로 다른 그라운드 비아들(174, 174b)에 각각 접속될 수 있다. 따라서, 반도체 패키지(100d)는 적어도 두 개의 캐패시터를 포함할 수 있어 캐패시턴스가 충분히 확보될 수 있다.

[0082] 다른 예로서, 파워 플레인들(152, 152d)과 그라운드 플레인들(156, 156d)은 서로 반대 기능을 담당할 수 있다. 마찬가지로, 파워 비아들(172, 172b)과 그라운드 비아들(174, 174b) 역시 서로 반대 기능을 담당할 수 있다. 상기 다른 예에 의하면, 그라운드 플레인들(152, 152d)은 서로 다른 그라운드 비아들(172, 172b)에 각각 접속될 수 있고, 파워 플레인들(154, 154d)은 서로 다른 파워 비아들(174, 174b)에 각각 접속될 수 있다.

[0083] 도 1a 내지 도 1d를 참조하여 설명한 것은 이하에서 후술한 다양한 실시예들에 선택적으로 혹은 필요에 따라 적절한 변형을 가하여 적용할 수 있다는 것은 당업자라면 충분히 이해할 수 있을 것이다.

[0084] (또 다른 실시예)

[0085] 도 2는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 2를 참조하면, 반도체 패키지(200)는 플립칩 패키지로서 히트 슬러그(250)와 기관(210)이 관통 몰드 비아(270)에 의해 서로 전기적으로 연결될 수 있다.

[0086] 예컨대, 반도체 패키지(200)는 반도체 칩(220)의 활성면(220f)은 아래 방향, 즉 기관(210)을 향하고 비활성면(220b)은 그 반대 방향, 즉 히트 슬러그(250)를 향하는 플립된 상태로 기관(210)의 상면(210f)에 실장될 수 있다. 기관(210)은 파워용 전기적 부재(202)와 그라운드용 전기적 부재(204)를 포함할 수 있다. 기관(210)과 반도체 칩(220) 간의 전기적 연결은 활성면(220f)에 부착된 솔더 범프와 같은 하나 이상의 연결 단자(230)에 의해 구현될 수 있다. 예컨대, 복수개의 연결 단자들(230) 중 적어도 어느 하나는 파워용 전기적 부재(202)에 전기적으로 연결되고, 적어도 다른 하나는 그라운드용 전기적 부재(204)에 전기적으로 연결될 수 있다. 기관(210)과 반도체 칩(220) 사이에는 절연성의 언더필링막(225)이 형성될 수 있다. 언더필링막(225)에 의해 연결 단자(230)를 매개로 하는 반도체 칩(220)과 기관(210)과의 결합이 견고해질 수 있다.

[0087] 기관(210)의 하면(210b)에는 솔더볼과 같은 하나 이상의 외부 단자(280)가 부착될 수 있다. 반도체 칩(220)은 몰딩막(240)에 의해 몰딩되고, 몰딩막(240) 상에는 제1 전도체(252: 파워 플레인)와 제2 전도체(254: 그라운드 플레인) 사이에 유전체(256)가 샌드위치된 플레인 형태의 히트 슬러그(250)가 제공될 수 있다.

[0088] 히트 슬러그(250)와 기관(210) 사이에는 몰딩막(240)을 관통하는 관통 몰드 비아(270)가 제공될 수 있다. 관통 몰드 비아(270)는 파워 플레인(252)과 연결되는 파워 비아(272)와 그라운드 플레인(254)과 접속하는 그라운드 비아(274)를 포함할 수 있다. 히트 슬러그(250)에는 파워 비아(272)가 파워 플레인(252)과 접속할 수 있도록 하는 공간을 제공하는 홀(258)이 제공될 수 있고, 홀(258)에는 파워 비아(272)와 그라운드 플레인(254) 상호간의 전기적 격리를 위한 절연막(260)이 채워질 수 있다.

[0089] 기관(210)의 상면(210f)에는 파워 비아(272)가 접속되는 파워 패드(212)와, 그라운드 비아(274)가 접속되는 그라운드 패드(214)가 제공될 수 있다. 파워 패드(212)는 파워용 전기적 부재(202)에 전기적으로 연결되고, 그라운드 패드(214)는 그라운드용 전기적 부재(204)에 전기적으로 연결될 수 있다. 따라서, 파워 플레인(252)은 파워 비아(272)에 의해 파워용 전기적 부재(202)와 전기적으로 연결되고, 그라운드 플레인(254)은 그라운드 비아(274)에 의해 그라운드용 전기적 부재(204)와 전기적으로 연결될 수 있다.

[0090] 도 1a 내지 도 1d를 참조하여 설명한 바는 도 2의 반도체 패키지(200)에 적용될 수 있다. 가령, 도 1b에서와 같이 관통 몰드 비아(270)는 복수개 마련될 수 있고, 도 1c에 도시된 바와 같이 히트 슬러그(250)는 멀티 구조일 수 있고, 또는 도 1d에 도시된 바와 같이 히트 슬러그(250)는 복수개의 서브 히트 슬러그가 적층된 구조일 수 있다.

[0091] (또 다른 실시예)

[0092] 도 3은 본 발명의 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 3을 참조하면, 반도체 패키지(300)는 와이어 본딩 패키지로서 히트 슬러그(350)와 반도체 칩(320)이 관통 몰드 비아(370)에 의해 서로 전기적으로 연결될 수 있다.

[0093] 예컨대, 반도체 패키지(300)는 히트 슬러그(350)와 반도체 칩(320) 사이에 배치된 관통 몰드 비아(370)를 포함할 수 있다. 관통 몰드 비아(370)는 히트 슬러그(350)의 파워 플레인(352)과 접속되는 파워 비아(372)와, 히트

슬러그(350)의 그라운드 플레인(354)과 접속되는 그라운드 비아(374)를 포함할 수 있다. 히트 슬러그(350)는 파워 비아(372)가 파워 플레인(352)에 연결되도록 하는 공간을 제공하는 홀(358)을 포함할 수 있다. 홀(358)에는 파워 비아(372)를 그라운드 플레인(354)과 전기적으로 격리시키는 절연막(360)이 채워질 수 있다. 관통 몰드 비아(370)와 접속되는 반도체 칩(320)은 예컨대 복수개의 반도체 칩(320) 중에서 히트 슬러그(350)와 최인접하는 최상층의 반도체 칩일 수 있다.

[0094] 최상층의 반도체 칩(320)의 활성면(320f)에는 파워 패드(322) 및 그라운드 패드(324)가 제공될 수 있다. 파워 패드(322)는 파워 비아(372)에 의해 파워 플레인(352)과 전기적으로 연결되고, 그라운드 패드(324)는 그라운드 비아(374)에 의해 그라운드 플레인(354)과 전기적으로 연결될 수 있다. 그리고, 파워 패드(322) 및 그라운드 패드(324)는 본딩 와이어(330)를 통해 기관(310), 예컨대 기관(310)의 파워용 전기적 부재(302) 및 그라운드용 전기적 부재(304)와 각각 전기적으로 연결될 수 있다. 따라서, 파워 플레인(352)은 파워 비아(372)를 통해 파워용 전기적 부재(302)와 전기적으로 연결되고, 그라운드 플레인(354)은 그라운드 비아(374)를 통해 그라운드용 전기적 부재(304)와 전기적으로 연결될 수 있다. 이외는 도 1a의 설명이 적용될 수 있다.

[0095] 본 실시예에 의하면, 히트 슬러그(350)는 반도체 칩(320)과 직접 연결되어 있어서 도 1a에 도시된 바와 같이 히트 슬러그(150)와 기관(110)이 연결된 것에 비해 히트 슬러그(350)와 반도체 칩(320) 간의 경로(trace)가 상대적으로 짧아 인덕턴스를 더 낮출 수 있다. 이에 따라, 본 실시예는 임피던스 특성을 더 개선시킬 수 있고 특히 히트 슬러그(350)는 플레인 형태의 캐패시터 구조이므로 고주파 임피던스 특성을 개선시키는데 더 효과적일 수 있다.

[0096] 도 1a 내지 도 1d를 참조하여 설명한 바는 도 3의 반도체 패키지(300)에 적용될 수 있다. 예컨대, 도 1b와 유사하게 관통 몰드 비아(370)는 히트 슬러그(370)와 반도체 칩(320) 사이에 복수개 마련될 수 있거나, 도 1c에 도시된 바와 같이 히트 슬러그(350)는 멀티 구조일 수 있거나, 또는 도 1d에 도시된 바와 같이 히트 슬러그(350)는 복수개의 서브 히트 슬러그가 적층된 구조일 수 있다.

[0097] (또 다른 실시예)

[0098] 도 4는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 4를 참조하면, 반도체 패키지(400)는 플립칩 패키지로써 히트 슬러그(450)와 반도체 칩(420)이 관통 몰드 비아(470)에 의해 서로 전기적으로 연결될 수 있다.

[0099] 예컨대, 반도체 패키지(400)는 반도체 칩(420)과 히트 슬러그(450) 사이에 배치된 관통 몰드 비아(470)를 포함할 수 있다. 관통 몰드 비아(470)는 히트 슬러그(450)의 파워 플레인(452)에 연결되는 파워 비아(472)와, 히트 슬러그(450)의 그라운드 플레인(454)에 연결되는 그라운드 비아(474)를 포함할 수 있다. 히트 슬러그(450)는 파워 비아(472)와 파워 플레인(452)간의 전기적 연결 공간을 제공하는 홀(458)을 포함할 수 있고, 홀(458)에는 절연막(460)이 채워질 수 있다.

[0100] 반도체 칩(420)의 비활성면(420b)에는 파워 패드(422) 및 그라운드 패드(424)가 제공될 수 있다. 파워 패드(422)는 파워 비아(472)에 의해 파워 플레인(452)과 전기적으로 연결될 수 있고, 그라운드 패드(424)는 그라운드 비아(474)에 의해 그라운드 플레인(474)과 전기적으로 연결될 수 있다. 반도체 칩(420)에는 파워 패드(422)에 연결되는 제1 관통 전극(442)과 그라운드 패드(424)에 연결되는 제2 관통 전극(444)이 포함될 수 있다. 관통 전극들(442,444)은 예컨대 반도체 칩(420)을 관통하는 관통 실리콘 비아(Through Silicon Via)일 수 있다.

[0101] 반도체 칩(420)과 기관(410)의 전기적 연결은 하나 이상의 연결 단자(430)에 의해 구현될 수 있다. 일례로 복수개의 연결 단자(430) 중 어느 하나(432)는 파워용 전기적 부재(402)와 전기적으로 연결되고, 다른 하나(434)는 그라운드용 전기적 부재(404)와 전기적으로 연결될 수 있다. 제1 관통 전극(442)은 연결 단자(432)를 통해 파워용 전기적 부재(432)에 연결될 수 있고, 제2 관통 전극(444)은 연결 단자(434)를 통해 그라운드용 전기적 부재(404)에 연결될 수 있다. 따라서, 파워 플레인(452)은 파워 비아(472) 및 제1 관통 전극(442)을 통해 파워용 전기적 부재(402)와 전기적으로 연결될 수 있고, 그라운드 플레인(454)은 그라운드 비아(474) 및 제2 관통 전극(444)을 통해 그라운드용 전기적 부재(404)와 전기적으로 연결될 수 있다. 이외는 도 2의 설명이 적용될 수 있다.

[0102] 다른 예로서, 도 1b와 유사하게 관통 몰드 비아(470)는 히트 슬러그(450)와 반도체 칩(420) 사이에 복수개 마련될 수 있거나, 도 1c에 도시된 바와 같이 히트 슬러그(450)는 멀티 구조일 수 있거나, 또는 도 1d에 도시된 바와 같이 히트 슬러그(450)는 복수개의 서브 히트 슬러그가 적층된 구조일 수 있다. 도 1b에 도시된 바와 동일

유사하게, 관통 몰드 비아(470)가 복수개 마련된 경우 관통 전극(442,444) 또한 복수개 마련될 수 있다.

[0103] 또 다른 예로서, 반도체 칩(420)의 비활성면(420b)에는 히트 슬러그(450)와 동일 유사한 캐패시터 구조를 갖는 별개의 히트 슬러그가 더 제공될 수 있다. 더 제공된 히트 슬러그는 관통 몰드 비아(470)에 의해 히트 슬러그(450)와 전기적으로 연결될 수 있다. 아울러 더 제공된 히트 슬러그는 관통 전극들(442,444)을 통해 반도체 칩(420)과 전기적으로 연결될 수 있으며, 연결 단자(430)를 통해 기관(110)의 파워용 전기적 부재(402) 및 그라운드용 전기적 부재(404)와 전기적으로 연결될 수 있다.

[0104] (또 다른 실시예)

[0105] 도 5는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 5를 참조하면, 본 실시예의 반도체 패키지(500)는 와이어 본딩 패키지로서 히트 슬러그(550)와 기관(510)이 제1 관통 몰드 비아(570a)에 의해 서로 전기적으로 연결되고, 히트 슬러그(550)와 반도체 칩(520)이 제2 관통 몰드 비아(570b)에 의해 서로 전기적으로 연결될 수 있다. 제1 관통 몰드 비아(570a)에 대해서는 도 1a의 설명이 적용될 수 있고, 제2 관통 몰드 비아(570b)에 대해서는 도 3의 설명이 적용될 수 있다.

[0106] 예컨대, 제1 관통 몰드 비아(570a)는 히트 슬러그(550)와 기관(510) 사이에 배치될 수 있다. 제1 파워 비아(572a)는 제1 파워 패드(512)를 통해 파워용 전기적 부재(502)와 전기적으로 연결되고, 제1 그라운드 비아(574a)는 제1 그라운드 패드(514)를 통해 그라운드용 전기적 부재(504)와 전기적으로 연결될 수 있다. 제1 파워 패드(512)와 제1 그라운드 패드(514)는 기관(510)의 상면(510f)에 마련될 수 있다.

[0107] 제2 관통 몰드 비아(570b)는 히트 슬러그(550)와 반도체 칩(520) 사이에 배치될 수 있다. 제2 파워 비아(572b)는 제2 파워 패드(522)를 통해 반도체 칩(520)과 전기적으로 연결되고, 제2 그라운드 비아(574b)는 제2 그라운드 패드(524)를 통해 반도체 칩(520)과 전기적으로 연결될 수 있다. 제2 파워 패드(522) 및 제2 그라운드 패드(524)는 최상층의 반도체 칩(520)의 활성면(520f)에 마련될 수 있다. 반도체 칩(520)은 본딩 와이어(530)를 통해 파워용 전기적 부재(502) 및 그라운드용 전기적 부재(504)와 전기적으로 연결될 수 있다.

[0108] 히트 슬러그(550)에는 그라운드 플레인(554) 및 유전체(556)를 관통하여 제1 파워 비아(572a)를 파워 플레인(552)에 접속케하는 공간을 제공하는 제1 홀(558a)이 제공될 수 있다. 제1 홀(558a) 내에는 제1 파워 비아(572a)를 그라운드 플레인(554)과 전기적으로 격리시키는 제1 절연막(560a)이 채워질 수 있다. 또한, 히트 슬러그(550)에는 그라운드 플레인(554) 및 유전체(556)를 관통하여 제2 파워 비아(572b)를 파워 플레인(552)에 접속케하는 공간을 제공하는 제2 홀(558b)이 더 제공될 수 있다. 제2 홀(558b) 내에는 제2 파워 비아(572b)를 그라운드 플레인(554)과 전기적으로 격리시키는 제2 절연막(560b)이 채워질 수 있다.

[0109] 이상과 같이, 히트 슬러그(550)의 파워 플레인(552)에는 제1 및 제2 파워 비아들(572a,572b)이 공통으로 연결되고, 히트 슬러그(550)의 그라운드 플레인(554)에는 제1 및 제2 그라운드 비아들(574a,574b)이 공통으로 연결될 수 있다.

[0110] 도 1a 내지 도 1d를 참조하여 설명한 바는 도 5의 반도체 패키지(500)에 적용될 수 있다. 예컨대, 제1 및 제2 관통 몰드 비아들(570a,570b) 중 적어도 어느 하나는 도 1b에 도시된 바와 같이 복수개 마련될 수 있고, 히트 슬러그(550)는 도 1c 혹은 도 1d에 도시된 바와 같이 멀티 구조일 수 있다.

[0111] (또 다른 실시예)

[0112] 도 6은 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도이다. 도 6을 참조하면, 반도체 패키지(600)는 플리칩 패키지로서 히트 슬러그(650)와 기관(610)이 제1 관통 몰드 비아(670a)에 의해 서로 전기적으로 연결되고, 히트 슬러그(650)와 반도체 칩(620)이 제2 관통 몰드 비아(670b) 및 관통 전극들(642,644)에 의해 서로 전기적으로 연결될 수 있다. 제1 관통 몰드 비아(670a)에 대해서는 도 2의 설명이 적용될 수 있고, 제2 관통 몰드 비아(670b) 및 관통 전극들(642,644)에 대해서는 도 4의 설명이 적용될 수 있다.

[0113] 예컨대, 제1 관통 몰드 비아(670a)는 히트 슬러그(650)와 기관(610) 사이에 배치될 수 있고, 파워 플레인(652)과 제1 파워 패드(612)를 서로 전기적으로 연결하는 제1 파워 비아(672a)와, 접지 플레인(654)과 제1 그라운드 패드(614)를 서로 전기적으로 연결하는 제1 그라운드 비아(674a)를 포함할 수 있다. 제1 파워 패드(612) 및 제1 그라운드 패드(614)는 기관(610)의 상면(610f)에 제공될 수 있다. 제1 파워 패드(612)는 파워용 전기적 부재

(602)와 전기적으로 연결되고, 제1 그라운드 패드(614)는 그라운드용 전기적 부재(604)와 전기적으로 연결될 수 있다.

- [0114] 제2 관통 몰드 비아(670b)는 히트 슬러그(650)와 반도체 칩(620) 사이에 배치될 수 있고, 파워 플레인(652)과 제2 파워 패드(622)를 서로 전기적으로 연결하는 제2 파워 비아(672b)와, 접지 플레인(654)과 제2 그라운드 패드(624)를 서로 전기적으로 연결하는 제2 그라운드 비아(674b)를 포함할 수 있다. 제2 파워 패드(622)와 제2 그라운드 패드(624)는 반도체 칩(620)의 비활성면(620b)에 제공될 수 있다.
- [0115] 반도체 칩(620)은 제2 파워 패드(622)를 매개로 제2 파워 비아(672b)와 전기적으로 연결되는 제1 관통 전극(642)과, 제2 그라운드 패드(624)를 매개로 제2 그라운드 비아(674b)와 전기적으로 연결되는 제2 관통 전극(644)을 포함할 수 있다. 제1 및 제2 관통 전극들(642, 644)은 연결 단자(630)를 통해 파워용 전기적 부재(602) 및 그라운드용 전기적 부재(604)와 각각 전기적으로 연결될 수 있다.
- [0116] 히트 슬러그(650)에는 그라운드 플레인(654) 및 유전체(656)를 관통하여 제1 파워 비아(672a)를 파워 플레인(652)에 연결하는 공간을 제공하는 제1 홀(658a)이 제공될 수 있다. 제1 홀(658a) 내에는 제1 파워 비아(672a)를 그라운드 플레인(654)과 전기적으로 격리시키는 제1 절연막(660a)이 채워질 수 있다. 히트 슬러그(650)에는 그라운드 플레인(654) 및 유전체(656)를 관통하여 제2 파워 비아(672b)를 파워 플레인(652)에 연결하는 공간을 제공하는 제2 홀(658b)이 더 제공될 수 있다. 제2 홀(658b) 내에는 제2 파워 비아(672b)를 그라운드 플레인(654)과 전기적으로 격리시키는 제2 절연막(660b)이 채워질 수 있다.
- [0117] 이상과 같이, 히트 슬러그(650)의 파워 플레인(652)에는 제1 및 제2 파워 비아들(672a, 672b)이 공통으로 연결되고, 히트 슬러그(650)의 그라운드 플레인(654)에는 제1 및 제2 그라운드 비아들(674a, 674b)이 공통으로 연결될 수 있다.
- [0118] 도 1a 내지 도 1d를 참조하여 설명한 바는 도 6의 반도체 패키지(600)에 적용될 수 있다. 예컨대, 제1 및 제2 관통 몰드 비아들(670a, 670b) 중 적어도 어느 하나는 도 1b에 도시된 바와 같이 복수개 마련될 수 있고, 히트 슬러그(650)는 도 1c 혹은 도 1d에 도시된 바와 같이 멀티 구조일 수 있다. 도 1b에 도시된 바와 동일 유사하게, 제2 관통 몰드 비아(670b)가 복수개 마련된 경우 관통 전극(642, 644) 또한 복수개 마련될 수 있다.
- [0119] (응용예)
- [0120] 도 8은 본 발명의 실시예에 따른 반도체 패키지를 구비한 전자 장치를 도시한 사시도이다. 도 8을 참조하면, 본 발명의 실시예에 따른 반도체 패키지는 휴대폰과 같은 전자 장치(1000)에 응용될 수 있다. 본 실시예의 반도체 패키지는 열적 및 전기적 신뢰성이 우수하므로, 반도체 패키지는 가혹한 조건에서 전자 장치(1000)를 사용하더라도 동작 신뢰성을 담보할 수 있다. 전자 장치는 도 8에 도시된 휴대폰에 한정되는 것이 아니며, 가령 모바일 전자 기기, 노트북 컴퓨터, 포터블 멀티미디어 플레이어(PMP), 엠펙쓰리(MP3) 플레이어, 캠코더, 메모리 스틱, 메모리 카드 등 다양한 전자 기기를 포함할 수 있다.
- [0121] 도 9는 도 8의 전자 장치의 블록도이다. 도 9를 참조하면, 전자 장치(1000)는 바디(1001: Body)와, 컨트롤러(1010: Controller)와, 기능 유닛(1020: Function Unit)과, 그리고 디스플레이 유닛(1030: Display Unit)을 포함할 수 있다. 컨트롤러(1010)와 기능 유닛(1020)과 디스플레이 유닛(1030)은 바디(1001)의 내부 혹은 바디(1001)의 표면에 배치될 수 있다. 디스플레이 유닛(1030)은 바디(1001)의 표면에 배치되어 컨트롤러(1010) 혹은 기능 유닛(1020)에 의해 프로세스된 이미지를 표시할 수 있다.
- [0122] 컨트롤러(1010)는 기능 유닛(1020)과 디스플레이 유닛(1030)을 제어할 수 있다. 기능 유닛(1020)은 전자 장치(1000)의 기능을 수행할 수 있다. 예를 들어, 전자 장치(1000)가 휴대폰인 경우 기능 유닛(1020)은 다이얼링, 외부 장치(1200: External Apparatus)와의 통신으로 디스플레이 유닛(1030)로의 영상 출력, 스피커로의 음성 출력 등과 같은 휴대폰 기능을 수행할 수 있는 여러 구성요소들을 포함할 수 있다. 기능 유닛(1020)은 유선 혹은 무선의 통신 유닛(1050; Communication Unit)을 통해 외부 장치(1200)와 신호를 주고 받을 수 있다. 반도체 패키지는 컨트롤러(1010)와 기능 유닛(1020) 중 적어도 어느 하나에 쓰일 수 있다. 기판의 솔더볼 혹은 솔더범프는 컨트롤러(1010) 혹은 기능 유닛(1020)의 구성 요소에 형성된 본딩 패드에 연결될 수 있다. 컨트롤러(1010) 및/또는 기능 유닛(1020)은 적어도 하나의 메모리 혹은 프로세싱 유닛을 필요로 할 수 있다. 이 경우, 반도체 패키지는 그 메모리 혹은 프로세싱 유닛으로 사용될 수 있다.
- [0123] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어

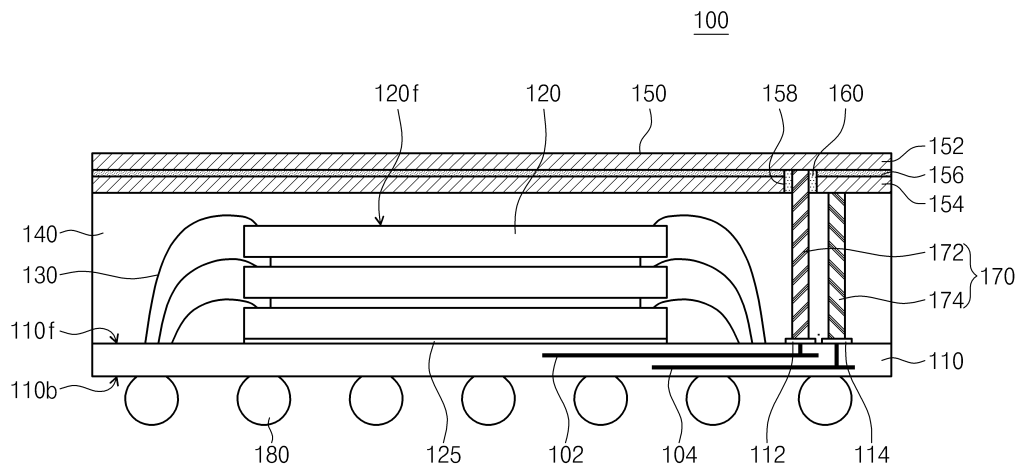
나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

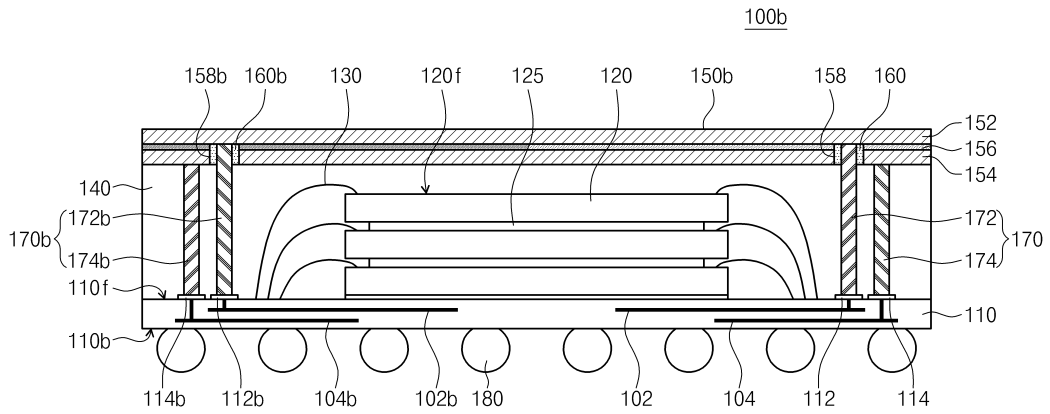
- [0124] 도 1a는 본 발명의 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0125] 도 1b는 도 1a의 변형예에 따른 반도체 패키지를 도시한 단면도.
- [0126] 도 1c는 도 1a의 다른 변형예에 따른 반도체 패키지를 도시한 단면도.
- [0127] 도 1d는 도 1a의 또 다른 변형예에 따른 반도체 패키지를 도시한 단면도.
- [0128] 도 2는 본 발명의 다른 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0129] 도 3은 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0130] 도 4는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0131] 도 5는 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0132] 도 6은 본 발명의 또 다른 실시예에 따른 반도체 패키지를 도시한 단면도.
- [0133] 도 7은 본 발명의 실시예에 따른 멀티 히트 슬러그를 도시한 단면도.
- [0134] 도 8은 본 발명의 실시예에 따른 반도체 패키지의 응용예를 도시한 사시도.
- [0135] 도 9는 본 발명의 실시예에 따른 반도체 패키지의 응용예를 도시한 블록도.

도면

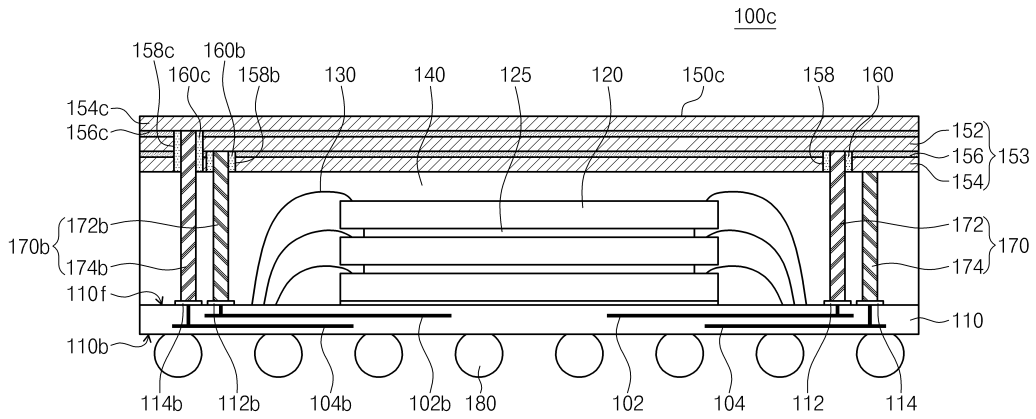
도면1a



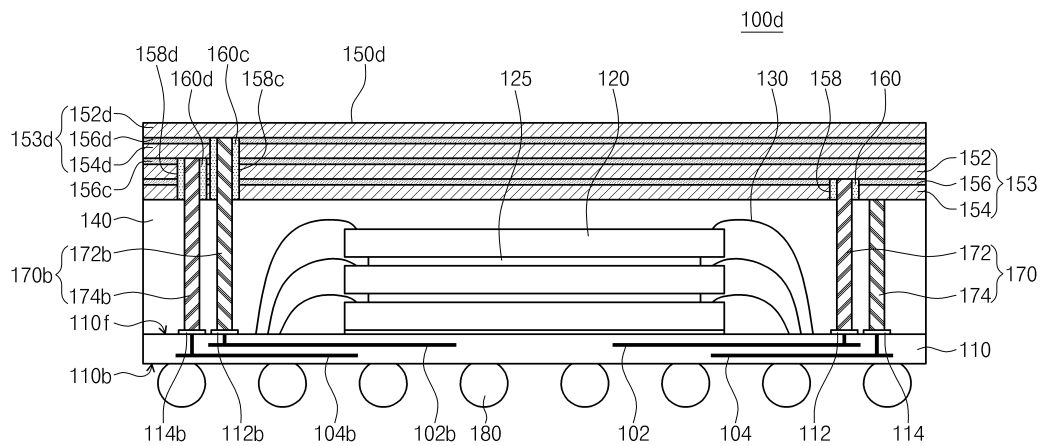
도면1b



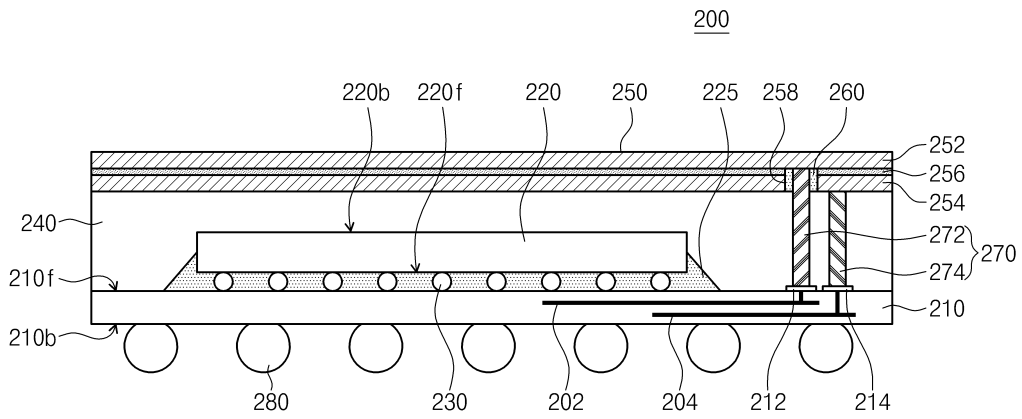
도면1c



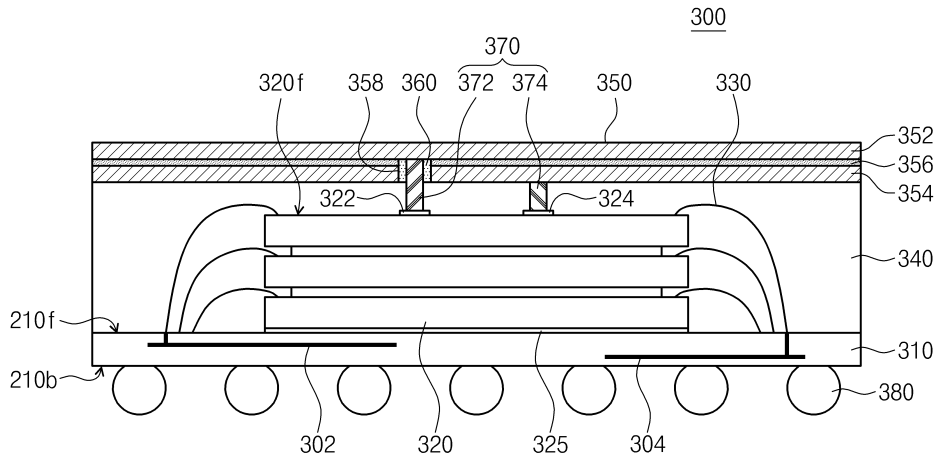
도면1d



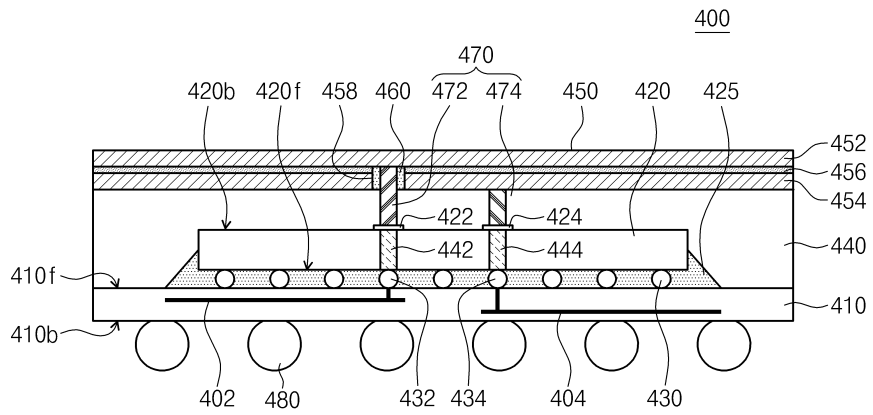
도면2



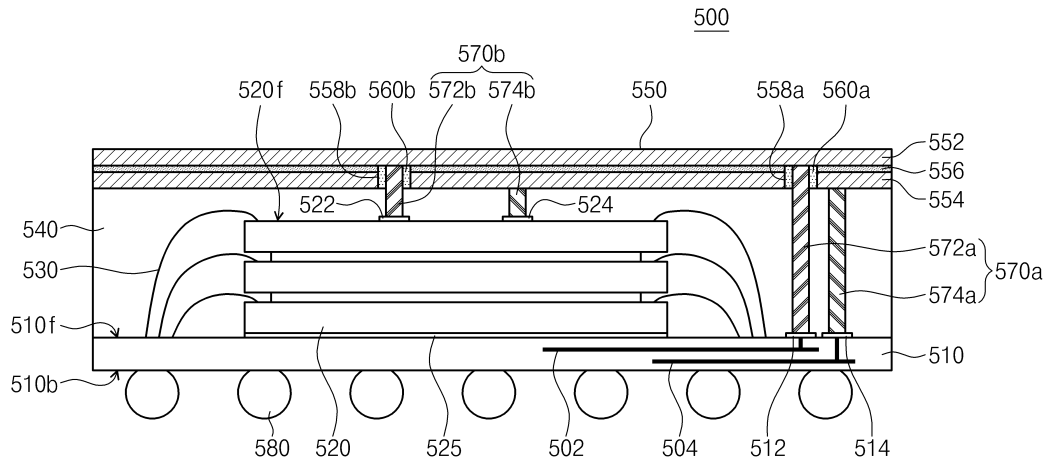
도면3



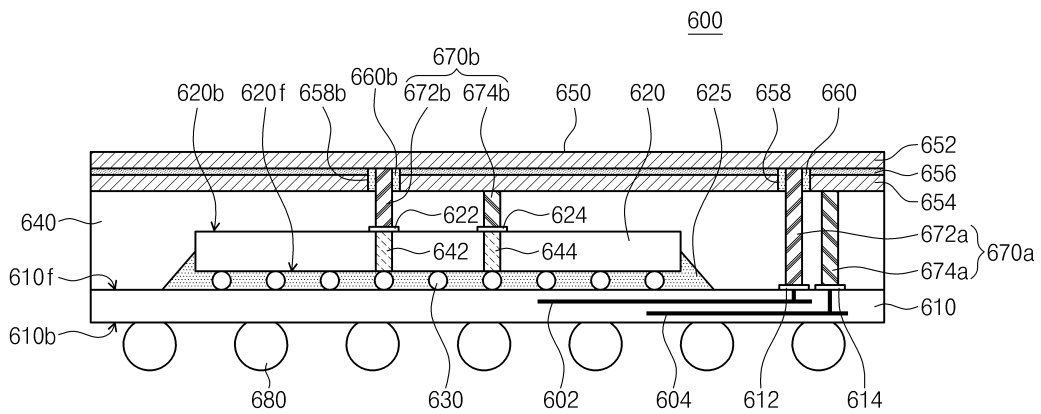
도면4



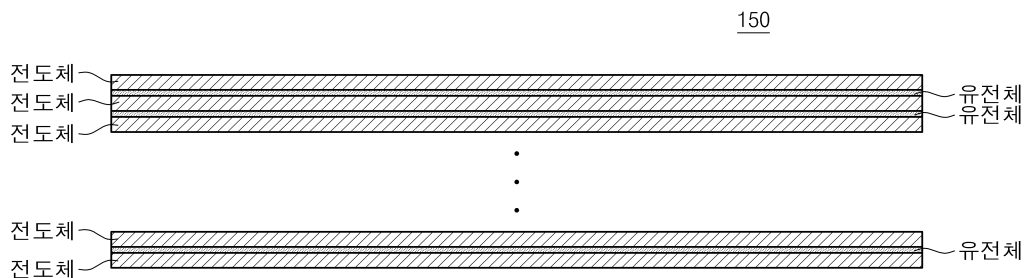
도면5



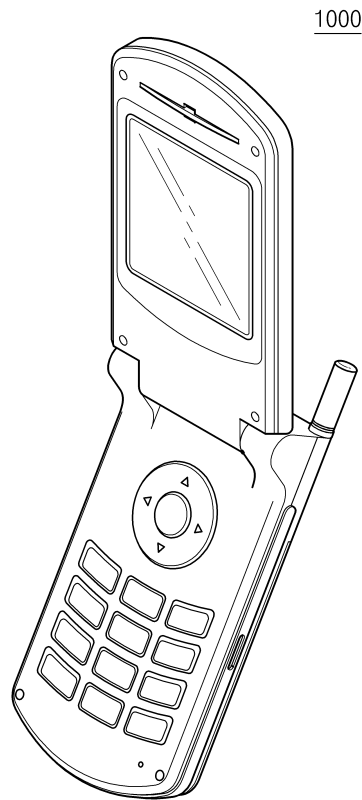
도면6



도면7



도면8



도면9

