

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5787853号
(P5787853)

(45) 発行日 平成27年9月30日(2015.9.30)

(24) 登録日 平成27年8月7日(2015.8.7)

(51) Int.Cl.	F I				
HO 1 L 27/04 (2006.01)	HO 1 L	29/78	6 5 7 D		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 3 C		
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 D		
HO 1 L 21/76 (2006.01)	HO 1 L	29/78	6 5 2 J		
HO 1 L 29/861 (2006.01)	HO 1 L	29/78	6 5 2 R		
請求項の数 11 (全 24 頁) 最終頁に続く					

(21) 出願番号	特願2012-200858 (P2012-200858)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成24年9月12日(2012.9.12)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2014-56942 (P2014-56942A)	(72) 発明者	未代 知子 東京都港区芝浦一丁目1番1号 株式会社東芝内
(43) 公開日	平成26年3月27日(2014.3.27)	(72) 発明者	小倉 常雄 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成26年8月13日(2014.8.13)	(72) 発明者	押野 雄一 東京都港区芝浦一丁目1番1号 株式会社東芝内
最終頁に続く			

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1領域を有する第1導電形の第1の半導体層と、
前記第1領域において、前記第1の半導体層上に設けられ、前記第1の半導体層とは反対側の表面における単位面積あたりの第2導電形の不純物の総量が $2 \times 10^{12} / \text{cm}^2$ 以下である第2導電形の第2の半導体層と、
前記第1の半導体層及び前記第2の半導体層と絶縁膜を介して対面し、隣り合う前記絶縁膜間の距離が $2 \mu\text{m}$ 以下である一対の導電体と、
前記第2の半導体層に選択的に設けられ、前記第2の半導体層よりも高い第2導電形の不純物の濃度を有する第2導電形の第3の半導体層と、
前記第1領域に設けられ、前記第1の半導体層に接続され、前記第1の半導体層よりも高い第1導電形の不純物の濃度を有する第1導電形の第4の半導体層と、
前記一対の導電体上に層間絶縁膜を介して設けられ、前記第2の半導体層及び前記第3の半導体層と電氣的に接合され、且つ前記一対の導電体と電氣的に接続された第1の電極と、
前記第4の半導体層に電氣的に接続された第2の電極と、
を備えた電力用半導体装置。

【請求項2】

隣り合う前記絶縁膜間の間隔をA、前記一対の導電体と前記一対の導電体に接する前記絶縁膜との積層方向の深さをBとしたときに、AのBに対する比が0.5より小さいか等

しい請求項 1 に記載の電力用半導体装置。

【請求項 3】

第 1 領域を有する第 1 導電形の第 1 の半導体層と、
前記第 1 領域において、前記第 1 の半導体層上に設けられた第 2 導電形の第 2 の半導体層と、

前記第 2 の半導体層を絶縁膜を介して挟む一对の導電体と、
前記第 1 領域において前記第 1 の半導体層に電氣的に接続され、前記第 1 の半導体層よりも高い第 1 導電形の不純物の濃度を有する第 1 導電形の第 4 の半導体層と、
前記一对の導電体の底部に前記絶縁膜を介して設けられ、前記第 2 の半導体層と接続された第 2 導電形の不純物拡散層と、

前記一对の導電体上に設けられ、前記第 2 の半導体層に電氣的に接合され、前記一对の導電体と電氣的に接続された、第 1 の電極と、

前記第 4 の半導体層に電氣的に接続された第 2 の電極と、
 を備えた電力用半導体装置。

10

【請求項 4】

前記不純物拡散層は、前記一对の導電体の前記底部に前記絶縁膜を介して隣接する前記第 1 の半導体層の一部分に、第 2 導電形不純物がイオン注入されて形成された請求項 3 に記載の電力用半導体装置。

【請求項 5】

前記不純物拡散層は、前記第 2 の半導体層の前記底部よりも前記第 1 の半導体層側に突き出ている請求項 3 または 4 に記載の電力用半導体装置。

20

【請求項 6】

前記第 2 の半導体層に選択的に設けられ、前記第 2 の半導体層よりも高い第 2 導電形の不純物の濃度を有する第 2 導電形の第 3 の半導体層をさらに備え、

前記第 1 の電極は、前記第 3 の半導体層に電氣的に接続される請求項 3 ~ 5 のいずれか 1 つに記載の電力用半導体装置。

【請求項 7】

前記第 2 の半導体層に選択的に設けられ、前記第 1 の半導体層よりも高い第 1 導電形の不純物の濃度を有し、前記第 3 の半導体層と隣接する第 1 導電形の半導体層をさらに備えた請求項 6 に記載の電力用半導体装置。

30

【請求項 8】

前記第 1 の半導体層は、前記第 1 領域と隣接する第 2 領域をさらに有し、
前記第 2 領域において、前記第 1 の半導体層上に選択的に設けられ、前記第 2 の半導体層よりも高い第 2 導電形の不純物の濃度を有する第 2 導電形の第 5 の半導体層と、

前記第 5 の半導体層に選択的に設けられ、前記第 1 の半導体層よりも高い第 1 導電形の不純物の濃度を有する第 1 導電形の第 6 の半導体層と、

前記第 1 の半導体層上、前記第 5 の半導体層上、及び前記第 6 の半導体層上に、ゲート絶縁膜を介して対面するゲート電極と、

をさらに有し、

前記第 2 の電極は、前記第 2 の領域において前記第 1 の半導体層に電氣的に接続され、
前記第 1 の電極は、前記第 5 の半導体層及び前記第 6 の半導体層に電氣的に接続される請求項 1 ~ 7 のいずれか 1 つに記載の電力用半導体装置。

40

【請求項 9】

前記ゲート電極は、前記第 6 の半導体層から前記第 5 の半導体層を通り抜け前記ゲート絶縁膜を介して前記第 1 の半導体層に達する請求項 8 に記載の電力用半導体装置。

【請求項 10】

前記一对の導電体の深さは、前記ゲート電極の深さと同じである請求項 8 または 9 に記載の電力用半導体装置。

【請求項 11】

前記第 2 領域において前記第 1 の半導体層に電氣的に接続され、前記第 5 の半導体層よ

50

りも高い第2導電形の不純物の濃度を有する第2導電形の第7の半導体層をさらに備え、
前記第2の電極は前記第2領域において、前記第7の半導体層を介して前記第1の半導
体層の前記第2の表面と電氣的に接続されている請求項8～10のいずれか1つに記載の
電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施の形態は、電力用半導体装置に関する。

【背景技術】

【0002】

インバータなどの電力変換装置では、FWD (Free Wheeling Diode) と呼ばれるダイオ
ード及びIGBT (Insulated Gate Bipolar Transistor) が電力用半導体素子として組み
合わされて用いられる。FWDは、p形半導体層からなるアノード層、高抵抗半導体層（
以下、活性層）、及びn形半導体層からなるカソード層で構成される。IGBTがオフと
なったときに、インダクタンスを有する負荷を流れていた電流が、環流となってFWDを
流れる。FWDは、順方向電圧が低いこととスイッチング時間が短いことが求められる。
スイッチング時間を低減するためには、FWDの逆回復特性を向上させる必要がある。こ
のためには、FWDの活性層中のキャリア濃度を低減して逆回復時の電荷量を減らす必要
がある。その一つ的手段として、FWD中のキャリアが蓄積される活性層に、キャリアの
ライフタイムを短くするライフタイムコントロール領域が設けられる。ライフタイムコン
トロール領域は、電子線照射、プロトン照射、ヘリウム照射、または重金属拡散などによ
り、活性層中に欠陥が発生した領域である。この欠陥の密度が高いほど、キャリアのライ
フタイムは短くなる。キャリアのライフタイムが短くなったことにより、FWDの活性層
中のキャリア濃度が低減され、FWDの逆回復動作時の逆回復電荷量が低減されるので、
逆回復特性が向上する。

【0003】

しかしながら、ライフタイムコントロール層は欠陥を多く含むため、FWDの逆方向リ
ーク電流が欠陥により増大するという不利益がある。また、FWDをIGBTと同一のチ
ップ内に形成することによって、インバータのパッケージの小型化とコスト低減化が求め
られる。この場合、FWD領域と共にIGBT領域にライフタイムコントロール領域が形
成されてしまうと、IGBT領域の閾値及びオン電圧が増大してしまうという不利益があ
る。以上より、FWDの逆回復特性を向上するために、ライフタイム制御に替わる手段が
望まれる。その一つ的手段として、アノード層p形領域の不純物総量を低減することによ
って、FWDの活性層への正孔の低注入化がある。アノード領域のキャリア濃度の低減に
伴って、FWDの活性層中のキャリア濃度がライフタイム制御を用いた場合と同様に低減
され、FWDの逆回復特性を向上することができる。しかしながら、アノード層p形領域
の不純物総量が下がりすぎると、逆バイアス時に空乏層がアノード層側に容易に広がる
ようになってしまう。空乏層がアノード層側に広がってアノード電極に達してしまうと、ア
ノード層とアノード電極との界面における界面準位を介したリーク電流によりFWDが破
壊されてしまう。また、リーク電流による破壊が発生しなくても、アノード層とカソード
層とのp-n接合における局所的なアバランシェ降伏が発生して電流集中を引き起こすた
め、アバランシェ耐量が低く、FWDが破壊されやすい。破壊耐量が高い、低注入型の
FWDが提供されることが望まれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-225816号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

破壊耐量が高い電力用半導体装置の提供。

【課題を解決するための手段】

【0006】

実施形態に係る電力用半導体装置は、第1領域を有する第1導電形の第1の半導体層と、前記第1領域において、前記第1の半導体層上に設けられ、前記第1の半導体層とは反対側の表面における単位面積あたりの第2導電形の不純物の総量が $2 \times 10^{12} / \text{cm}^2$ 以下である第2導電形の第2の半導体層と、前記第1の半導体層及び前記第2の半導体層と絶縁膜を介して対面し、隣り合う前記絶縁膜間の距離が $2 \mu\text{m}$ 以下である一对の導電体と、前記第2の半導体層に選択的に設けられ、前記第2の半導体層よりも高い第2導電形の不純物の濃度を有する第2導電形の第3の半導体層と、前記第1領域に設けられ、前記第1の半導体層に接続され、前記第1の半導体層よりも高い第1導電形の不純物の濃度を有する第1導電形の第4の半導体層と、前記一对の導電体上に層間絶縁膜を介して設けられ、前記第2の半導体層及び前記第3の半導体層と電気的に接合され、且つ前記一对の導電体と電気的に接続された第1の電極と、前記第4の半導体層に電気的に接続された第2の電極と、を備える。

10

【図面の簡単な説明】

【0007】

【図1】第1の実施形態に係る電力用半導体装置の要部模式断面図。

【図2】第1の実施形態に係る電力用半導体装置及び比較例に係る電力用半導体装置のキャリア濃度分布を示すグラフ。

20

【図3】第1の実施形態に係る電力用半導体装置の等電位線の分布を示す要部模式断面図。

【図4】第1の実施形態に係る電力用半導体装置における静耐圧とpベース層中の不純物総量との関係を示すグラフ。

【図5】第2の実施形態に係る電力用半導体装置の要部模式断面図。

【図6】比較例に係る電力用半導体装置の要部模式断面図。

【図7】第3の実施形態に係る電力用半導体装置の要部模式断面図。

【図8】第3の実施形態に係る電力用半導体装置の製造工程の一部を示す要部模式断面図。

【図9】第3の実施形態に係る電力用半導体装置の別の製造工程の一部を示す要部模式断面図。

30

【図10】第4の実施形態に係る電力用半導体装置の要部模式断面図。

【図11】第5の実施形態に係る電力用半導体装置の要部模式断面図。

【図12】第6の実施形態に係る電力用半導体装置の要部模式断面図。

【発明を実施するための形態】

【0008】

以下、本発明の実施の形態について図を参照しながら説明する。実施の形態中の説明で使用する図は、説明を容易にするための模式的なものであり、図中の各要素の形状、寸法、大小関係などは、実際の実施においては必ずしも図に示されたとおりとは限らず、本発明の効果が得られる範囲内で適宜変更可能である。第1導電形をn形で、第2導電形をp形で説明するが、それぞれこの逆の導電形とすることも可能である。半導体としては、シリコンを一例に説明するが、SiCやGaNなどの化合物半導体にも適用可能である。絶縁膜としては、シリコン酸化膜を一例に説明するが、シリコン窒化膜、シリコン酸窒化膜、アルミナなどの他の絶縁体を用いることも可能である。n形の導電形を n^+ 、 n 、 n^- で表記した場合は、この順にn形不純物濃度が低くなるものとする。p形においても同様に、 p^+ 、 p 、 p^- の順にp形不純物濃度が低くなるものとする。

40

【0009】

(第1の実施形態)

図1～図4を用いて、本発明の第1の実施形態に係る電力用半導体装置を説明する。図1は、第1の実施形態に係る電力用半導体装置の要部模式断面図である。図2は、第1の

50

実施形態に係る電力用半導体装置及び比較例に係る電力用半導体装置の活性層中のキャリア濃度分布を示すグラフである。図3(a)及び(b)は、第1の実施形態に係る電力用半導体装置の等電位線の分布を示す要部模式断面図である。図4は、第1の実施形態に係る電力用半導体装置における、静耐圧とpベース層中の不純物総量との関係を示すグラフである。

【0010】

図1に要部断面図を示したように、本実施形態に係る電力用半導体装置は、低注入型のPINダイオードである。本実施形態に係る電力用半導体装置は、n⁻形の活性層1と、p形のアノード層2と、一对の導電体6と、p⁺形のコンタクト3層と、n形のバッファ層7と、n⁺形のカソード層8と、カソード電極9と、アノード電極10と、を備える。

10

【0011】

n⁻形の活性層1は、高抵抗の半導体層により構成され、上面である第1の表面と下面である第2の表面とを有する。n⁻形活性層1の厚さは、PINダイオードに要求される耐圧により決定される。n⁻形活性層1の厚さは、例えば、耐圧が1200V程度になるように100~200μmに設定される。半導体層は、例えばシリコンである(以下同様)。

【0012】

p形のアノード層2は、n⁻形活性層1の第1の表面に設けられる。p形アノード層2は、CVD(Chemical Vapor Deposition)等によりn⁻形活性層の第1の表面上に成膜されたp形半導体層を用いることもできるが、本実施形態では、n⁻形活性層1の第1の表面にp形不純物のイオン注入、拡散により形成された拡散層である。すなわち、p⁻形アノード層2は、n⁻形活性層の第1の表面からn⁻形活性層1中に伸び、第1の表面側でn⁻形活性層1上に形成される。

20

【0013】

複数のトレンチ4が、p⁻形アノード層2のn⁻形活性層1とは反対側の表面からp⁻形アノード層2を通り抜けn⁻形活性層1中に延伸するように設けられる。複数のトレンチ4の側壁-側壁間隔A(隣り合うトレンチの側壁間の間隔)は、例えば2μmである。複数のトレンチの深さBは、例えば4~7μmである。一对のトレンチ4は、p⁻形アノード層2を挟む。

【0014】

絶縁膜5は、複数のトレンチ4の内面(側面及び底面)を覆うように設けられる。複数の導電体6は、絶縁膜5を介して複数のトレンチ内に埋め込まれる。すなわち、複数の導電体6は、絶縁膜5を介して、n⁻形活性層1及びp⁻形アノード層2上に設けられる。絶縁膜5は、例えば酸化シリコンであるが、窒化シリコンまたは酸窒化シリコンなどを用いることも可能である。また、導電体6は、導電性の材料であればよく、例えば、導電性のポリシリコンである。

30

【0015】

p⁺形コンタクト層3は、各一对のトレンチの間においてp⁻形アノード層のn⁻形活性層1とは反対側の表面に設けられる。p⁺形コンタクト層3は、例えば、p形不純物を拡散させて形成された拡散層である。p⁺形コンタクト層3は、例えば、p⁻形アノード層の表面に凹みを形成してその中にCVDによりp形半導体層を形成後、p形半導体層を平坦化することによっても形成可能である。

40

【0016】

n形バッファ層7は、n⁻形活性層1の第2の表面上に設けられ、n⁻形活性層1の第2の表面と電氣的に接続される。n形バッファ層7は、n形不純物を拡散させた拡散層でもよいし、OSL(One Side Lap)基板やエピタキシャル基板のn形不純物濃度の濃い領域を利用してもよい。n⁺形カソード層8は、n形バッファ層7のn⁻形活性層1とは反対側に設けられ、n形バッファ層7と電氣的に接続される。n⁺形カソード層8も、n形バッファ層7と同様に、n形不純物を拡散させた拡散層でもよいし、OSL基板やエピタキシャル基板のn形不純物濃度の濃い領域を利用してもよい。n形バッファ層のn形不純

50

物の濃度は、 n^- 形活性層 1 の n 形不純物の濃度より高い。また、 n^+ 形カソード層 8 の n 形不純物の濃度は、 n 形バッファ層 7 の n 形不純物の濃度よりも高い。

【0017】

上記一对のトレンチ 4 内に設けられた一对の導電体によって挟まれた構造をユニットセルとして、 n^- 形活性層 1 の第 1 の表面側に複数設けられることによって、ダイオード領域（第 1 領域）が構成される。

【0018】

カソード電極 9 は、 n^+ 形カソード層 8 に電氣的に接続される。アノード電極 10 は、層間絶縁膜 30 を介して複数の導電体 6 上に設けられ、 p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面及び p^+ 形コンタクト層 3 の n^- 形活性層 1 とは反対側の表面と電氣的に接合され、複数の導電体 6 と電氣的に接続される。また、ここで導電体 6 のアノード電極 10 と接する面における層間絶縁膜 30 を削除して、直接導電体 6 とアノード電極 10 とを電氣的に接続させてもよい。カソード電極 9 及びアノード電極 10 は、例えば、アルミニウムまたは銅が用いられる。

【0019】

以上本実施形態に係る電力用半導体装置は、上記のようにダイオード領域が構成された PIN ダイオードである。しかしながら、後述の実施例のように、ダイオード領域（第 1 領域）と、その他の IGBT や MOSFET が構成される領域（第 2 領域）と、により構成されていてもよい。

【0020】

次に本実施形態に係る PIN ダイオードの動作について説明する。図 2 は、PIN ダイオードがオン状態の時の、本実施形態に係る PIN ダイオードの n^- 形活性層 1 中でのキャリア濃度プロファイル及び比較例の PIN ダイオードの n^- 形活性層中でのキャリア濃度プロファイルを示す。なお、 n^- 形活性層中では電荷中性条件のため、電子と正孔の濃度は同一となるため、それぞれの濃度プロファイルは重ねて 1 つに示される。

【0021】

本実施形態に係る PIN ダイオードは、 p^- 形アノード層の p 形不純物の濃度（もしくは不純物総量、以下記載同じ）を低く設定することにより、 n^- 形活性層 1 への正孔の注入を低下させている。この結果、 n^- 形活性層 1 中の p^- 形アノード層 2 側ではキャリア濃度が低減される。これは、 p^- 形アノード層 2 からの正孔の注入が抑制されるためである。これに対して、 n^- 形活性層 1 中の n^+ 形カソード層 8 側に向かうに従って、キャリア濃度が上昇していく。これは、 n^+ 形カソード層 8 から電子が注入されるためである。

【0022】

これに対して、詳細な構造の図示は省略するが、比較例の PIN ダイオードでは、複数のトレンチ 4 及びトレンチ内に設けられた複数の導電体 6 が無いこと、 p 形アノード層の p 形不純物の濃度（もしくは不純物量）が高いこと、及び n^- 形半導体層中にキャリアライフタイムを短くするライフタイムコントロール領域が設けられていること、を除いて同じ構造である。

【0023】

比較例の PIN ダイオードでは、 p 形アノード層の p 形不純物の濃度は、 n 形カソード層の n 形不純物濃度と同程度に高く、 n^- 形活性層中でのキャリア濃度は、ライフタイム制御を施しているため n^- 形活性層の中央付近で低く、 p 形アノード層側及び n^+ 形カソード層側に向かうにつれて高くなる。これは、 n^+ 形カソード層 8 から n^- 形活性層へ電子が多く注入されるのと同様に、 p 形アノード層 2 から n^- 形活性層へ正孔が多く注入されるためである。このままでは、 n^- 形活性層中のキャリア濃度が過剰となり、逆回復特性を劣化させるため、比較例の PIN ダイオードでは、 n^- 形活性層中にヘリウム原子をイオン注入するなどの上述した方法によりライフタイムコントロール領域を形成している。この結果 n^- 形活性層中でのキャリアのライフタイムが短くなって、 n^- 形活性層中での過剰キャリアが減少し、逆回復特性が向上する。

【0024】

しかしながら、比較例のPINダイオードでは、 n^- 形活性層中にライフタイムコントロール領域が形成された際に、多量の結晶欠陥が発生する。この結晶欠陥により、比較例のPINダイオードでは、逆方向電圧印加時に逆方向電流が増大してしまう。

【0025】

これに対して、本実施形態に係るPINダイオードは、上述のように p^- 形アノード層2の p 形不純物の濃度を低くした低注入形PINダイオードである。このため、 n^- 形活性層1中にライフタイムコントロール領域を設けなくても、図2に示したように、 n^- 形活性層1中の p^- 形アノード層2側でキャリア濃度が低減されて、 n^- 形活性層1中の電荷量(n^- 形活性層全体でのキャリア濃度の積分値)が、比較例の n^- 形活性層中での電荷量とほぼ同等になっている。従って、本実施形態に係るPINダイオードは、比較例のPINダイオードと同様に良好な逆回復特性を有する。さらに、本実施形態に係るPINダイオードは、ライフタイムコントロール領域を n^- 形活性層1中に有していないので、 n^- 形活性層1中の結晶欠陥が少なく、逆バイアス時のリーク電流が比較例のPINダイオードと比べて低減される。

10

【0026】

しかしながら、 p^- 形アノード層2の p 形不純物濃度を低くすると、逆バイアス時に、 p^- 形アノード層2と n^- 形活性層との $p-n$ 接合から p^- 形アノード層2側に向かって空乏層が広がりやすくなる。空乏層がアノード電極10に達すると、アノード電極10と p^- 形アノード層2との界面で破壊が生じる。このため、 p^- 形アノード層2の p 形不純物濃度を低くすると、PINダイオードが破壊されやすくなる。

20

【0027】

本実施形態に係るPINダイオードでは、 p^- 形アノード層2を水平方向に挟むように複数のトレンチ4が形成され、このトレンチ4のなかに絶縁膜5を介して複数の導電体6が設けられる。導電体6は、アノード電極10と同電位になるように電氣的に接続されている。このため、逆バイアスの電圧がPINダイオードに印加されると、トレンチ4の内面に形成された絶縁膜5と n^- 形活性層1との界面から n^- 形活性層1に向かって空乏層が伸びる。

【0028】

隣り合うトレンチ4の間隔が十分に狭いと、逆バイアスの電圧が低い状態で、隣り合うトレンチから伸びてきた空乏層が繋がり、 p^- 形アノード層2の下部で隣り合うトレンチ4に挟まれた n^- 形活性層の部分が全て空乏化する。さらに逆バイアスの電圧を上げて、 p^- 形アノード層2と n^- 形活性層1との $p-n$ 接合には電圧がほとんど印加されず、電圧のほとんどは、トレンチ4の底部とカソード電極9との間に印加される。このため、空乏層は n^- 形活性層1中を n^+ 形カソード層8に向かって伸びやすく、 p^- 形アノード層2中をアノード電極10側に向かって伸びにくくなる。

30

【0029】

図3に、隣り合うトレンチ4の側壁-側壁間隔が(a) $2\mu\text{m}$ の場合と(b) $4\mu\text{m}$ の場合の、逆バイアス時にPINダイオードの空乏層が n^- 形活性層中に広がる様子のシミュレーション結果を示す。図3(a)及び図3(b)は、隣り合うトレンチ4が p^- 形アノード層2及び n^- 形活性層1を挟むことによって構成されるユニットセルの断面の半分を示す。断面図の左端は、ユニットセルのトレンチの中央であり、断面図の右端は、ユニットセルの隣り合うトレンチ間の中央である。断面中の曲線は、等電位線を示す。トレンチ4周辺の n^- 形活性層1中に広がる等電位線の分布の様子が分かればよいので、 n^- 形活性層1の下側の部分は図示を省略した。図3(a)及び図3(b)のシミュレーションに用いたPINダイオードのモデルは、隣り合うトレンチの間隔以外は、全て同一構造である。このモデルでは、 1200V 耐圧系の素子を例にとり、 n^- 形活性層の厚さは $100\sim 200\mu\text{m}$ 、 n^- 形活性層の n 形不純物の濃度は $2\times 10^{13}\sim 1\times 10^{14}/\text{cm}^3$ 、 p^- 形アノード層の厚さは $0.5\sim 3.0\mu\text{m}$ 、 p^- 形アノード層の p 形不純物の表面濃度は $2\times 10^{13}\sim 2\times 10^{18}/\text{cm}^3$ 、トレンチの深さは $3\sim 7\mu\text{m}$ 、トレンチの幅は $0.2\sim 3.0\mu\text{m}$ とした。等電位線の分布は、エミッタ・コレクタ間電圧を 5V

40

50

としたシミュレーション結果である。

【0030】

図3(b)に示したように、トレンチ側壁 - 側壁間隔が4 μmの場合は、等電位線のほとんどは、トレンチ4の底部から側壁に沿ってn⁻形活性層中を伸びており、等電位線の密度はn⁻形活性層1中のトレンチ4の底部及び側壁の周辺で高い。このため、印加電圧のほとんどがトレンチ4の絶縁膜5とn⁻形活性層1中の界面及びp⁻形アノード層2とn⁻形活性層中の界面に印加されている。従って、さらにエミッタ・コレクタ間の電圧を上げていくと、空乏層がp⁻形アノード層2中をアノード電極10に向かって伸びる。このため、PINダイオードが破壊されやすい。

【0031】

これに対して、図3(a)に示したように、トレンチ側壁 - 側壁間隔が2 μmの場合は、等電位線は、隣り合うトレンチ4の一方のトレンチ4の側壁から他方のトレンチ4の側壁へと伸びていき、隣り合うトレンチ4の間で空乏層が繋がる。この結果、トレンチ側壁 - 側壁間隔が4 μmの場合に比べて、等電位線の密度は、n⁻形活性層1中のトレンチの底部及び側壁の周辺で低くなり、トレンチ4の底部からカソード電極に向かって等電位線の間隔が広がっている。すなわち、エミッタ・コレクタ間の電圧のほとんどは、トレンチ4の底部とカソード電極との間に印加されるようになり、空乏層がトレンチ4の底部からカソード層8側に向かって広がる。この結果、空乏層はp⁻形アノード層2中をアノード電極10に向かって広がりにくくなるため、p⁻形アノード層2のp形不純物の濃度を低くしてもPINダイオードの破壊が抑制される。

【0032】

以上示したように、トレンチ側壁 - 側壁間隔が2 μm以下であれば、本実施形態に係るPINダイオードでは、隣り合うトレンチ間で、p⁻形アノード層2中をアノード電極10に向かって空乏層が伸びることが抑制されるので、p⁻形アノード層2とアノード電極10との界面での破壊が抑制される。

【0033】

また、本実施形態とは異なり、p⁻形アノード層2を挟むように複数のトレンチが形成されていないPINダイオードでは、p⁻形アノード層2のp形不純物の濃度（もしくは不純物総量）が低すぎると、p⁻形アノード層2中の空乏層はアノード電極10に達してしまう。p⁻形アノード層2のn⁻形活性層1とは反対側の表面からみた単位表面積あたりのp形不純物の総量（以下単位表面積あたりのp形不純物の総量）が、 $2 \times 10^{12} / \text{cm}^2$ 以下となると、p⁻形アノード層2中の空乏層がアノード電極10に到達してしまう。p⁻形アノード層2がイオン注入及びその後の熱処理により形成された拡散層の場合は、イオン注入の際のドーズ量が $2 \times 10^{12} / \text{cm}^2$ 以下となると、p⁻形アノード層2中の空乏層がアノード電極10に到達してしまう。

【0034】

しかしながら、単位表面積あたりの不純物の総量が、上記値でも直ぐにアノード電極10とp⁻形アノード層2との界面で破壊が生じるものではなく、さらに、単位表面積あたりのp形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下となると、ほとんどのPINダイオードのアノード電極10とp⁻形アノード層2との界面で破壊が生じる。

【0035】

本実施形態に係るPINダイオードでは、単位表面積あたりのp形不純物の総量が上記値を有するまでp⁻形アノード層2のp形不純物の濃度が低くなっても、p⁻形アノード層2中の空乏層はアノード電極10にほとんど到達しない。従って、本実施形態に係るPINダイオードでは、p⁻形アノード層2の単位表面積あたりのp形不純物の総量が $2 \times 10^{12} / \text{cm}^2$ 以下となると効果を発揮し、より好ましくは、単位表面積あたりのp形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下となるとさらに効果を発揮する。

【0036】

本実施形態に係るPINダイオードでは、p⁻形アノード層2のn⁻形活性層1とは反対側の表面にp⁺形コンタクト層3が選択的に設けられる。p⁺形コンタクト層3は、ア

10

20

30

40

50

ノード電極10とp⁻形アノード層2とをオーミック接触させるために設けられる。p⁺形コンタクト層3のp形不純物の濃度は、p⁻形アノード層2のp形不純物の濃度より遙かに高く、アノード電極10として採用するメタルの材料によっても異なるが、例えば、 $1 \times 10^{18} / \text{cm}^3$ 以上、好ましくは、 $2 \times 10^{18} / \text{cm}^3$ 以上が望ましい。これにより、PINダイオードのオン抵抗が低減される。

【0037】

しかしながら、p⁺形コンタクト層3が隣り合うトレンチ4に挟まれたp⁻形アノード層2のn⁻形活性層1とは反対側の表面全体に設けられると、n⁻形活性層1への正孔の注入量が高くなってしまふ。この結果、p⁻形アノード層2のp形不純物の濃度が低いことによる低注入の効果が全て失われてしまい、PINダイオードの逆回復特性が劣化する。

10

【0038】

従って、p⁻形アノード層2のn⁻形活性層1とは反対側の表面にp⁺形コンタクト層3が選択的に設けられることによって、p⁻形アノード層2のp形不純物濃度が低いことによる低注入効果と、p⁺形コンタクト層3による動作電圧低減の効果とが同時に得られる。

【0039】

また、本実施形態に係るPINダイオードでは、トレンチの深さを3~7μmとしたが、トレンチ4の側壁-側壁間隔をAとし、トレンチ4の深さをBとした場合に、 $A/B > 0.5$ を充たしていればよい。この条件のもとであれば、隣り合うトレンチ4の間でp⁻形アノード層2下部のn⁻形活性層が空乏化するので、p⁻形アノード層2中の空乏層がアノード電極10へ到達することが抑制される。

20

【0040】

これまでトレンチ側壁-側壁間隔が、2μmと4μmとを例に取り説明してきた。次に、p⁻形アノード層の不純物総量を横軸に取り、静耐圧を縦軸にとってその関係を簡略化したグラフを図4に示す。静耐圧とは、エミッタ・コレクタ間に逆バイアスが印加された場合の降伏電圧である。トレンチ側壁-側壁間隔が4μmではエミッタ・コレクタ間の電圧を上げていくと、空乏層がp⁻形アノード層2中をアノード電極10に向かって伸びる。このため、通常、単位面積あたりのp形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下となると、PINダイオードが破壊されやすい。

30

【0041】

一方、トレンチ側壁-側壁間隔が2μmではエミッタ・コレクタ間の電圧を上げていくと、隣り合うトレンチ4の間で空乏層が繋がる。つまりp⁻形アノード層2の不純物総量が下がっても、p⁻形アノード層2は空乏化することはなく、静耐圧が維持されるのである。

【0042】

よって図4のようにトレンチ側壁-側壁間隔が4μmの場合は、p形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下となると静耐圧の低下がみられるが、トレンチ側壁-側壁間隔が2μmではp形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下になっても、p⁻形アノード層2は空乏化することはなく、静耐圧は維持される。

40

【0043】

この関係を今度はトレンチの深さをB、トレンチ4の側壁-側壁間隔をAとし、 $A/B > 0.5$ の値として考察すると、たとえば、 $5 \times 10^{11} / \text{cm}^2$ の場合、 $A/B > 0.5$ の範囲では、エミッタ・コレクタ間の電圧を上げていくと、隣り合うトレンチ4の間で空乏層が繋がり、p⁻形アノード層の不純物総量が下がっても、p⁻形アノード層2は空乏化することはなく、静耐圧が維持される。一方、 $A/B < 0.5$ の範囲では、エミッタ・コレクタ間の電圧を上げていくと、空乏層がp⁻形アノード層2中をアノード電極10に向かって伸びる。つまりp形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下である、たとえば $5 \times 10^{11} / \text{cm}^2$ の場合では $A/B > 0.5$ の範囲で静耐圧が維持される適切な構造が得られる。

50

【 0 0 4 4 】

以上、本実施形態に係る P I N ダイオードでは、p⁻形アノード層 2 を挟むように複数のトレンチ 4 が形成され、このトレンチ 4 の中に絶縁膜 5 を介して複数の導電体 6 が設けられる。導電体 6 は、アノード電極 1 0 と同電位になるように電氣的に接続されている。このため、逆バイアスの電圧が P I N ダイオードに印加されると、トレンチ 4 の内面に形成された絶縁膜 5 と n⁻形活性層 1 との界面から n⁻形活性層 1 に向かって空乏層が伸びて、隣り合うトレンチ 4 から伸びてきた空乏層がつながる。これにより、p⁻形アノード層 2 の下部で隣り合うトレンチ 4 に挟まれた n⁻形活性層の部分が空乏層で繋がる。空乏層は n⁻形活性層 1 中を n⁺形カソード層 8 に向かって伸びやすくなり、p⁻形アノード層 2 中をアノード電極 1 0 側に向かって伸びにくくなる。この結果、p⁻形アノード層 2 中の空乏層がアノード電極に到達することが抑制されるので、p⁻形アノード層 2 の p 形不純物の濃度を低減して低注入型の高破壊耐量を有する P I N ダイオードを提供することができる。

10

【 0 0 4 5 】

(第 2 の実施形態)

第 2 の実施形態に係る電力用半導体装置を図 5 及び図 6 を用いて説明する。図 5 は第 2 の実施形態に係る電力用半導体装置の要部模式断面図である。図 6 は、比較例に係る電力用半導体装置の要部模式断面図である。なお、第 1 の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第 1 の実施形態との相異点について主に説明する。

20

【 0 0 4 6 】

図 5 に示したように、本実施形態に係る電力用半導体装置は F W D のユニットセルが複数形成された F W D 領域と、I G B T のユニットセルが複数形成された I G B T 領域とを有する。F W D 領域に形成された F W D は、第 1 の実施形態に係る P I N ダイオードである。すなわち、本実施形態に係る電力用半導体装置は、第 1 の実施形態に係る P I N ダイオードを F W D 領域に有する。本実施形態に係る電力用半導体装置は、さらに I G B T 領域を有する点で、第 1 の実施形態と相異なる。

【 0 0 4 7 】

本実施形態に係る電力用半導体装置において、n⁻形活性層 1 は、上面である第 1 の表面または下面である第 2 の表面と平行な面内 (水平面内) において、F W D 領域 (第 1 領域) とこれに隣接する I G B T 領域 (第 2 領域) とを有する。F W D 領域の構造は第 1 の実施形態のとおりなので、I G B T 領域の構造に関して説明する。

30

【 0 0 4 8 】

I G B T 領域において、p 形ベース層 1 2 が、n⁻形活性層 1 の第 1 の表面側で、n⁻形活性層 1 上に設けられ、F W D 領域の p⁻形アノード層 2 よりも高い p 形不純物の濃度 (及び不純物総量、以下記載同じ) を有する。言い換えると、p 形ベース層 1 2 が、n⁻形活性層の第 1 の表面側に設けられ、F W D 領域の p⁻形アノード層 2 よりも高い p 形不純物の濃度を有する。p 形ベース層 1 2 は、p⁻形アノード層 2 同様に、p 形不純物を拡散させた拡散層であるが、n⁻形活性層 1 の表面に設けた凹みの中に C V D により埋め込まれた後に平坦化された p 形半導体層でもよい。

40

【 0 0 4 9 】

n⁺形のエミッタ層 1 1 が、p 形ベース層 1 2 の n⁻形活性層とは反対側の表面に設けられ、n⁻形活性層 1 よりも高い n 形の不純物の濃度を有する。n⁺形エミッタ層 1 1 は、n 形不純物を拡散させた拡散層であるが、p 形ベース層 1 2 の表面に形成された凹みの中に C V D により埋め込まれた後に平坦化された n⁺形半導体層でもよい。

【 0 0 5 0 】

複数のトレンチ 4 a が、n⁺形エミッタ層 1 1 の n⁻形活性層 1 とは反対側の表面から p 形ベース層 1 2 を通り抜けて n⁻形活性層 1 中に達するように設けられる。ゲート絶縁膜 5 a が、トレンチ 4 a の内面 (側面及び底面) 上を覆うように設けられる。ゲート絶縁膜 5 a は、絶縁膜 5 と同様に、例えば酸化シリコンであるが、窒化シリコンまたは酸化窒化

50

シリコンでもよい。

【0051】

なお、上記p形ベース層12は、FWD領域のp⁻形アノード層2と同じ深さに設けられてもよいし、浅く設けられてもよく、または深く設けられてもよい。IGBTとFWDの特性に応じて設定され、特に所望の閾値となるように濃度プロファイルが設定される。また、上記IGBT領域の複数のトレンチ4aの深さは、FWD領域の複数のトレンチ4の深さと同じでもよく、違っていてもよい。両者の深さが同じ場合は、FWD領域のトレンチ4とIGBT領域のトレンチ4aを一体的に形成できるため、製造効率が高くなる。

【0052】

ゲート電極6aが、ゲート絶縁膜5aを介してトレンチ4a内に設けられる。ゲート電極6aは、導電体6と同様に導電性材料であればよく、例えば導電性のポリシリコンである。ゲート電極6aは、トレンチ4a内において、n⁻形活性層1、p形ベース層12、及びn⁺形エミッタ層11上に、ゲート絶縁膜5aを介して設けられる。層間絶縁膜30が、ゲート電極6a上に設けられる。層間絶縁膜30は、ゲート絶縁膜6aと同様に例えば酸化シリコンであるが、窒化シリコンまたは酸窒化シリコンでもよい。

10

【0053】

p⁺形コンタクト層13が、p形ベース層12のn⁻形活性層1とは反対側の表面に設けられ、n⁺形エミッタ層11に隣接する。p⁺形コンタクト層13は、p形不純物を拡散させた拡散層であるが、p形ベース層12の表面に形成された凹みの中にCVDにより埋め込まれた後に平坦化されたp⁺形半導体層でもよい。

20

【0054】

p⁺形コレクタ層14が、n形バッファ層7のn⁻形活性層1とは反対側の表面に設けられる。p⁺形コレクタ層14は、n⁺形カソード層8に隣接しp形不純物の拡散による拡散層であるが、n形バッファ層7に達するようにn⁺形カソード層8に形成された開口部にCVDにより埋め込まれた後に平坦化されたp⁺形半導体層でもよい。

【0055】

カソード電極9は、FWD領域においてn⁺形カソード層8上に形成されてn⁺形カソード層8と電氣的に接続されるとともに、IGBT領域においてp⁺形コレクタ層14上に形成されてp⁺形コレクタ層14と電氣的に接続される。すなわち、FWD領域におけるカソード電極9は、IGBT領域に延伸してIGBT領域ではコレクタ電極9として機能する。

30

【0056】

アノード電極10は、FWD領域においてp⁻形アノード層2上及びp⁺形コンタクト層3上に形成されて、p⁻形アノード層2及びp⁺形コンタクト層3と電氣的に接続されるとともに、IGBT領域においてゲート電極6a上に層間絶縁膜30を介して形成され、p形ベース層12のn⁻形活性層1とは反対側の表面及びp⁺形コンタクト層13のn⁻形活性層1とは反対側の表面と電氣的に接続される。すなわち、FWD領域におけるアノード電極10は、IGBT領域に延伸してIGBT領域ではエミッタ電極として機能する。

【0057】

隣り合う上記一对のトレンチ4aがn⁻形活性層1、p⁻形ベース層12、n⁺形エミッタ層11、及びp⁺形コンタクト層13を挟んだ構造が、IGBTのユニットセルとなる。IGBT領域では、この複数のユニットセルがn⁻形活性層1の第1の表面側に形成されて、IGBTを構成する。なお、n⁻形活性層1は、IGBT領域ではn⁻形ベース層1として機能する。

40

【0058】

本実施形態に係る電力用半導体装置は、上記のとおりFWD及びIGBTを備える。FWDのアノード電極10は、IGBTのエミッタ電極10と共通に形成されており、FWDのカソード電極9は、IGBTのコレクタ電極10と共通に形成されている。このため、FWDは、IGBTとは逆並列に接続され、本実施形態に係る電力用半導体装置は、R

50

C (Reverse Conducting) - IGBTとなっている。

【0059】

本実施形態に係るRC-IGBTは、以下のように動作する。IGBTのゲート電極6aに閾値を超える電圧が印加されると、p形ベース層12のゲート電極6aと対向する部分にチャンネル層が形成されて、RC-IGBTのIGBTはオン状態となる。この結果、IGBTにはコレクタ電極9からエミッタ電極10に向かって電流が流れる。ゲート電極6aの電圧印加を止めると、チャンネルは消失しIGBTはオフ状態になる。このとき、エミッタ電極10にコレクタ電極9に対して正の電圧が印加されると、FWDが順バイアスとなってオン状態となり、アノード電極10からカソード電極9に向かって電流が流れる。RC-IGBTがインバータのスイッチ素子として用いられるときは、このようにしてFWDは環流電流を流す。

10

【0060】

本実施形態に係るRC-IGBTにおいても、FWD領域に形成されたFWDは第1の実施形態に係るPINダイオードと同じ効果を有する。すなわち、本実施形態に係るRC-IGBTのFWD領域に形成されたFWDは、p⁻形アノード層2を挟むように複数のトレンチ4が形成され、このトレンチ4の中に絶縁膜5を介して複数の導電体6が設けられる。導電体6は、アノード電極10と同電位になるように電気的に接続されている。このため、逆バイアスの電圧がPINダイオードに印加されると、トレンチ4の内面に形成された絶縁膜5とn⁻形活性層1との界面からn⁻形活性層1に向かって空乏層が伸びて、隣り合うトレンチ4から伸びてきた空乏層が繋がる。これにより、p⁻形アノード層2の下部で隣り合うトレンチ4に挟まれたn⁻形活性層の部分が全て空乏化する。

20

【0061】

空乏層はn⁻形活性層1中をn⁺形カソード層8に向かって伸びやすく、p⁻形アノード層2中をアノード電極10側に向かって伸びにくくなる。この結果、p⁻形アノード層2中の空乏層がアノード電極に到達することが抑制されるので、p⁻形アノード層2のp形不純物の濃度を低減して低注入型の高破壊耐量を有するPINダイオードを提供することができる。

【0062】

さらに本実施形態に係る電力用半導体装置では、IGBTと第1の実施形態に係るFWDとが一体化して形成されるところに特徴があり、この利点について比較例に係る電力用半導体装置と比較して説明する。

30

【0063】

図6に比較例に係るRC-IGBTを示す。比較例に係るRC-IGBTは、FWD領域に第1の実施形態で比較した比較例のPINダイオードを有する。比較例に係るRC-IGBTのIGBT領域は、本実施形態に係るRC-IGBTのIGBTと同じ構造のIGBTを有する。すなわち、比較例に係るRC-IGBTのFWDのp形アノード層42は、本実施形態に係るRC-IGBTのFWDのp⁻形アノード層2よりも高いp形不純物の濃度を有する。また、p形アノード層42のn⁻形活性層1とは反対側の表面からp⁻形アノード層を通り抜けてn⁻形活性層1中に達する複数のトレンチが、FWD領域中に設けられていない。さらに、He照射等によるライフタイムコントロール領域が、FWD領域のn⁻形活性層のアノード側、もしくはカソード側、またはn⁻形活性層の中間領域に設けられており、IGBT領域には設けられていない。以上の点で、比較例に係るRC-IGBT中のFWDは、本実施形態に係るRC-IGBT中のFWDと相異なる。

40

【0064】

比較例に係るRC-IGBT中のFWDでは、ライフタイムコントロール領域によりn⁻形活性層1中のキャリア濃度を低減して、逆方向特性を向上させている。しかしながら、ライフタイムコントロール領域に起因するn⁻形活性層1中の結晶欠陥が、FWDの逆バイアス時のリーク電流を増加させる。ライフタイムコントロール領域は、選択的にFWD領域に設けられ、IGBT領域には設けられないようにする。しかしながら、例えば、ヘリウム照射の面内方向における急峻性、及びヘリウム照射時に用いられるマスクの精度

50

が十分でないため、ライフタイムコントロール領域が I G B T 領域中に入り込むように形成されてしまう。この結果、I G B T 領域のうちライフタイム制御が施された領域では、オン電圧が高くなってしまう。

【 0 0 6 5 】

これに対して、本実施形態に係る R C - I G B T は、F W D 領域にライフタイムコントロール領域を有さずに、前述の通り F W D の逆回復特性を向上させている。このため、本実施形態に係る R C - I G B T 中の I G B T は、比較例に係る R C - I G B T 中の I G B T と比べて、低いオン電圧を有し、領域内での不均一動作も抑制することが可能となる。

【 0 0 6 6 】

本実施形態に係る電力用半導体装置は、第 1 領域である F W D 領域と、第 2 領域である I G B T 領域と、を有する R C - I G B T である。本実施形態は、これに限られることなく、I G B T 領域の代わりに M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) により構成される M O S F E T 領域を備えた電力用半導体装置に対しても適用が可能である。その場合は、 p^+ 形コレクタ層 14 の代わりに、第 1 領域の n^+ 形カソード層 8 が第 2 領域に延伸して、コレクタ電極 9 と n^- 形ベース層 1 との間に設けられる。コレクタ電極 9 が、 n^+ 形カソード層 8 を介して n^- 形ベース層 1 に電氣的に接続される。

【 0 0 6 7 】

(第 3 の実施形態)

第 3 の実施形態に係る電力用半導体装置を図 7 ~ 図 9 を用いて説明する。図 7 は第 3 の実施形態に係る電力用半導体装置の要部模式断面図である。図 8 (a) 及び (b) は、第 3 の実施形態に係る電力用半導体装置の製造工程の一部を示す要部模式断面図である。図 9 は、第 3 の実施形態に係る電力用半導体装置の別の製造工程の一部を示す要部模式断面図である。なお、第 1 の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いる。第 1 の実施形態との相異点について主に説明する。

【 0 0 6 8 】

図 7 に示したように、本実施形態に係る電力用半導体装置は、第 1 の実施形態と同様に、P I N ダイオードであり、 n^- 形活性層 1、 p 形アノード層 2、複数の導電体 6、 p^+ 形拡散層 15、 n^+ 形カソード層 8、カソード電極 9、及びアノード電極 10 を備える。

【 0 0 6 9 】

n^- 形の活性層 1 は、高抵抗の半導体層により構成され、上面である第 1 の表面と下面である第 2 の表面とを有する。 n^- 形活性層 1 の厚さは、P I N ダイオードに要求される耐圧により決定される。 n^- 形活性層 1 の厚さは、例えば、耐圧が 1200 V 程度になるように 100 ~ 200 μm に設定される。半導体層は、例えばシリコンである (以下同様)。

【 0 0 7 0 】

p 形のアノード層 2 は、 n^- 形活性層 1 の第 1 の表面に設けられる。 p 形アノード層 2 は、C V D (Chemical Vapor Deposition) 等により n^- 形活性層の第 1 の表面上に成膜された p 形半導体層を用いることもできるが、本実施形態では、 n^- 形活性層 1 の第 1 の表面に p 形不純物の拡散により形成された拡散層である。すなわち、 p^- 形アノード層 2 は、 n^- 形活性層の第 1 の表面から n^- 形活性層 1 中に伸び、第 1 の表面側で n^- 形活性層 1 上に形成される。

【 0 0 7 1 】

複数のトレンチ 4 が、 p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面から p^- 形アノード層 2 中に延伸するように設けられる。複数のトレンチ 4 の側壁 - 側壁間隔 A は、例えば 2 μm である。複数のトレンチ 4 の深さは、例えば 5 μm である。一对のトレンチ 4 は、 p^- 形アノード層 2 を挟む。本実施形態では、複数のトレンチ 4 の底部は、 p^- 形アノード層 2 の底部よりもアノード電極 10 側にある。

【 0 0 7 2 】

p^+ 形拡散層 15 が、各トレンチ 4 の底部から n^- 形活性層 1 中に放射状に延伸するよ

10

20

30

40

50

うに設けられる。n⁻形活性層1の各トレンチ4の底部に隣接する部分からp形不純物が拡散して、p⁺形拡散層15が形成される。p⁺形拡散層15中のp形不純物の濃度は、n⁻形活性層1の各トレンチ4の底部に隣接する部分で高く、この部分から、離れるに従って低下する。p⁺形拡散層15は、トレンチ4に沿ってp⁻形アノード層2と繋がっており、p⁻形アノード層2からn⁻形活性層1に向かって湾曲して突き出ている。p⁺形拡散層15中のp形不純物の濃度が最も高い部分のp形不純物の濃度は、p⁻形アノード層中のp形不純物の濃度が最も高い部分のp形不純物の濃度よりも高い。

【0073】

本実施形態では、上述のように、複数のトレンチ4の底部は、p⁻形アノード層2の底部よりもアノード電極10側にある。しかしながら、p⁺形拡散層15がp⁻形アノード層2と繋がっている範囲内で、複数のトレンチ4の底部は、p⁻形アノード層2の底部よりもカソード電極側にあってもよい。

10

【0074】

絶縁膜5は、複数のトレンチ4の内面(側面及び底面)を覆うように設けられる。複数の導電体6は、絶縁膜5を介して複数のトレンチ内に埋め込まれる。すなわち、複数の導電体6は、絶縁膜5を介して、p⁻形アノード層2及びp⁺形拡散層15上に設けられる。絶縁膜5は、例えば酸化シリコンであるが、窒化シリコンまたは酸窒化シリコンなどを用いることも可能である。また、導電体6は、導電性の材料であればよく、例えば、導電性のポリシリコンである。

【0075】

20

n⁺形カソード層8は、n⁻形活性層1の第2の表面に電気的に接続するように設けられる。n⁺形カソード8のn形不純物の濃度は、n⁻形活性層のn形不純物の濃度よりも高い。なお、適宜n形バッファ層が、n⁻形活性層1とn⁺形カソード層8との間に設けられてもよい。その場合、n形バッファ層のn形不純物の濃度は、n⁻形活性層1のn形不純物の濃度よりも高く、n⁺形カソード層8のn形不純物の濃度よりも低い。

【0076】

カソード電極9は、n⁺形カソード層8に電気的に接続されるようにn⁺形カソード層8のn⁻形活性層1とは反対側の表面上に設けられる。アノード電極10は、p⁻形アノード層2上及び複数の導電体6上に設けられ、p⁻形アノード層2及び複数の導電体6に電気的に接続される。

30

【0077】

第1の実施形態に係るPINダイオードと同様に、本実施形態に係るPINダイオードにおいても、上記複数のトレンチ4の隣り合うトレンチ4を一对のトレンチ4として、一对のトレンチ4内に設けられた一对の導電体6によって挟まれた構造をユニットセルとする。このユニットセルが、n⁻形活性層1の第1の表面側に複数設けられることによって、ダイオード領域(第1領域)が構成される。

【0078】

次に本実施形態に係るPINダイオードの動作について説明する。本実施形態に係るPINダイオードは、第1の実施形態に係るPINダイオードと同様に、p⁻形アノード層2のp形不純物の濃度が低く設定されており、低注入型のダイオードである。しかしながら、複数のトレンチ4は、p⁻形アノード層2を通り抜けてn⁻形活性層1中に達しておらず、複数のトレンチ4の底部は、p⁺形拡散層15中に存在する。

40

【0079】

アノード電極10にカソード電極9に対して負の電圧が印加されると、p⁻形アノード層2とn⁻形活性層1とのp-n接合及びp⁺形拡散層15とn⁻形活性層1とのp-n接合から、空乏層がn⁻形活性層1中をカソード電極9に向かって広がる。p⁻形アノード層2とn⁻形活性層1とのp-n接合は、n⁻形活性層1の第1の表面及び第2の表面に対して並行であるので、等電位線は、p-n接合に並行に分布する。

【0080】

これに対して、p⁺形拡散層15とn⁻形活性層1とのp-n接合は、トレンチ4の底

50

部でカソード電極9側に向かって湾曲している。このため、等電位線も湾曲して分布する。さらに、 p^+ 形拡散層15は、 p^- 形アノード層2よりも p 形不純物の濃度が高いので、 p^+ 形拡散層15から n^- 形活性層1中に広がる空乏層の等電位線の間隔は、 p^- 形アノード層2から n^- 形活性層1中に広がる空乏層の等電位線の間隔よりも狭くなる。

【0081】

この結果、 p^+ 形拡散層15と n^- 形活性層1との $p-n$ 接合部の方が、 p^- 形アノード層2と n^- 形活性層1との $p-n$ 接合部よりもアバランシェ降伏が発生しやすい、すなわち耐圧が低い。各トレンチ4の底部でほぼ同時にアバランシェ降伏が発生するため、アバランシェ降伏による電流が局部に集中してPINダイオードが破壊されることが抑制される。すなわち、PINダイオードのアバランシェ耐量が高い。

10

【0082】

なお、本実施形態では、 p^+ 形拡散層15は、 p^- 形活性層1の底部よりも p 形不純物の濃度が高い例を示した。しかしながら、これに限られることなく、 p^+ 形拡散層15は、例えば、積層方向において p^- 形アノード層2とほぼ同じような p 形不純物の濃度分布を有していてもよい。すなわち、 p^+ 形拡散層15の p 形不純物の濃度が、 p^- 形アノード層の底部の p 形不純物の濃度よりも明らかに高いとはいえない場合でもよい。この場合でも、 p^+ 形拡散層15と n^- 形活性層1との $p-n$ 接合は、トレンチ4の下部でカソード電極9側に向かって湾曲しているため、等電位線の間隔が狭くなる部分が生じる。このため、アバランシェ降伏が発生しやすい。

【0083】

20

ここで、第1の実施形態で述べたことと同様に、 p^- 形アノード層2の単位面積あたりの p 形不純物の総量が $2 \times 10^{12} / \text{cm}^2$ 以下となると効果を発揮し、より好ましくは、単位面積あたりの p 形不純物の総量が $1 \times 10^{12} / \text{cm}^2$ 以下となるとさらに効果を発揮する。また、 p^+ 形拡散層15の単位面積あたりの p 形不純物の総量は、 p^- 形アノード層2の単位面積あたりの p 形不純物の総量と同等かそれ以上であれば、本発明の効果を発揮する。

【0084】

これに対してトレンチ4及びトレンチ4の底部に設けられた p^+ 形拡散層15を備えないPINダイオードでは、アバランシェ降伏の耐圧は高いが、アバランシェ降伏が発生する部分が多数存在しないので、アバランシェ降伏による電流が、局所的に集中する。このため、このようなPINダイオードではアバランシェ耐量が低い。

30

【0085】

以上、本実施形態に係るPINダイオードは、 p^- 形アノード層2の n^- 形活性層1とは反対側の表面から p^- 形アノード層2中に延伸する複数のトレンチ4、各トレンチ4内に絶縁膜5を介して形成されアノード電極2に電気的に接続された導電体6、及び各トレンチ4の底部に設けられた p^+ 形不純物拡散層15を備える。これにより、各トレンチ4の底部に設けられた p^+ 形拡散層15と n^- 形活性層1との $p-n$ 接合部で、ダイオード領域において均等にアバランシェ降伏が起こるようになり、アバランシェ降伏による局部への電流集中が抑制される。破壊耐量が高い低注入型のダイオードを提供することができる。

40

【0086】

次に本実施形態に係る電力用半導体装置の p^+ 形拡散層15を形成する方法を図8を用いて説明する。図8(a)及び(b)は、本実施形態に係る電力用半導体装置の製造工程の一部の要部模式断面図である。図8(a)に示したように、 n^- 形活性層1の第1の表面に、 p 形不純物をイオン注入して熱処理を実施することによって、 n^- 形活性層1の第1の表面に p^- 形アノード層2が形成される。 p^- 形アノード層2は、拡散層であるため、 n^- 形活性層1とは反対側で p 形不純物の濃度が高く、 n^- 形活性層1側に向かうにつれて p 形不純物の濃度が低下する。

【0087】

次に、RIE(Reactive Ion Etching)により、複数のトレンチ4が p^- 形アノード層

50

の n^- 形活性層とは反対側の表面から p^- 形アノード層2中に延伸するように、図示しないマスクを用いて形成される。トレンチ4の底部が、 p^- 形アノード層2の底部よりもアノード電極側にあるように、トレンチ4が形成される。

【0088】

次にトレンチ4を形成したマスクを残したまま p 形不純物のイオン注入を実施することにより、各トレンチ4の底部に隣接する p^- 形アノード層2の一部分または n^- 形活性層1の一部分にだけ p 形不純物が注入され、 p 形不純物注入層16が各トレンチ4の底部に隣接して形成される。

【0089】

その後、図8(b)に示したように、熱処理を実施して p 形不純物を拡散させて、各トレンチ4の底部に隣接して p^+ 形不純物拡散層15が形成される。

10

【0090】

本製造方法によれば、 p^- 形アノード層2を形成するイオン注入時の p 形不純物の不純物総量と、 p^+ 形拡散層15を形成するイオン注入時の p 形不純物の不純物総量とが同等であっても、 p^- 形アノード層2を形成するための熱処理と p^+ 形拡散層15を形成するための熱処理は別々に実施されるので、 p^+ 形拡散層15の p 形不純物の濃度を p^- 形アノード層2の p 形不純物の濃度より高くすることができる。すなわち、 p^+ 形拡散層15の p 形不純物の濃度を p^- 形アノード層とは別に制御可能である。

【0091】

次に本実施形態に係る電力用半導体装置の p^+ 形拡散層15を形成する別の方法を図9を用いて説明する。図9は、本実施形態に係る電力用半導体装置の製造工程の一部の要部模式断面図である。

20

【0092】

図9に示したように、 n^- 形活性層1の第1の表面から n^- 形活性層1中に延伸する複数のトレンチ4がRIEにより形成される。その後、 n^- 形活性層1の第1の表面及び各トレンチ4の底部に露出する n^- 形活性層1の部分に、同時にイオン注入により p 形不純物を注入し、 n^- 形活性層1の第1の表面及びトレンチ4の底部に p 形不純物注入層16が形成される。その後、熱処理を実施することで、 p^- 形アノード層2及び p^+ 形拡散層15が同時に形成される。 p^- 形アノード層2が p^+ 形拡散層15に接続されるまで、 p 形不純物注入層16の p 形不純物を拡散させる。

30

【0093】

本製造方法によれば、 p^- 形アノード層2中の p 形不純物の積層方向の濃度分布と、 p^+ 形拡散層15の p 形不純物の積層方向の濃度分布とは、ほぼ同じものとなる。従って、 p^+ 形拡散層15の p 形不純物の濃度は、 p^- 形アノード層2の p 形不純物の濃度とほぼ同じである。しかしながら、 p^+ 形拡散層15の p 形不純物の濃度が最も高い部分は、 p^- 形アノード層2の底部とは隣接しており、この p^- 形アノード層2の底部の p 形不純物の濃度は、 p^+ 形拡散層15の p 形不純物の濃度が最も高い部分の p 形不純物の濃度よりも低い。

【0094】

(第4の実施形態)

40

第4の実施形態に係る電力用半導体装置を図10を用いて説明する。図10は第4の実施形態に係る電力用半導体装置の要部模式断面図である。なお、第3の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第3の実施形態との相異点について主に説明する。

【0095】

図10に示したように、本実施形態に係るPINダイオードは、第3の実施形態に係るPINダイオードにおいて、隣り合うトレンチ4に挟まれた p^- 形アノード層2の n^- 形活性層1とは反対側の表面に、 p 形半導体からなる p^+ 形コンタクト層3及び n 形半導体からなる n^+ 形半導体層17をさらに備える。 p^+ 形コンタクト層3は、 p^- 形アノード層2よりも高い p 形不純物の濃度を有し、隣り合うトレンチ4に挟まれた p^- 形アノード

50

層 2 の n^- 形活性層 1 とは反対側の表面に選択的に設けられる。 p^+ 形コンタクト層 3 は、例えば、隣り合うトレンチに隣接するように設けられるが、これに限定されない。また、 n^+ 形半導体層 17 は、隣り合うトレンチ 4 に挟まれた p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面に選択的に設けられ、 p^+ 形コンタクト層 3 に隣接する。本実施形態に係る P I N ダイオードは、上記の点において第 3 の実施形態に係る P I N ダイオードと相異なる。

【 0 0 9 6 】

本実施形態に係る P I N ダイオードも、第 3 の実施形態に係る P I N ダイオードと同様に、 p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面から p^- 形アノード層 2 中に延伸する複数のトレンチ 4、各トレンチ 4 内に絶縁膜 5 を介して形成されアノード電極 2 に電氣的に接続された導電体 6、及び各トレンチ 4 の底部に設けられた p^+ 形不純物拡散層 15 を備える。これにより、各トレンチ 4 底部に設けられた p^+ 拡散層 15 と n^- 形活性層 1 との $p-n$ 接合部で、ダイオード領域において均等にアバランシェ降伏が起こるようになり、アバランシェ降伏による電流集中が抑制される。破壊耐量が高い低注入型のダイオードを提供することができる。

10

【 0 0 9 7 】

さらに本実施形態では、 p^+ 形コンタクト層 3 を備えるため、アノード側からの正孔注入量が多くなり F W D のオン電圧が低減される。隣り合うトレンチ 4 により挟まれた p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面において、 p^+ 形コンタクト層 3 の占める領域が大きいと、さらにオン電圧が低減される。しかしながら、低注入形 P I N ダイオードの効果が得られなくなり、P I N ダイオードの逆回復特性が劣化する。

20

【 0 0 9 8 】

これに対処するため、 n^+ 形半導体層 17 が、隣り合うトレンチ 4 により挟まれた p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面に、 p^+ 形コンタクト層 3 とともに設けられる。 n^+ 形半導体層 17 は、アノード電極 10 から p^- 形アノード層 2 への正孔の注入を抑制する。隣り合うトレンチ 4 により挟まれた p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面において、 n^+ 形半導体層 17 の領域が大きくなると低注入の効果が得られるが、その反面、オン電圧が増大する。

【 0 0 9 9 】

本実施形態に係る P I N ダイオードでは、隣り合うトレンチ 4 により挟まれた p^- 形アノード層 2 の n^- 形活性層 1 とは反対側の表面において、 n^+ 形半導体層 17 と p^+ 形コンタクト層 3 の面積比を調整することにより、所望のオン電圧及び逆回復特性を得ることができる。

30

【 0 1 0 0 】

(第 5 の実施形態)

第 5 の実施形態に係る電力用半導体装置を図 1 1 を用いて説明する。図 1 1 は第 5 の実施形態に係る電力用半導体装置の要部模式断面図である。なお、第 3 の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第 3 の実施形態との相異点について主に説明する。

【 0 1 0 1 】

図 1 1 に示したように、本実施形態に係る電力用半導体装置は P I N ダイオードであり、第 3 の実施形態に係る P I N ダイオードにおいて、複数のトレンチ 4 が p^- 形アノード層 2 を通り抜け、 n^- 形活性層 1 中に達する。複数のトレンチ 4 の底部には、 p^+ 形不純物拡散層 15 が設けられる。第 3 の実施形態と同様に、 p^+ 形不純物拡散層 15 は、各トレンチ 4 の底部に隣接する n^- 形活性層の部分から放射状に広がり、 p 形不純物の濃度もその部分から離れるにつれて低下する。 p^+ 形不純物拡散層 15 は、間に n^- 形活性層 1 を介して p^- 形アノード層 2 の底部から離間する。上記の点において、本実施形態に係る P I N ダイオードは、第 3 の実施形態に係る P I N ダイオードと相異なる。

40

【 0 1 0 2 】

本実施形態に係る P I N ダイオードでは、 p^+ 形拡散層 15 は p^- 形アノード層 2 とは

50

分離しているので、PINダイオードがオン状態のときに p^+ 形拡散層15を通じて n^- 形活性層中に正孔が注入されることがない。このため、 p^+ 形拡散層15の p 形不純物濃度を高くしても、 n^- 形活性層1への正孔の注入量は、 p^- 形アノード層2の p 形不純物濃度で決まるので、PINダイオードの低注入効果への影響はない。

【0103】

また、 p^+ 形不純物拡散層15の p 形不純物の濃度を高くすることにより、各トレンチ4の底部において、 p^+ 形不純物拡散層15と n^- 形活性層1との $p-n$ 接合の耐圧をダイオード領域内で均等に下げることができる。この結果、PINダイオード中の水平方向において安定して均等にアバランシェ降伏を発生させることができるので、PINダイオードのアバランシェ耐量を向上させることができる。

10

【0104】

以上、本実施形態に係るPINダイオードも、第3の実施形態に係るPINダイオードと同様に、 p^- 形アノード層2の n^- 形活性層1とは反対側の表面から p^- 形アノード層2中に延伸する複数のトレンチ4、各トレンチ4内に絶縁膜5を介して形成されアノード電極2に電氣的に接続された導電体6、及び各トレンチ4の底部に設けられた p^+ 形不純物拡散層15を備える。これにより、各トレンチ4底部に設けられた p^+ 拡散層15と n^- 形活性層1との $p-n$ 接合部で、ダイオード領域において均等にアバランシェ降伏が起こるようになり、アバランシェ降伏による電流集中が抑制される。破壊耐量が高い低注入型のダイオードを提供することができる。

【0105】

さらに、本実施形態に係るPINダイオードでは、複数のトレンチ4は p^- 形アノード層2を通り抜けて n^- 形活性層1中へ達し、 p^+ 形拡散層15は、 p^- 形アノード層2から離間している。このため、 p^+ 形拡散層の p 形不純物の濃度を高くしてアバランシェ降伏を均等に発生しやすくしても、PINダイオードの低注入効果は抑制されない。従って、本実施形態によれば、第3の実施形態に係るPINダイオードと比較して、アバランシェ耐量がさらに高く、逆回復特性に優れたPINダイオードが提供される。

20

【0106】

本実施形態に係るPINダイオードの、複数のトレンチ4、 p^+ 形不純物拡散層15、及び p^- 形アノード層2は、第3の実施形態に係るPINダイオードの製造工程の一部である図8または図9の工程によって形成可能である。例えば、製造工程の効率を重視するのであれば、図9に示した工程を用いればよく、 p^+ 形拡散層15の p 形不純物の濃度を p^- 形アノード層とは独立に制御するのであれば、図8に示した工程を用いればよい。

30

【0107】

なお、本実施形態に係るPINダイオードにおいて、 p^- 形アノード層2をさらにカソード電極9側に延伸させて p^+ 形不純物拡散層15に達するように、 p^- 形アノード層2、トレンチ4、及び p^+ 形拡散層15を形成すれば、本実施形態に係るPINダイオードは、第3の実施形態に係るPINダイオードと同様になる。そのような形成方法としては、例えば、 p^- 形アノード層2を形成する際の p 形不純物の拡散層を深く形成すること、または、トレンチ4を p^- 形アノード層を貫通しないように形成すること、等があげられる。

40

【0108】

(第6の実施形態)

第6の実施形態に係る電力用半導体装置を図12を用いて説明する。図12は第6の実施形態に係る電力用半導体装置の要部模式断面図である。なお、第5の実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第3の実施形態との相異点について主に説明する。

【0109】

図1211に示したように、本実施形態に係る電力用半導体装置はFWDのユニットセルが複数形成されたFWD領域と、IGBTのユニットセルが複数形成されたIGBT領域とを有する。FWD領域に形成されたFWDは、第5の実施形態に係るPINダイオード

50

ドである。すなわち、本実施形態に係る電力用半導体装置は、第5の実施形態に係るPINダイオードをFWD領域に有する。本実施形態に係る電力用半導体装置は、さらにIGBT領域を有する点で、第5の実施形態に係る電力用半導体装置と相異なる。

【0110】

本実施形態に係る電力用半導体装置では、 n^- 形活性層1は、上面である第1の表面または下面である第2の表面と平行な面内において、FWD領域とこれに隣接するIGBT領域とを有する、RC-IGBTである。FWD領域の構造は第5の実施形態に係るPINダイオードの構造と同じであり、IGBT領域の構造は、第2の実施形態のIGBT領域の構造と同じである。ここで、IGBT領域の p^- 形ベース層12は、FWD領域の p^- 形アノード層2よりも高い濃度の p^- 形不純物を有する。また、本実施形態に係るRC-IGBTは、第2の実施形態に係るRC-IGBTとは違い、 n^- 形バッファ層7を省略した。

10

【0111】

FWD領域とIGBT領域は、間に境界領域を構成する n^- 形活性層1を介して互いに離間して隣接する。境界領域の n^- 形活性層1の第1の表面上には、層間絶縁膜18が設けられ、アノード電極10を n^- 形活性層1から絶縁する。層間絶縁膜18は、アノード電極10と n^- 形活性層1の第1の表面との間に少なくとも設けられていればよく、第1領域の層間絶縁膜30上、または第2領域の p^- 形アノード層10の一部分上若しくは導電体6上にまでさらに設けられていてもよい。

【0112】

本実施形態に係るRC-IGBTは、第2の実施形態に係るRC-IGBTと同様に、以下のように動作する。IGBTのゲート電極6aに閾値を超える電圧が印加されると、 p^- 形ベース層12のゲート電極6aと対向する部分にチャネル層が形成されて、RC-IGBTのIGBTはオン状態となる。この結果、IGBTにはコレクタ電極9からエミッタ電極10に向かって電流が流れる。ゲート電極6aの電圧印加を止めると、チャネルは消失しIGBTはオフ状態になる。このとき、エミッタ電極10にコレクタ電極9に対して正の電圧が印加されると、FWDが順バイアスとなってオン状態となり、アノード電極10からカソード電極に向かって電流が流れる。

20

【0113】

本実施形態に係るRC-IGBTにおいても、FWD領域に形成されたFWDは第5の実施形態に係るPINダイオードと同じ効果を有する。すなわち、本実施形態に係るRC-IGBTのFWD領域に形成されたFWDは、 p^- 形アノード層2の n^- 形活性層1とは反対側の表面から p^- 形アノード層2中に延伸する複数のトレンチ4、各トレンチ4内に絶縁膜5を介して形成されアノード電極2に電氣的に接続された導電体6、及び各トレンチ4の底部に設けられた p^+ 形不純物拡散層15を備える。これにより、各トレンチ4底部に設けられた p^+ 拡散層15と n^- 形活性層1との $p-n$ 接合部で、FWD領域において均等にアバランシェ降伏が起こるようになり、アバランシェ降伏による電流集中が抑制される。破壊耐量が高い低注入型のFWDを提供することができる。

30

【0114】

さらに、本実施形態に係るRC-IGBTのFWDでは、第5の実施形態に係るPINダイオードと同様に、複数のトレンチ4は p^- 形アノード層2を通り抜けて n^- 形活性層1中へ達し、 p^+ 形拡散層15は、 p^- 形アノード層2から離間している。このため、 p^+ 形拡散層15の p^- 形不純物の濃度を高くしてアバランシェ降伏を均等に発生しやすくしても、FWDの低注入効果は抑制されない。従って、本実施形態によれば、第5の実施形態と同様に、第3の実施形態に係るPINダイオードと比較して、アバランシェ耐量がさらに高く、逆回復特性に優れたFWDが提供される。

40

【0115】

さらに本実施形態に係る電力用半導体装置は、第2の実施形態に係る電力用半導体装置と同様に、一体化して形成されたIGBTと第5の実施形態に係るFWDとを有するところに特徴がある。

50

【0116】

本実施形態に係るRC-IGBTは、第2の実施形態に係るRC-IGBTと同様に、FWD領域にライフタイムコントロール領域を有さずに、FWDを低注入型とすることにより、FWDの逆回復特性を向上させている。このため、本実施形態に係るRC-IGBT中のIGBTは、第2の実施形態に係るRC-IGBTと同様に、低いオン電圧を有する。

【0117】

なお、第2の実施形態に係るRC-IGBTと同様に、IGBT領域のp形ベース層12は、FWD領域のp⁻形アノード層2と同じ深さに設けられてもよいし、浅く設けられてもよく、または深く設けられてもよい。IGBTとFWDの特性に応じて設定される。また、第2の実施形態に係るRC-IGBTと同様に、IGBT領域の複数のトレンチ4aの深さは、FWD領域の複数のトレンチ4の深さと同じでもよく、違っていてもよい。両者の深さが同じ場合は、FWD領域のトレンチ4とIGBT領域のトレンチ4aを一体的に形成できるため、製造効率が高くなる。

10

【0118】

本実施形態に係る電力用半導体装置は、第1領域であるFWD領域と、第2領域であるIGBT領域と、を有するRC-IGBTである。本実施形態は、これに限られることなく、IGBT領域の代わりにMOSFET(Metal Oxide Semiconductor Field Effect Transistor)により構成されるMOSFET領域を第2領域として備えた電力用半導体装置に対しても適用が可能である。その場合は、p⁺形コレクタ層14の代わりに、第1領域のn⁺形カソード層8が第2領域に延伸して、コレクタ電極9とn⁻形ベース層1との間に設けられる。コレクタ電極9が、n⁺形カソード層8を介してn⁻形ベース層1に電氣的に接続される。

20

【0119】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

【0120】

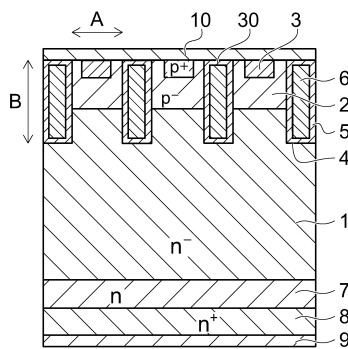
- 1 n⁻形活性層層
- 2 p⁻形アノード層
- 3 p⁺形コンタクト層
- 4、4a トレンチ
- 5 絶縁膜
- 5a ゲート絶縁膜
- 6 導電体
- 6a ゲート電極
- 7 n形バッファ層
- 8 n⁺形カソード層
- 9 カソード電極
- 10 アノード電極
- 11 n形エミッタ層
- 12 p形ベース層
- 14 p⁺形コレクタ層
- 15 p形拡散層
- 16 p形不純物注入層
- 17 n⁺形半導体層

40

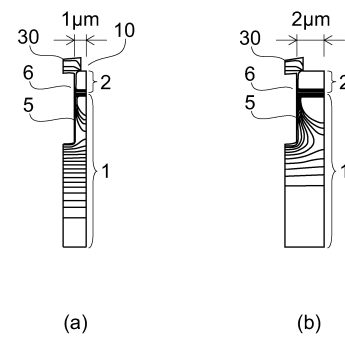
50

- 18、30 層間絶縁膜
- 40 ライフタイムコントロール領域
- 42 p形アノード層

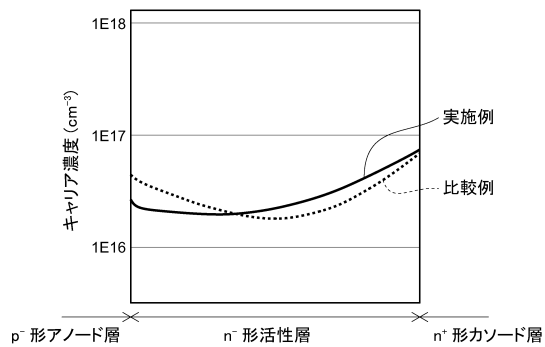
【図1】



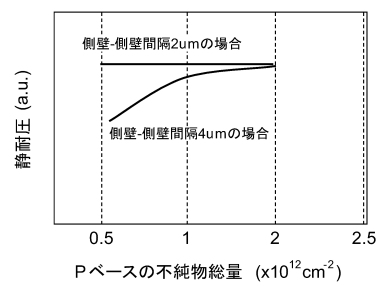
【図3】



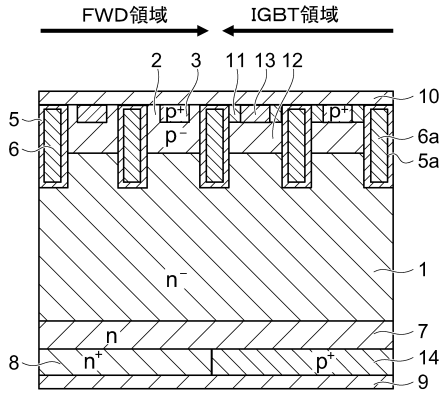
【図2】



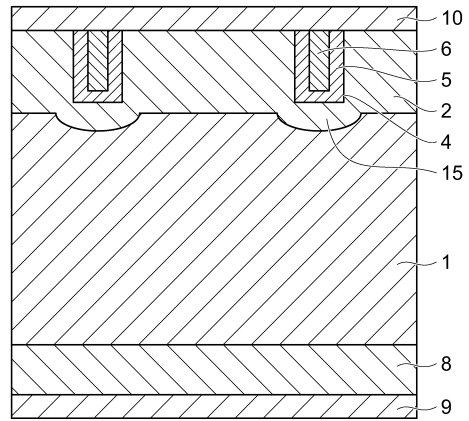
【図4】



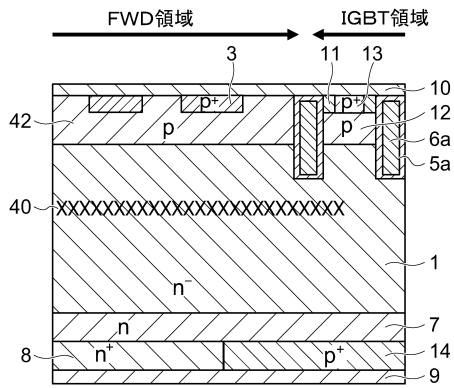
【 図 5 】



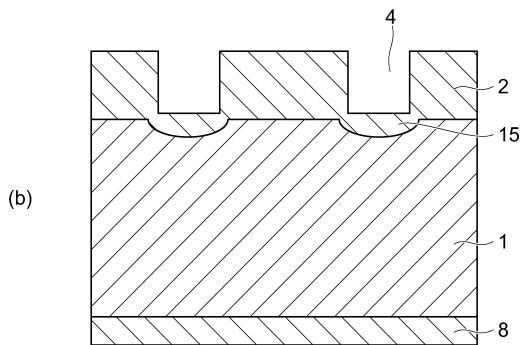
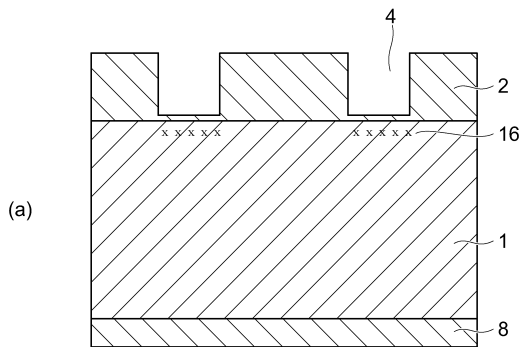
【 図 7 】



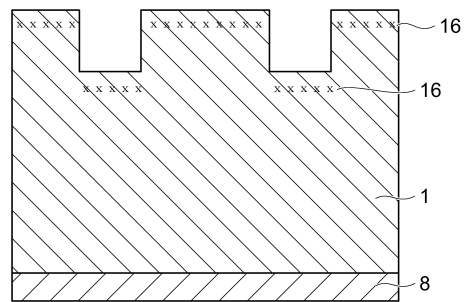
【 図 6 】



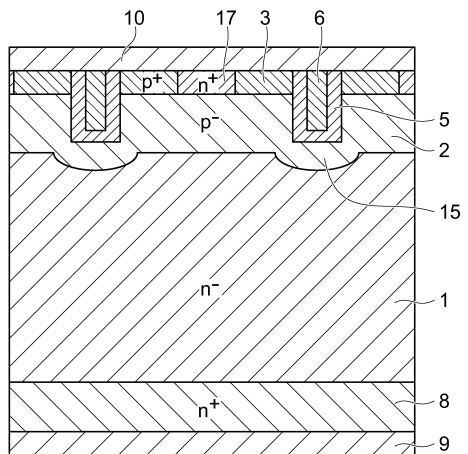
【 図 8 】



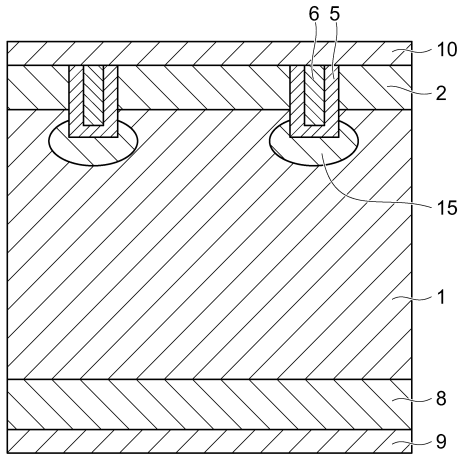
【 図 9 】



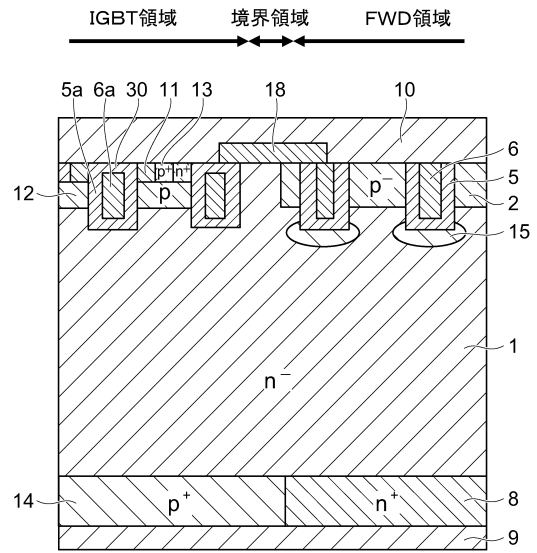
【 図 10 】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/868 (2006.01) H 0 1 L 29/91 J
H 0 1 L 29/91 F
H 0 1 L 29/91 D

(72)発明者 二宮 英彰
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 中村 和敏
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 平野 崇

(56)参考文献 特開2009-141202(JP,A)
特開2008-047565(JP,A)
特開2007-258363(JP,A)
特開2008-205252(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 0 4
H 0 1 L 2 1 / 7 6
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 9 / 8 6 8