



(12) 发明专利

(10) 授权公告号 CN 108804023 B

(45) 授权公告日 2021.06.25

(21) 申请号 201711141839.7
 (22) 申请日 2017.11.17
 (65) 同一申请的已公布的文献号
 申请公布号 CN 108804023 A
 (43) 申请公布日 2018.11.13
 (30) 优先权数据
 10-2017-0055583 2017.04.28 KR
 (73) 专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72) 发明人 朴炳奎
 (74) 专利代理机构 北京路浩知识产权代理有限公司 11002
 代理人 王朋飞 张晶

(51) Int.Cl.
 G06F 3/06 (2006.01)
 (56) 对比文件
 CN 106484319 A, 2017.03.08
 CN 103164346 A, 2013.06.19
 CN 102855193 A, 2013.01.02
 US 5802552 A, 1998.09.01
 WO 2016095151 A1, 2016.06.23
 CN 106471478 A, 2017.03.01
 CN 102841905 A, 2012.12.26
 US 2016170846 A1, 2016.06.16

审查员 刘褚燚

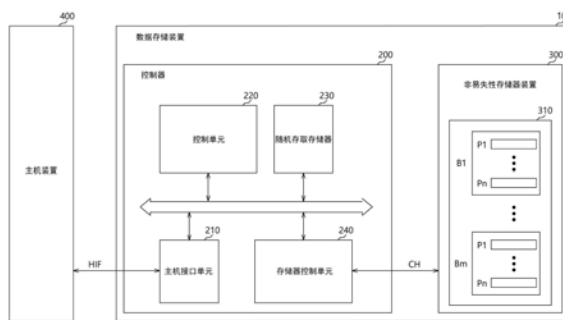
权利要求书3页 说明书10页 附图11页

(54) 发明名称

数据存储装置及其操作方法

(57) 摘要

本发明公开了一种数据存储装置的操作方法,该数据存储装置使用包括临时存储数据的缓冲存储块的非易失性存储器装置作为存储介质,该方法包括:从主机装置接收请求擦除取消映射地址的取消映射请求;将取消映射地址和指示取消映射地址被取消映射的标记信息存储在缓冲存储块的第一空页面中;以及在与缓冲存储块的第一空页面相对应的物理到逻辑(P2L)映射中,映射取消映射地址并标记指示取消映射地址被取消映射的标记信息。



1. 一种数据存储装置的操作方法,所述数据存储装置使用非易失性存储器装置,所述非易失性存储器装置包括临时存储数据的缓冲存储块,所述方法包括:

从主机装置接收请求擦除取消映射地址的取消映射请求;

将所述取消映射地址和指示所述取消映射地址被取消映射的标记信息存储在所述缓冲存储块的第一空页面中;以及

在与所述缓冲存储块的第一空页面相对应的、随机存取存储器中的物理到逻辑映射即P2L映射中,映射所述取消映射地址并标记指示所述取消映射地址被取消映射的标记信息,

其中,当从突然断电恢复时,通过参考所述缓冲存储块中存储的所述取消映射地址和所述标记信息,重建所述P2L映射,

其中,基于所述P2L映射,在所述非易失性存储器装置中的逻辑到物理映射即L2P映射中擦除所述取消映射地址。

2. 根据权利要求1所述的方法,其中,当从突然断电恢复时,基于所述P2L映射的标记信息,在所述L2P映射中擦除所述取消映射地址。

3. 根据权利要求1所述的方法,其中,当所述缓冲存储块的所有页面被写入时,基于所述P2L映射的标记信息,在所述L2P映射中擦除所述取消映射地址。

4. 根据权利要求1所述的方法,其中,在用于匹配所述P2L映射和L2P映射的周期性地址映射更新被执行的时间点,基于所述P2L映射的标记信息,在所述L2P映射中擦除所述取消映射地址。

5. 根据权利要求1所述的方法,其进一步包括:

在所述P2L映射中,使在所述取消映射请求之前被映射的所述取消映射地址的所有映射信息无效。

6. 根据权利要求1所述的方法,其进一步包括:

当从所述主机装置接收到对所述取消映射地址的读取请求时,通过参考所述P2L映射的标记信息来传送取消映射响应。

7. 根据权利要求6所述的方法,其中,传送所述取消映射响应包括通知请求读取的取消映射地址处于取消映射状态。

8. 根据权利要求1所述的方法,其进一步包括:

当从所述主机装置再次接收到请求擦除所述取消映射地址的取消映射请求时,将所述取消映射地址和指示所述取消映射地址被取消映射的标记信息存储在所述缓冲存储块的第二空页面中;以及

在与所述缓冲存储块的第二空页面相对应的所述P2L映射中,映射所述取消映射地址并标记指示所述取消映射地址被取消映射的标记信息。

9. 根据权利要求1所述的方法,其进一步包括:

当从所述主机装置接收到对所述取消映射地址的写入请求时,将请求写入的地址、指示所述请求写入的地址还未被取消映射的标记信息和请求写入的数据存储在所述缓冲存储块的第二空页面中;以及

在与所述缓冲存储块的第二空页面相对应的所述P2L映射中,映射所述请求写入的地址并标记指示所述请求写入的地址被映射的标记信息。

10. 根据权利要求9所述的方法,其进一步包括:

在所述P2L映射中,使在所述写入请求之前被映射的所述请求写入的地址的所有映射信息无效。

11. 一种数据存储装置,其包括:

非易失性存储器装置,包括临时存储数据的缓冲存储块;

随机存取存储器,适于存储映射所述非易失性存储器装置的物理地址和由主机装置提供的逻辑地址的物理到逻辑映射,即P2L映射;以及

控制单元,适于基于所述P2L映射更新逻辑到物理映射即L2P映射,并且刷新所述非易失性存储器装置中的所述L2P映射,

其中,根据请求擦除取消映射地址的所述主机装置的取消映射请求,所述控制单元将所述取消映射地址和指示所述取消映射地址被取消映射的标记信息存储在所述缓冲存储块的第一空页面中,并且在与其中存储所述取消映射地址的所述缓冲存储块的第一空页面相对应的、所述随机存取存储器中的所述P2L映射中,映射所述取消映射地址并标记指示所述取消映射地址被取消映射的标记信息,

其中,当从突然断电恢复时,通过参考所述缓冲存储块中存储的所述取消映射地址和所述标记信息,重建所述P2L映射,

其中,基于所述P2L映射,在所述非易失性存储器装置中的所述L2P映射中擦除所述取消映射地址。

12. 根据权利要求11所述的数据存储装置,其中,当从突然断电恢复时,所述控制单元基于所述P2L映射的标记信息在所述L2P映射中擦除所述取消映射地址。

13. 根据权利要求11所述的数据存储装置,其中,当所述缓冲存储块的所有页面被写入时,所述控制单元基于所述P2L映射的标记信息在所述L2P映射中擦除所述取消映射地址。

14. 根据权利要求11所述的数据存储装置,其中,在用于匹配所述P2L映射和所述L2P映射的周期性地址映射更新操作期间,所述控制单元基于所述P2L映射的标记信息在所述L2P映射中擦除所述取消映射地址。

15. 根据权利要求11所述的数据存储装置,其中,所述控制单元根据所述取消映射请求擦除被映射到所述取消映射地址的所述L2P映射的物理地址。

16. 根据权利要求11所述的数据存储装置,其中,在所述P2L映射中,所述控制单元使在所述取消映射请求之前被映射的所述取消映射地址的所有映射信息无效。

17. 根据权利要求11所述的数据存储装置,其中,当从所述主机装置接收到对所述取消映射地址的读取请求时,所述控制单元通过参考所述P2L映射的标记信息来传送取消映射响应。

18. 根据权利要求17所述的数据存储装置,其中,所述控制单元传送具有与所述主机装置相符的特定模式的数据,以作为所述取消映射响应。

19. 根据权利要求11所述的数据存储装置,其中,当从所述主机装置再次接收到请求擦除所述取消映射地址的取消映射请求时,所述控制单元将所述取消映射地址和指示所述取消映射地址被取消映射的标记信息存储在所述缓冲存储块的第二空页面中,并且在与所述缓冲存储块的第二空页面相对应的所述P2L映射中,映射所述取消映射地址并标记指示所述取消映射地址被取消映射的标记信息。

20. 根据权利要求11所述的数据存储装置,其中,当从所述主机装置接收到对所述取消

映射地址的写入请求时,所述控制单元将请求写入的地址、指示所述请求写入的地址还未被取消映射的标记信息和请求写入的数据存储在所述缓冲存储块的第二空页面中,并且在与所述缓冲存储块的第二空页面相对应的所述P2L映射中,映射所述请求写入的地址并标记指示所述请求写入的地址被映射的标记信息。

数据存储装置及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年4月28日提交的申请号为10-2017-0055583的韩国申请的优先权,其全文通过引用并入本文。

技术领域

[0003] 各个实施例总体涉及一种使用非易失性存储器装置作为存储介质的数据存储装置。

背景技术

[0004] 近来,计算机环境的范例已经变成普适计算,使得可随时随地使用计算机系统。由于该事实,诸如移动电话、数码相机和笔记本电脑的便携式电子装置的使用已经迅速增加。通常,便携式电子装置使用数据存储装置,该数据存储装置使用存储器装置。数据存储装置用于存储在便携式电子装置中使用的数据。

[0005] 使用存储器装置的数据存储装置由于其不包括机械驱动单元而具有优异的稳定性和持久性。此外,使用存储器装置的数据存储装置的优点在于它可以更快地访问数据且消耗更少的电力。具有这种优点的数据存储装置的非限制性示例包括通用串行总线(USB)存储器装置、具有各种接口的存储卡、通用闪存(UFS)装置和固态驱动器(SSD)。

发明内容

[0006] 各个实施例涉及一种能够有效地处理主机装置的取消映射请求的数据存储装置及其操作方法。

[0007] 在实施例中,一种使用包括临时存储数据的缓冲存储块的非易失性存储器装置的数据存储装置的操作方法可以包括:从主机装置接收请求擦除取消映射地址的取消映射请求;将取消映射地址和指示取消映射地址被取消映射的标记信息存储在缓冲存储块的第一空页面中;以及在与缓冲存储块的第一空页面相对应的物理到逻辑(P2L)映射中,映射取消映射地址并标记指示取消映射地址被取消映射的标记信息。

[0008] 在实施例中,数据存储装置可以包括:非易失性存储器装置,其包括临时存储数据的缓冲存储块;随机存取存储器,其适于存储映射非易失性存储器装置的物理地址和从主机装置提供的逻辑地址的物理到逻辑(P2L)映射;以及控制单元,其适于基于P2L映射更新逻辑到物理(L2P)映射,并且刷新非易失性存储器装置中的L2P映射,其中,根据请求擦除取消映射地址的主机装置的取消映射请求,控制单元将取消映射地址和指示取消映射地址被取消映射的标记信息存储在缓冲存储块的第一空页面中,并且在与其中存储取消映射地址的缓冲存储块的第一空页面相对应的P2L映射中映射取消映射地址并标记指示取消映射地址被取消映射的标记信息。

[0009] 根据实施例,数据存储装置可以有效地处理主机装置的取消映射请求,并且稳定地存储地址映射信息。

附图说明

- [0010] 图1是说明根据实施例的数据存储装置的示例表示的框图。
- [0011] 图2是说明根据实施例的物理到逻辑 (P2L) 映射的简图的示例表示。
- [0012] 图3是说明根据实施例的逻辑到物理 (L2P) 映射的简图的示例表示。
- [0013] 图4是说明根据实施例的数据存储装置处理主机装置的取消映射请求的操作的简图的示例表示。
- [0014] 图5是说明根据实施例的当主机装置的取消映射请求被处理时,缓冲块和物理到逻辑 (P2L) 映射被改变的进程的简图的示例表示。
- [0015] 图6是说明根据实施例的数据存储装置处理主机装置的取消映射请求的操作的简图的示例表示。
- [0016] 图7是说明根据实施例的当主机装置的取消映射请求被处理时,缓冲块和物理到逻辑 (P2L) 映射被改变的进程的简图的示例表示。
- [0017] 图8是说明根据实施例的用于处理对物理到逻辑 (P2L) 映射中被取消映射的取消映射地址的读取请求的方法的简图的示例表示。
- [0018] 图9是说明根据实施例的用于再次处理对物理到逻辑 (P2L) 映射中被取消映射的取消映射地址的取消映射请求的方法的简图的示例表示。
- [0019] 图10是说明根据实施例的用于处理对物理到逻辑 (P2L) 映射中被取消映射的取消映射地址的写入请求的方法的简图的示例表示。
- [0020] 图11是说明根据实施例的包括固态驱动器的数据处理系统的示例表示的简图。
- [0021] 图12是说明包括根据实施例的数据存储装置的数据处理系统的示例表示的简图。
- [0022] 图13是说明包括根据实施例的数据存储装置的数据处理系统的示例表示的简图。
- [0023] 图14是说明包括根据实施例的数据存储装置的网络系统的示例表示的简图。
- [0024] 图15是说明包括在根据实施例的数据存储装置中的非易失性存储器装置的示例表示的框图。

具体实施方式

- [0025] 在本发明中,在结合附图阅读以下示例性实施例后,优点、特征及实现它们的方法将变得更加显而易见。然而,本发明可以不同的形式来体现,并且不应被理解为限于本文所阐述的实施例。相反,提供这些实施例以详细地描述本发明,达到本发明所属领域的技术人员可容易地实施本发明的技术构思的程度。
- [0026] 本文中应当理解,本发明的实施例不限于附图中所示的细节,并且附图不一定按比例绘制,并且在一些实例中,比例可能被夸大以更清楚地描绘本发明的某些特征。当本文使用特定术语时,应当理解,本文使用的术语仅用于描述特定实施例的目的,并不旨在限定本发明的范围。
- [0027] 如本文所使用的,术语“和/或”包括相关所列项目中的一个或多个的任何和所有组合。应当理解,当一个元件被称为在另一个元件“上”、“被连接到”或“被联接至”另一个元件时,它可以直接在另一个元件上、被连接到或被联接至另一个元件,或者可以存在中间元件。除非上下文另有明确指示,否则如本文所使用的,单数形式也旨在包括复数形式。将进一步理解,当在本说明书中使用术语“包括”和/或“包括有”时,其说明存在至少一个所述特

征、步骤、操作和/或元件,但不排除存在或添加一个或多个其它特征、步骤、操作和/或其元件。

[0028] 在下文中,将参照附图通过各个实施例的示例描述数据存储装置及其操作方法。

[0029] 图1是说明根据实施例的数据存储装置100的示例表示的框图。参照图1,数据存储装置100可以存储待被诸如移动电话、MP3播放器、膝上型计算机、台式计算机、游戏机、电视(TV)、车载信息娱乐系统等的主机装置400访问的数据。数据存储装置100可被称为存储器系统。

[0030] 数据存储装置100可根据表示关于主机装置400的传输协议的主机接口HIF用各种类型的存储装置中的任何一种来实现。例如,数据存储装置100可以用诸如以下的各种类型的存储装置中的任何一种来实现:固态驱动器(SSD),诸如MMC、eMMC、RS-MMC和微型-MMC的多媒体卡,诸如SD、迷你-SD和微型-SD的安全数字卡,通用串行总线(USB)存储装置,通用闪存(UFS)装置,个人计算机存储卡国际协会(PCMCIA)卡型存储装置,外围组件互连(PCI)卡型存储装置,高速PCI(PCI-e)卡型存储装置,标准闪存(CF)卡,智能媒体卡,记忆棒等。

[0031] 数据存储装置100可用各种封装类型中的任何一种来实现。例如,数据存储装置100可被制造成诸如以下的各种封装类型中的任何一种:堆叠封装(POP)、系统封装(SIP)、系统芯片(SOC)、多芯片封装(MCP)、板上芯片(COB)、晶片级制造封装(WFP)和晶片级堆叠封装(WSP)。

[0032] 数据存储装置100可以包括控制器200和非易失性存储器装置300。控制器200可以包括主机接口单元210、控制单元220、随机存取存储器230以及存储器控制单元240。

[0033] 主机接口单元210可接合主机装置400和数据存储装置100。例如,主机接口单元210可以通过使用主机接口HIF,即诸如以下的标准传输协议中的任何一个,与主机装置400通信:通用串行总线(USB)、通用闪存(UFS)、多媒体卡(MMC)、并行高级技术附件(PATA)、串行高级技术附件(SATA)、小型计算机系统接口(SCSI)、串列SCSI(SAS)、外围组件互连(PCI)和高速PCI(PCI-e)协议。

[0034] 控制单元220可以由微控制单元(MCU)或中央处理单元(CPU)来配置。控制单元220可以处理从主机装置400接收的请求。为了处理请求,控制单元220可以驱动加载在随机存取存储器230中的码类型的指令或算法即软件,并且可以控制内部功能块或非易失性存储器装置300。

[0035] 随机存取存储器230可以由诸如动态随机存取存储器(DRAM)或静态随机存取存储器(SRAM)的随机存取存储器来配置。随机存取存储器230可以存储待被控制单元220驱动的软件。此外,随机存取存储器230可以存储驱动软件所必需的数据。也就是说,随机存取存储器230可以作为控制单元220的工作存储器来操作。

[0036] 随机存取存储器230可临时存储待从主机装置400传输到非易失性存储器装置300或从非易失性存储器装置300传输到主机装置400的数据。也就是说,随机存取存储器230可以作为数据缓冲存储器或数据高速缓冲存储器来操作。

[0037] 存储器控制单元240可以根据控制单元220的控制来控制非易失性存储器装置300。存储器控制单元240也可被称为存储器接口单元。存储器控制单元240可以向非易失性存储器装置300提供控制信号。控制信号可以包括用于控制非易失性存储器装置300的命令、地址、控制信号等。存储器控制单元240可以向非易失性存储器装置300提供数据或者可

以被提供来自非易失性存储器装置300的数据。

[0038] 非易失性存储器装置300可以通过通道CH与控制器200联接,通道CH包括能够传输命令、地址、控制信号和数据的至少一条信号线。非易失性存储器装置300可以用作数据存储装置100的存储介质。

[0039] 非易失性存储器装置300可以由诸如以下的各种类型的非易失性存储器装置中的任何一种来配置:NAND闪速存储器装置、NOR闪速存储器装置、使用铁电电容器的铁电随机存取存储器 (FRAM)、使用隧穿磁阻 (TMR) 层的磁性随机存取存储器 (MRAM)、使用硫族化合物合金的相变随机存取存储器 (PCRAM) 和使用过渡金属氧化物的电阻式随机存取存储器 (RRAM或ReRAM)。

[0040] 非易失性存储器装置300可以包括存储器单元区域310。从可操作角度或物理(或结构)角度,包括在存储器单元区域310中的存储器单元可以被配置成分层存储器单元集或存储器单元组。例如,联接到相同字线并且同时待被读取和写入或编程的存储器单元可以被配置为页面P。在下面的描述中,被配置为页面P的存储器单元将被称为“页面”。另外,同时待被擦除的存储器单元可以被配置为存储块B。存储器单元区域310可以包括多个存储块B1至Bm,并且存储块B1至Bm中的每一个可以包括多个页面P1至Pn。

[0041] 存储块B1至Bm可以通过控制单元220被用作缓冲块和/或数据块。缓冲块可以被定义为在根据主机装置400的写入请求的数据被写入数据块中之前临时被使用的存储块。缓冲块可以被称为记录块或开放块。数据块可以被定义为其中被写入缓冲块中的数据最终被写入的存储块。

[0042] 图2是说明根据实施例的物理到逻辑(P2L)映射的简图的示例表示。图3是说明根据实施例的逻辑到物理(L2P)映射的简图的示例表示。作为示例,图2和图3中示出了各自包括五个页面P1至P5的存储块B1和B2。

[0043] 当图2所示的主机装置400访问数据存储装置100,例如,向数据存储装置100传送请求时,主机装置400可以向数据存储装置100提供逻辑地址。数据存储装置100可以将提供的逻辑地址转换或转变为非易失性存储器装置300的物理地址,并通过参考转换的物理地址来处理主机装置400的请求。

[0044] 对于这样的地址转换操作,数据存储装置100可以生成并管理地址映射信息,即地址映射。地址映射可以包括图2所示的P2L映射和图3所示的L2P映射。

[0045] 参照图2,P2L映射可以基于物理地址来生成。也就是说,P2L映射可以通过使用物理地址PADD作为索引IDX来生成。P2L映射可以包括关于与索引IDX相对应的逻辑地址LADD的信息。

[0046] 另外,P2L映射可以包括与逻辑地址LADD相对应的标记信息FLAG。标记信息FLAG可以指示是否存在对对应的逻辑地址LADD的取消映射请求。也就是说,标记信息FLAG可以指示对应的逻辑地址LADD是被映射还是被取消映射。例如,被标记为映射MP的标记信息FLAG可以表示对应的逻辑地址LADD被映射。又如,被标记为取消映射UNM的标记信息FLAG可以表示对应的逻辑地址LADD被取消映射。

[0047] 参照图3,L2P映射可以基于逻辑地址来生成。即,L2P映射可以通过使用逻辑地址LADD例如逻辑块地址1(LBA1)到LBA5作为索引IDX来生成。L2P映射可以包括关于与索引IDX相对应的物理地址PADD的信息。

[0048] 参照图2和图3,P2L映射和L2P映射可以具有相同的地址映射信息。也就是说,通过参考P2L映射获得的地址映射信息和通过参考L2P映射获得的地址映射信息可以彼此相同。为了匹配P2L映射和L2P映射,L2P映射可以基于P2L映射进行更新。

[0049] 图4是说明根据实施例的数据存储装置100处理主机装置400的取消映射请求的操作的简图的示例表示。图5是说明根据实施例的当主机装置400的取消映射请求被处理时,缓冲块和物理到逻辑(P2L)映射被改变的进程的简图的示例表示。作为示例,示出包括缓冲块BB以及数据块DB1和DB2的数据存储装置100,缓冲块BB以及数据块DB1和DB2中的每一个包括五个页面P1至P5。

[0050] 主机装置400可以请求数据存储装置100擦除某个逻辑地址或映射到某个逻辑地址的物理地址。为此,主机装置400可以向数据存储装置100传送取消映射请求。取消映射请求可以包括取消映射命令和待被取消映射的逻辑地址,在下文中被称为取消映射地址。数据存储装置100可以根据取消映射请求在地址映射即P2L映射和L2P映射中将取消映射地址取消映射。

[0051] 由于用于匹配P2L映射和L2P映射的更新地址映射的操作可以包括比较P2L映射和L2P映射的操作、在非易失性存储器装置300中刷新或备份L2P映射的操作以及用于管理L2P映射的更新诸如L2P映射的位置信息的元信息的操作,因此可能消耗大量的资源,并且可能需要很长时间。

[0052] 因此,数据存储装置100可以通过将主机装置400的取消映射请求划分为主要取消映射处理和次要取消映射处理来逐步地处理主机装置400的取消映射请求。也就是说,数据存储装置100可以优先地在P2L映射中将取消映射地址取消映射。然后,数据存储装置100可以在需要更新L2P映射的时间点最终在L2P映射中将取消映射地址取消映射。

[0053] 如图4和图5所示,作为示例,描述了一种状态,在该状态下,根据主机装置400的写入请求,第九逻辑地址LBA9被映射到第二数据块DB2的第五页面P5,并且生成L2P映射。此外,作为示例,描述了一种状态,在该状态下,第一逻辑地址LBA1被映射到缓冲块BB的第一页面P1,第二逻辑地址LBA2被映射到缓冲块BB的第二页面P2,并且生成P2L映射。在这些状态下,如果从主机装置400接收到对第九逻辑地址LBA9的取消映射请求RQ_UNM,则第九逻辑地址LBA9可以优先在P2L映射中被取消映射。

[0054] 例如,参照图5,取消映射地址LBA9和被标记为取消映射UNM的标记信息FLAG可以存储在缓冲块BB的空页面P3中。即使数据DT没有被写入,取消映射地址LBA9也可以与请求写入的逻辑地址LBA1和LBA2类似地被映射到缓冲块BB的第三页面P3并被写入缓冲块BB的第三页面P3中。

[0055] 在取消映射地址LBA9的取消映射被写入缓冲块BB中之后,取消映射地址LBA9可以在P2L映射中被取消映射。即,在与缓冲块BB的第三页面P3相对应的P2L映射中,取消映射地址LBA9可以被映射,并且标记信息FLAG可以被标记为取消映射UNM以指示取消映射地址LBA9被取消映射。

[0056] P2L映射可以被载入随机存取存储器230中,并被控制单元220参考。如果电源关闭,则载入随机存取存储器230中的P2L映射可能丢失。为了防止P2L映射由于诸如突然断电的异常断电而丢失,取消映射地址LBA9可以写入缓冲块BB和P2L映射两者中,并且当从突然断电恢复时,可以通过参考缓冲块BB来重建取消映射地址LBA9。

[0057] 再次参照图4,在取消映射地址LBA9优先在P2L映射中被取消映射之后,在需要更新L2P映射的时间点,取消映射地址LBA9可以最终在L2P映射中被取消映射。需要更新L2P映射的时间点可以指用于匹配P2L映射和L2P映射的周期性地址映射更新操作被执行的时间点。需要更新L2P映射的时间点可以指应主机装置400的请求的缓冲块BB的映射完成的时间点,即缓冲块BB的所有页面被写入的时间点。可选地,需要更新L2P映射的时间点可以指数据存储装置100从突然断电恢复的时间。

[0058] 当通过反射P2L映射来更新L2P映射时,可以从L2P映射擦除映射到第二数据块DB2的第五页面P5的取消映射地址LBA9。例如,当L2P映射被更新时,可以从L2P映射擦除映射到取消映射地址LBA9的物理地址DB2/P5的信息。

[0059] 图6是说明根据实施例的数据存储装置100处理主机装置400的取消映射请求的操作的简图的示例表示。图7是说明根据实施例的当主机装置的取消映射请求被处理时,缓冲块和物理到逻辑(P2L)映射被改变的进程的简图的示例表示。作为示例,示出了包括缓冲块BB以及数据块DB1和DB2的数据存储装置100,缓冲块BB以及数据块DB1和DB2中的每一个包括五个页面P1至P5。

[0060] 如图6和图7所示,作为示例,描述了一种状态,在该状态下,根据主机装置400的写入请求,第一逻辑地址LBA1被映射到缓冲块BB的第一页面P1,第二逻辑地址LBA2被映射到缓冲块BB的第二页面P2并且生成P2L映射。在该状态下,如果从主机装置400接收到对第二逻辑地址LBA2的取消映射请求RQ_UNM,则第二逻辑地址LBA2可以优先在P2L映射中被取消映射。

[0061] 例如,参照图7,取消映射地址LBA2和被标记为取消映射UNM的标记信息FLAG可以被存储在缓冲块BB的空页面P3中。即使数据DT没有被写入,但取消映射地址LBA2也可以像请求写入的逻辑地址LBA1一样被映射到缓冲块BB的第三页面P3并被写入缓冲块BB的第三页面P3中。

[0062] 在取消映射地址LBA2的取消映射被写入缓冲块BB中之后,取消映射地址LBA2可以在P2L映射中被取消映射。即,在与缓冲块BB的第三页面P3相对应的P2L映射中,取消映射地址LBA2可以被映射,并且标记信息FLAG可以被标记为取消映射UNM以指示取消映射地址LBA2被取消映射。在这种情况下,为了确保先前被映射到取消映射地址LBA2的缓冲块BB的第二页面P2不被参考,在取消映射请求之前被映射的取消映射地址LBA2的映射信息无效。

[0063] 再次参照图6,在取消映射地址LBA2优先在P2L映射中被取消映射之后,在需要更新L2P映射的时间点,取消映射地址LBA2可以最终在L2P映射中被取消映射。由于取消映射地址LBA2仅通过P2L映射已经被映射,所以在L2P映射中仅更新第一逻辑地址LBA1。

[0064] 在更新L2P映射之前,可以从主机装置400接收对取消映射地址的读取请求或写入请求。在这种情况下,下面将参照图8至图10来描述数据存储装置100的请求处理方法。

[0065] 图8是说明根据实施例的用于处理对物理到逻辑(P2L)映射中被取消映射的取消映射地址的读取请求的方法的简图的示例表示。作为示例,主机装置400传送对上面参照图5描述的取消映射地址LBA9的读取请求。

[0066] 当从主机装置400接收到对逻辑地址LBA9的读取请求时,数据存储装置100可以检索逻辑地址LBA9是否在P2L映射中被命中。如果通过参考标记信息FLAG确定逻辑地址LBA9被取消映射,则数据存储装置100可以传送取消映射响应。例如,数据存储装置100可以向主

机装置400传送具有与主机装置400相符的特定模式的数据作为取消映射响应。再如,数据存储装置100可以向主机装置400传送取消映射响应,以通知请求读取的逻辑地址LBA9处于被取消映射的状态。

[0067] 图9是说明根据实施例的用于处理对物理到逻辑(P2L)映射中被取消映射的取消映射地址的取消映射请求的方法的简图的示例表示。作为示例,主机装置400传送对如上参照图7所述的取消映射地址LBA2的取消映射请求。

[0068] 当再次从主机装置400接收到对已经被取消映射的逻辑地址LBA2的取消映射请求时,取消映射地址LBA2和被标记为取消映射UNM的标记信息FLAG可以被存储在缓冲块BB的空页面P4中。即使数据DT没有被写入,取消映射地址LBA2也可以与请求写入的逻辑地址LBA1类似地被映射到缓冲块BB的第四页面P4并被写入缓冲块BB的第四页面P4中。

[0069] 在取消映射地址LBA2的取消映射被写入缓冲块BB中之后,取消映射地址LBA2可以在P2L映射中被取消映射。即,在与缓冲块BB的第四页面P4相对应的P2L映射中,取消映射地址LBA2可以被映射,并且标记信息FLAG可以被标记为取消映射UNM以指示取消映射地址LBA2被取消映射。在这种情况下,在当前取消映射请求之前被映射的取消映射地址LBA2的所有映射信息无效。

[0070] 图10是说明根据实施例的用于处理对物理到逻辑(P2L)映射中被取消映射的取消映射地址的写入请求的方法的简图的示例表示。作为示例,主机装置400传送对如上参照图7所述的取消映射地址LBA2的写入请求。

[0071] 当从主机装置400接收到对已经被取消映射的逻辑地址LBA2的写入请求时,请求写入的第二逻辑地址LBA2、被标记为映射MP的标记信息FLAG和请求写入的数据DT可以被存储在缓冲块BB的空页面,即第四页面P4中。

[0072] 在新的映射信息和数据被存储在缓冲块BB中之后,第二逻辑地址LBA2可以在P2L映射中被映射。也就是说,在与缓冲块BB的第四页面P4相对应的P2L映射中,第二逻辑地址LBA2可以被映射,并且用于指示第二逻辑地址LBA2未被取消映射的标记信息FLAG可以被标记。在这种情况下,在当前写入请求之前被映射的第二逻辑地址LBA2的所有映射信息无效。

[0073] 图11是说明根据实施例的包括固态驱动器(SSD)的数据处理系统1000的示例表示的简图。参照图11,数据处理系统1000可以包括主机装置1100和SSD 1200。

[0074] SSD 1200可以包括控制器1210,缓冲存储器装置1220,非易失性存储器装置1231至123n中的至少一个,电源1240,信号连接器1250和电源连接器1260。

[0075] 控制器1210可以控制SSD 1200的一般操作。控制器1210可以包括主机接口单元1211、控制单元1212、随机存取存储器1213、错误校正码(ECC)单元1214和存储器接口单元1215。

[0076] 主机接口单元1211可以通过信号连接器1250与主机装置1100交换信号SGL。信号SGL可以包括命令、地址、数据等。主机接口单元1211可以根据主机装置1100的协议来接合主机装置1100和SSD 1200。例如,主机接口单元1211可以通过诸如以下的标准接口协议中的任意一个与主机装置1100通信:安全数字、通用串行总线(USB)、多媒体卡(MMC)、嵌入式MMC(eMMC)、个人计算机存储卡国际协会(PCMCIA)、并行高级技术附件(PATA)、串行高级技术附件(SATA)、小型计算机系统接口(SCSI)、串列SCSI(SAS)、外围组件互连(PCI)、高速PCI(PCI-e)和通用闪存(UFS)。

[0077] 控制单元1212可以分析和处理从主机装置1100接收的信号SGL。控制单元1212可以根据用于驱动SSD 1200的固件或软件来控制内部功能块的操作。随机存取存储器1213可以用作驱动该固件或软件的工作存储器。

[0078] ECC单元1214可以生成待被传输到非易失性存储器装置1231至123n中的至少一个的数据的校验数据。生成的校验数据可以与数据一起被存储在非易失性存储器装置1231至123n中。ECC单元1214可以基于校验数据来检测从非易失性存储器装置1231至123n中的至少一个中读取的数据的错误。如果检测的错误在可校正范围内,则ECC单元1214可以校正检测的错误。

[0079] 存储器接口单元1215可以根据控制单元1212的控制将诸如命令和地址的控制信号提供给非易失性存储器装置1231至123n中的至少一个。此外,存储器接口单元1215可以根据控制单元1212的控制与非易失性存储器装置1231至123n中的至少一个交换数据。例如,存储器接口单元1215可以将存储在缓冲存储器装置1220中的数据提供给非易失性存储器装置1231至123n中的至少一个,或者将从非易失性存储器装置1231至123n中的至少一个读取的数据提供给缓冲存储器装置1220。

[0080] 缓冲存储器装置1220可以临时存储非易失性存储器装置1231至123n中的至少一个中的数据。此外,缓冲存储器装置1220可以临时存储从非易失性存储器装置1231至123n中的至少一个读取的数据。临时存储在缓冲存储器装置1220中的数据可以根据控制器1210的控制被传输到主机装置1100或被传输到非易失性存储器装置1231至123n中的至少一个。

[0081] 非易失性存储器装置1231至123n可以用作SSD 1200的存储介质。非易失性存储器装置1231至123n可以分别通过多个通道CH1至CHn与控制器1210联接。一个或多个非易失性存储器装置可以联接到一个通道。联接到每个通道的非易失性存储器装置可以联接 to 相同的信号总线 and 数据总线。

[0082] 电源1240可以将通过电源连接器1260输入的电力PWR提供到SSD1200的内部。电源1240可以包括辅助电源1241。辅助电源1241可以提供电力以使SSD 1200在发生突然断电时正常地终止。辅助电源1241可以包括大容量电容器。

[0083] 信号连接器1250可以根据主机装置1100和SSD 1200之间的接口方案由各种类型的连接器来配置。

[0084] 电源连接器1260可以根据主机装置1100的电源供给方案由各种类型的连接器来配置。

[0085] 图12是说明包括根据实施例的数据存储装置2200的数据处理系统2000的示例表示的简图。参照图12,数据处理系统2000可以包括主机装置2100和数据存储装置2200。

[0086] 主机装置2100可以以诸如印刷电路板的板的形式来配置。尽管未示出,主机装置2100可以包括用于执行主机装置的功能的内部功能块。

[0087] 主机装置2100可以包括连接端子2110,诸如插座、插槽或连接器。数据存储装置2200可以安装到连接端子2110。

[0088] 数据存储装置2200可以以诸如印刷电路板的板的形式来配置。数据存储装置2200可以被称为存储模块或存储卡。数据存储装置2200可以包括控制器2210、缓冲存储器装置2220、非易失性存储器装置2231和2232、电源管理集成电路(PMIC) 2240和连接端子2250。

[0089] 控制器2210可以控制数据存储装置2200的一般操作。控制器2210可以以与图11所

示的控制器1210相同的方式来配置。

[0090] 缓冲存储器装置2220可以临时存储非易失性存储器装置2231和2232中的数据。此外,缓冲存储器装置2220可临时存储从非易失性存储器装置2231和2232读取的数据。临时存储在缓冲存储器装置2220中的数据可以根据控制器2210的控制被传输到主机装置2100或非易失性存储器装置2231和2232。

[0091] 非易失性存储器装置2231和2232可以用作数据存储装置2200的存储介质。

[0092] PMIC 2240可以将通过连接端子2250输入的电力提供到数据存储装置2200的内部。PMIC 2240可以根据控制器2210的控制来管理数据存储装置2200的电力。

[0093] 连接端子2250可以联接到主机装置2100的连接端子2110。通过连接端子2250,诸如命令、地址、数据等的信号和电力可以在主机装置2100和数据存储装置2200之间传输。连接端子2250可以根据主机装置2100和数据存储装置2200之间的接口方案被配置成各种类型。连接端子2250可以设置在数据存储装置2200的任一侧。

[0094] 图13是说明包括根据实施例的数据存储装置3200的数据处理系统3000的示例表示的简图。参照图13,数据处理系统3000可以包括主机装置3100和数据存储装置3200。

[0095] 主机装置3100可以以诸如印刷电路板的板的形式来配置。尽管未示出,主机装置3100可以包括用于执行主机装置的功能的内部功能块。

[0096] 数据存储装置3200可以以表面安装型封装的形式来配置。数据存储装置3200可以通过锡球3250安装到主机装置3100。数据存储装置3200可以包括控制器3210、缓冲存储器装置3220和非易失性存储器装置3230。

[0097] 控制器3210可以控制数据存储装置3200的一般操作。控制器3210可以以与图11所示的控制器1210相同的方式来配置。

[0098] 缓冲存储器装置3220可以临时存储非易失性存储器装置3230中的数据。此外,缓冲存储器装置3220可临时存储从非易失性存储器装置3230读取的数据。临时存储在缓冲存储器装置3220中的数据可以根据控制器3210的控制被传输到主机装置3100或非易失性存储器装置3230。

[0099] 非易失性存储器装置3230可以用作数据存储装置3200的存储介质。

[0100] 图14是说明包括根据实施例的数据存储装置的网络系统4000的示例表示的简图。参照图14,网络系统4000可以包括通过网络4500联接的服务器系统4300和多个客户端系统4410至4430。

[0101] 服务器系统4300可以响应于来自多个客户端系统4410至4430的请求来服务数据。例如,服务器系统4300可以存储从多个客户端系统4410至4430提供的数据。再如,服务器系统4300可以向多个客户端系统4410至4430提供数据。

[0102] 服务器系统4300可以包括主机装置4100和数据存储装置4200。数据存储装置4200可以按图1所示的数据存储装置100、图11所示的数据存储装置1200、图12所示的数据存储装置2200或图13所示的数据存储装置3200来配置。

[0103] 图15是说明包括在根据实施例的数据存储装置300中的非易失性存储器装置的示例表示的框图。参照图15,非易失性存储器装置300可以包括存储器单元阵列310、行解码器320、数据读取/写入块330、列解码器340、电压发生器350和控制逻辑360。

[0104] 存储器单元阵列310可以包括布置在字线WL1至WLm和位线BL1至BLn彼此相交的区

域处的存储器单元MC。

[0105] 行解码器320可以通过字线WL1至WL_m与存储器单元阵列310联接。行解码器320可以根据控制逻辑360的控制操作。行解码器320可解码从外部装置(未示出)提供的地址。行解码器320可以基于解码结果来选择并驱动字线WL1至WL_m。例如,行解码器320可以将由电压发生器350提供的字线电压提供给字线WL1至WL_m。

[0106] 数据读取/写入块330可以通过位线BL1至BL_n与存储器单元阵列310联接。数据读取/写入块330可以包括分别与位线BL1至BL_n相对应的读取/写入电路RW1至RW_n。数据读取/写入块330可以根据控制逻辑360的控制来操作。数据读取/写入块330可以根据操作模式作为写入驱动器或读出放大器来操作。例如,数据读取/写入块330可以在写入操作中作为将从外部装置提供的数据存储于存储器单元阵列310中的写入驱动器操作。再如,数据读取/写入块330可以在读取操作中作为从存储器单元阵列310中读取数据的读出放大器操作。

[0107] 列解码器340可以根据控制逻辑360的控制进行操作。列解码器340可解码从外部装置提供的地址。列解码器340可以基于解码结果将分别对应于位线BL1至BL_n的数据读取/写入块330的读取/写入电路RW1至RW_n与数据输入/输出线或数据输入/输出缓冲器联接。

[0108] 电压发生器350可以生成用于非易失性存储器装置300的内部操作的电压。由电压发生器350产生的电压可以被供给到存储器单元阵列310的存储器单元。例如,在编程操作中产生的编程电压可以被供应到待对其执行编程操作的存储器单元的字线。再如,在擦除操作中生成的擦除电压可以被供给到待对其执行擦除操作的存储器单元的阱区。又如,在读取操作中生成的读取电压可以被供给到待对其执行读取操作的存储器单元的字线。

[0109] 控制逻辑360可以基于由外部装置提供的控制信号来控制非易失性存储器装置300的一般操作。例如,控制逻辑360可以控制非易失性存储器装置300的操作,例如非易失性存储器装置300的读取操作、写入操作和擦除操作。

[0110] 虽然上面已经描述了各个实施例,但是本领域技术人员将理解的是,描述的实施例仅仅是示例。因此,本文所述的数据存储装置及其操作方法不应限于所描述的实施例。

[0111] 为了说明的目的,上面已经公开了本公开的实施例。本领域普通技术人员将理解的是,在不脱离所附权利要求中公开的本公开的范围和精神的情况下,可以进行各种修改、添加和替换。

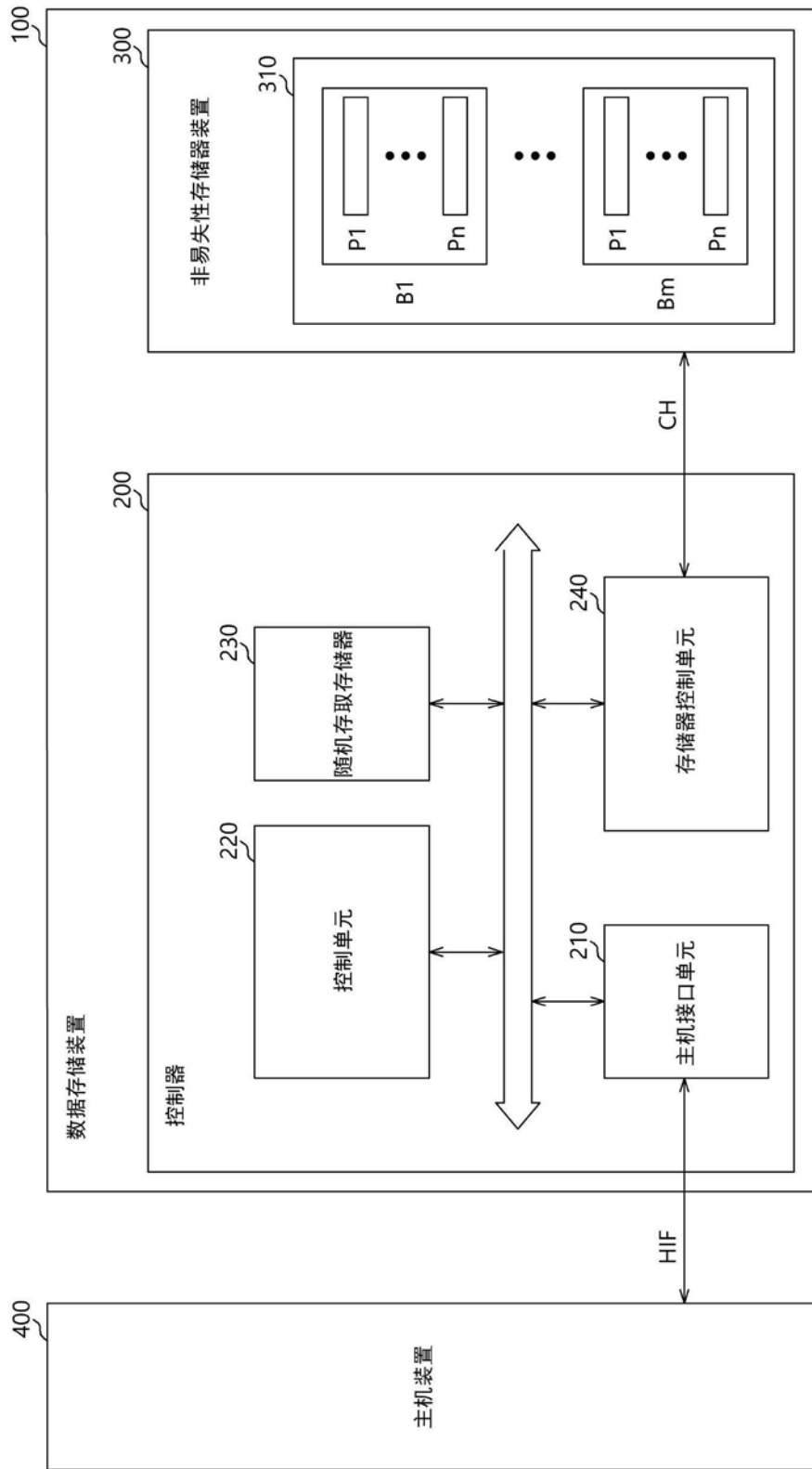


图1

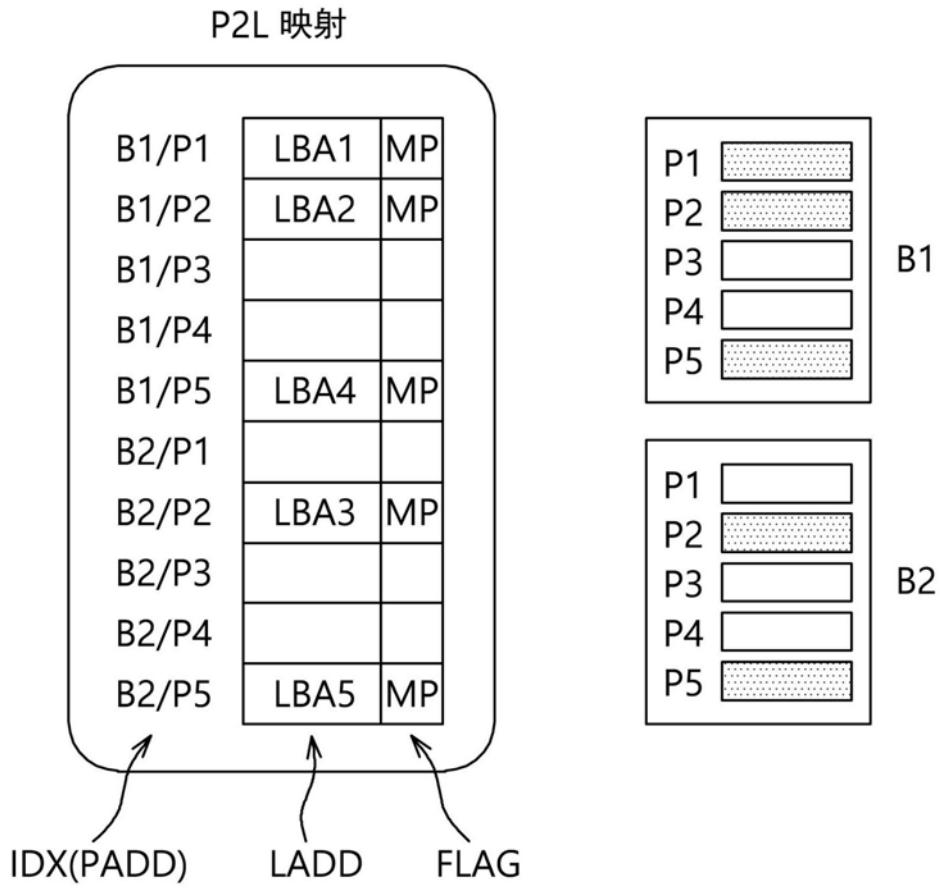


图2

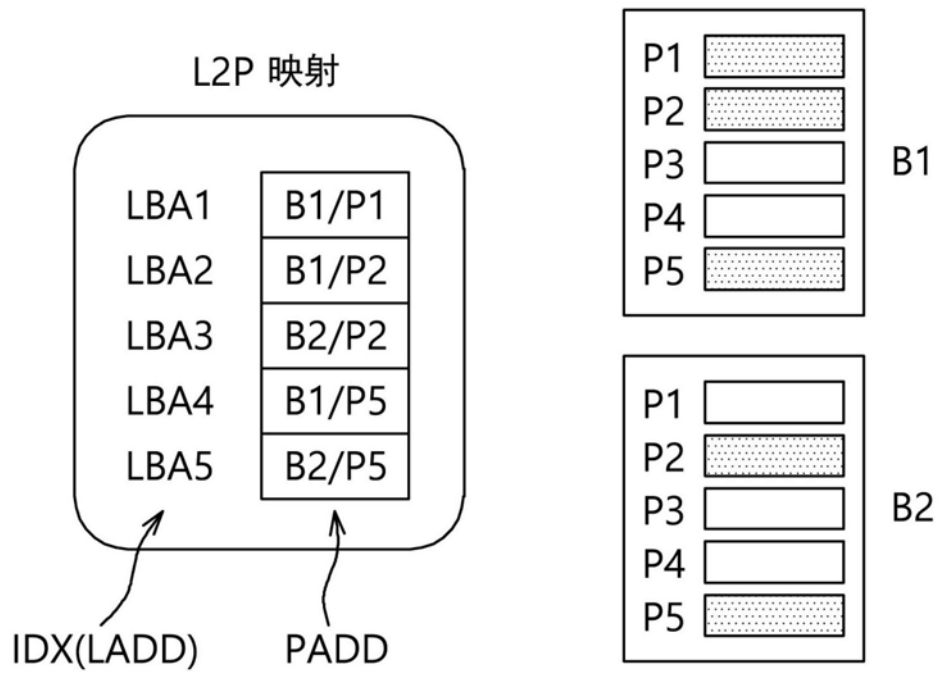


图3

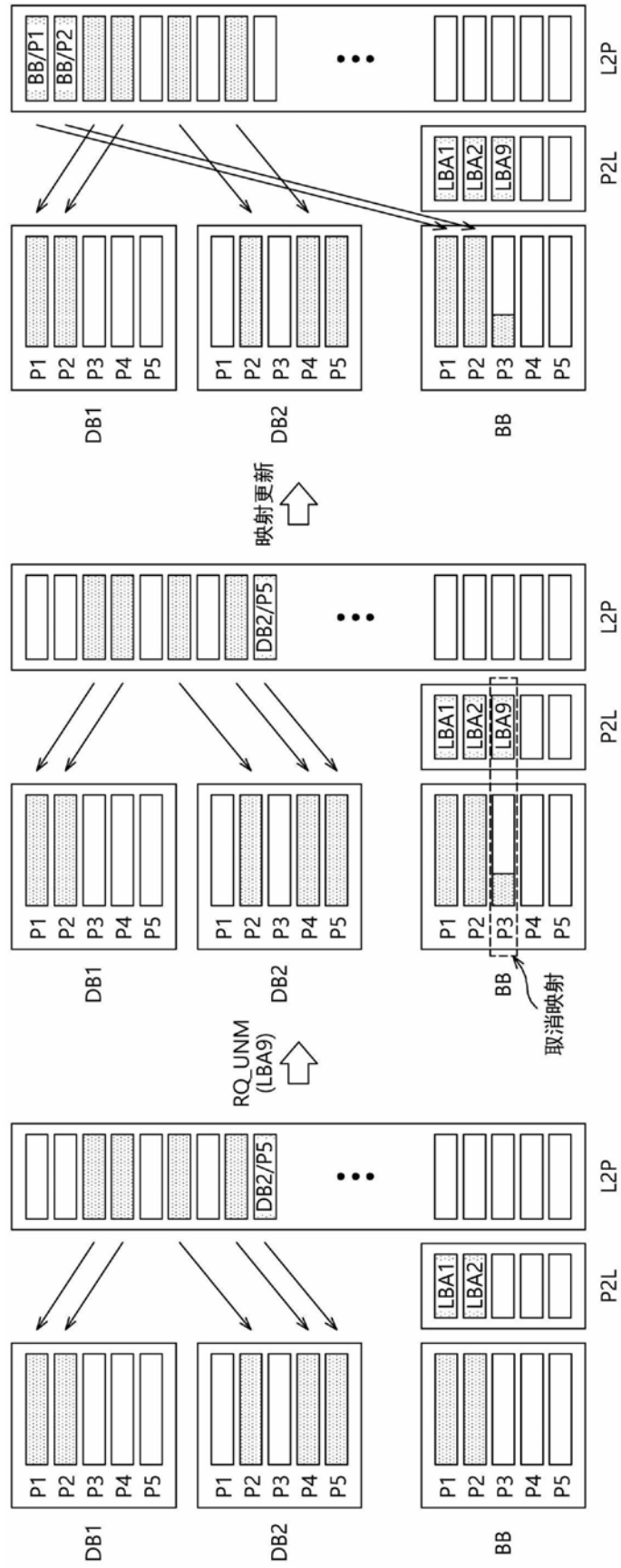


图4

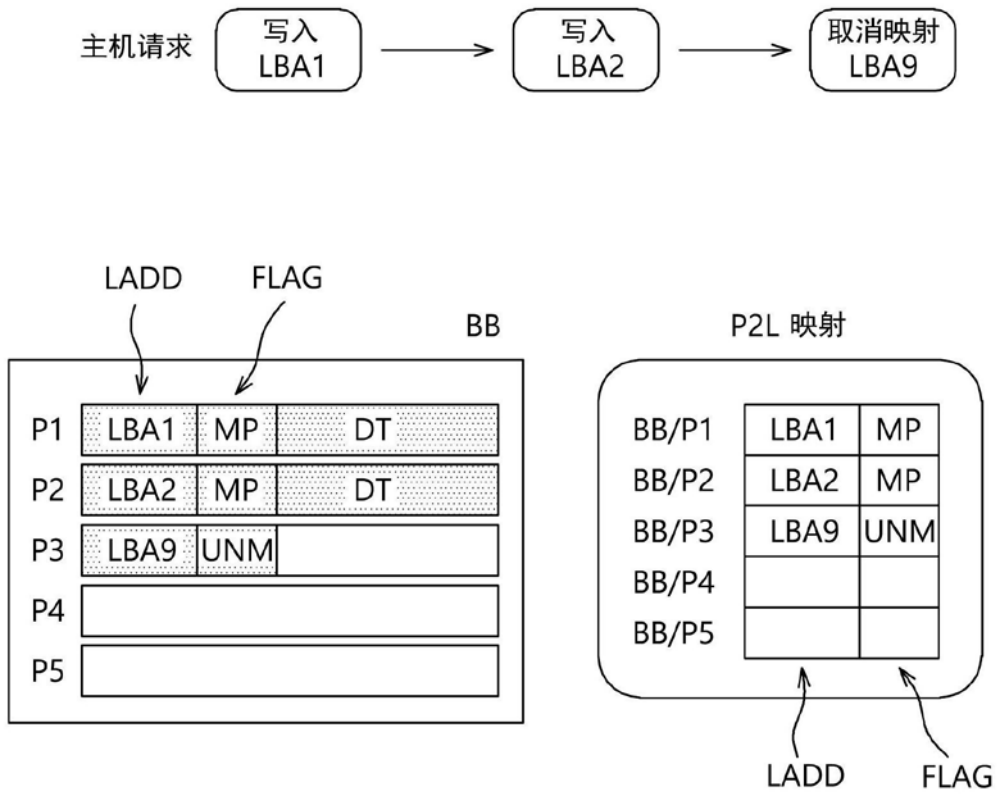


图5

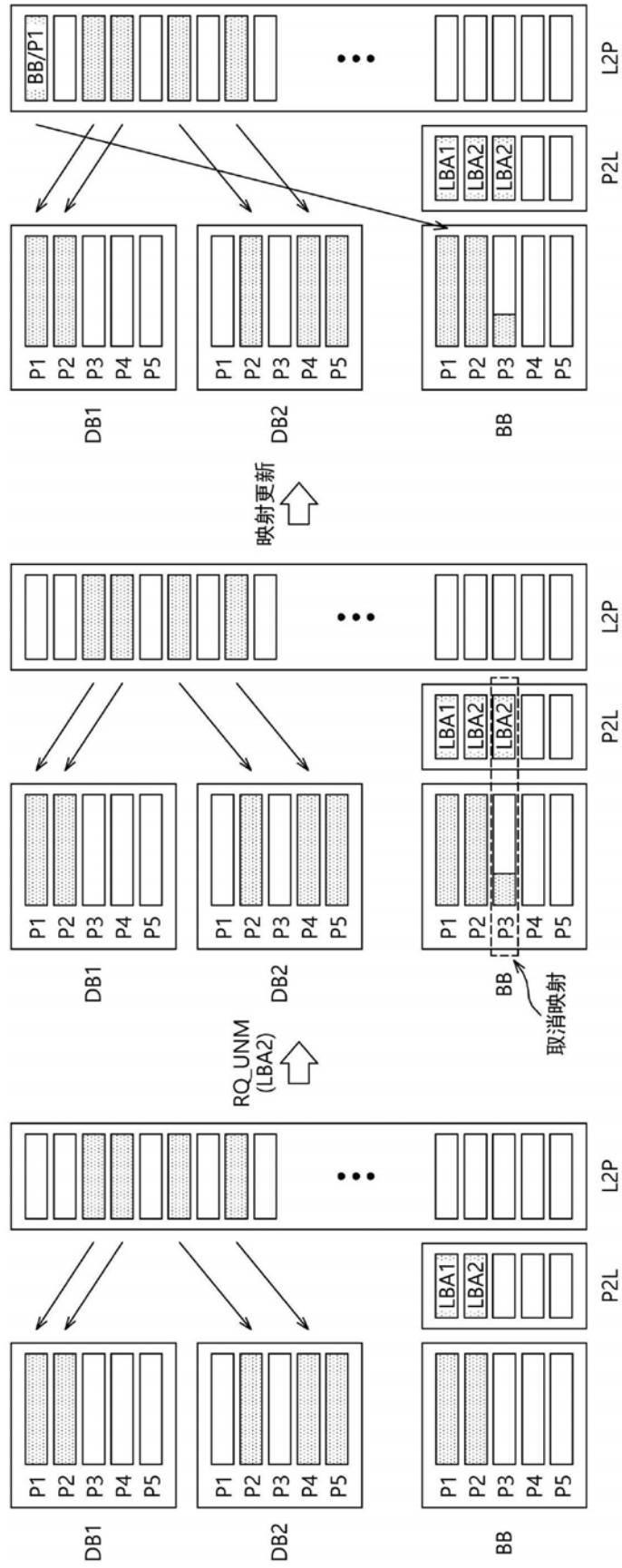


图6

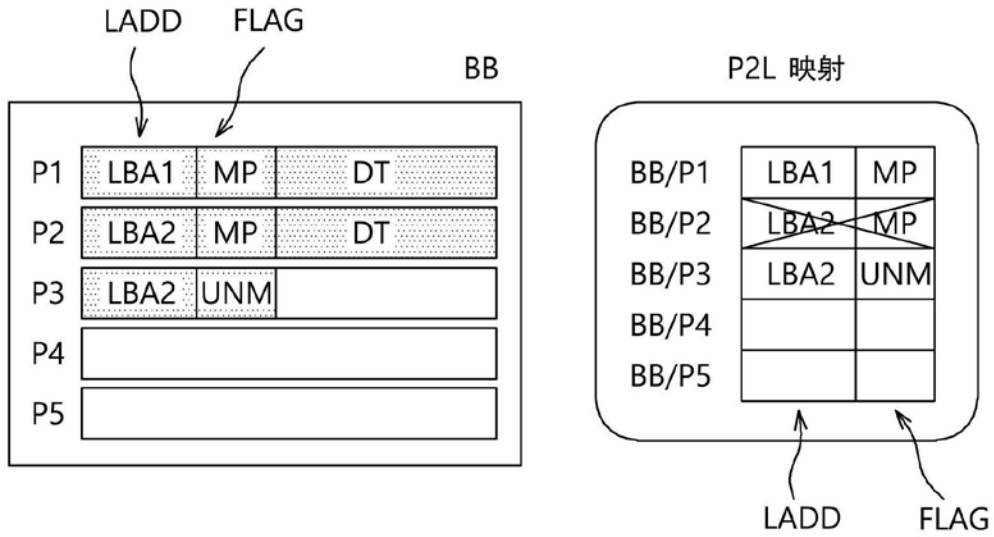
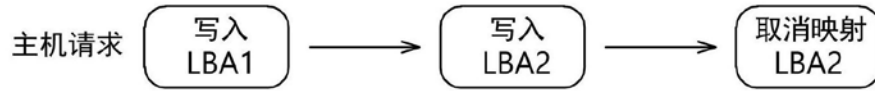


图7

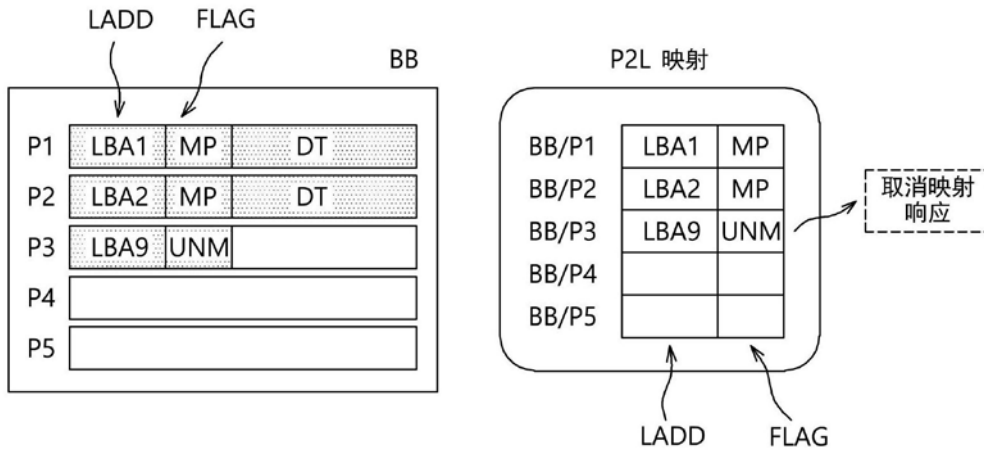
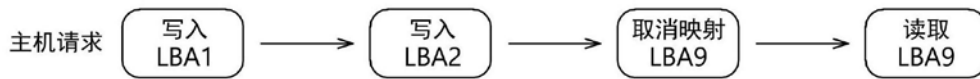


图8

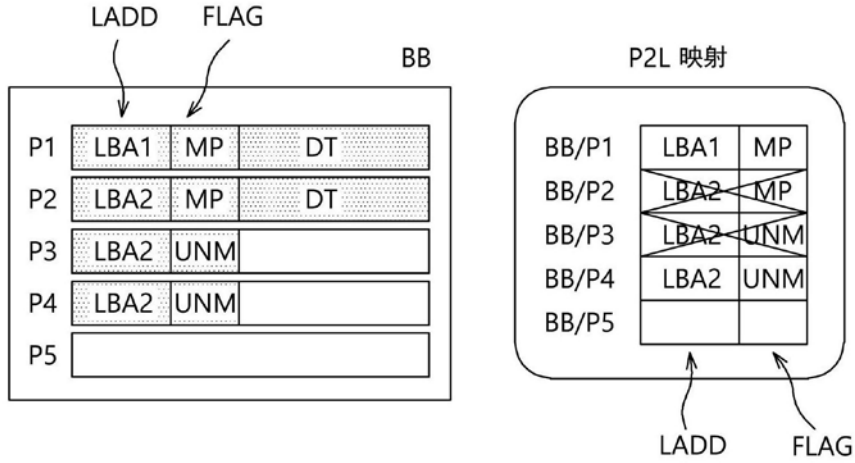
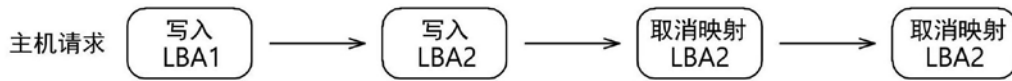


图9

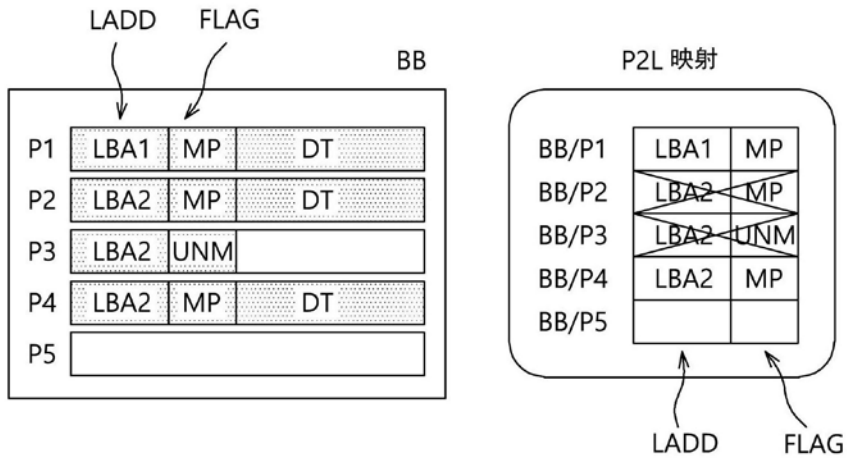
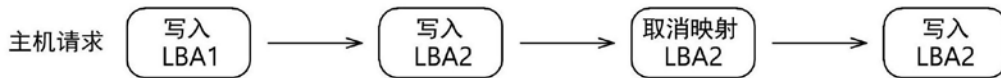


图10

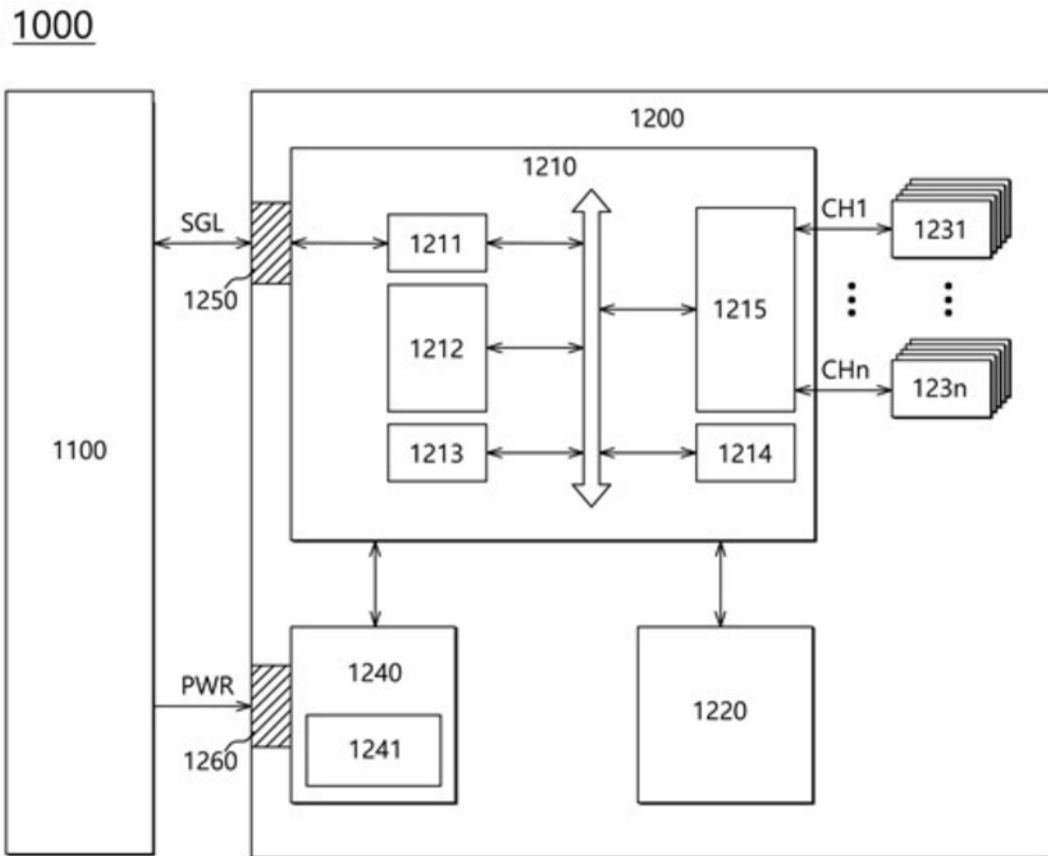


图11

2000

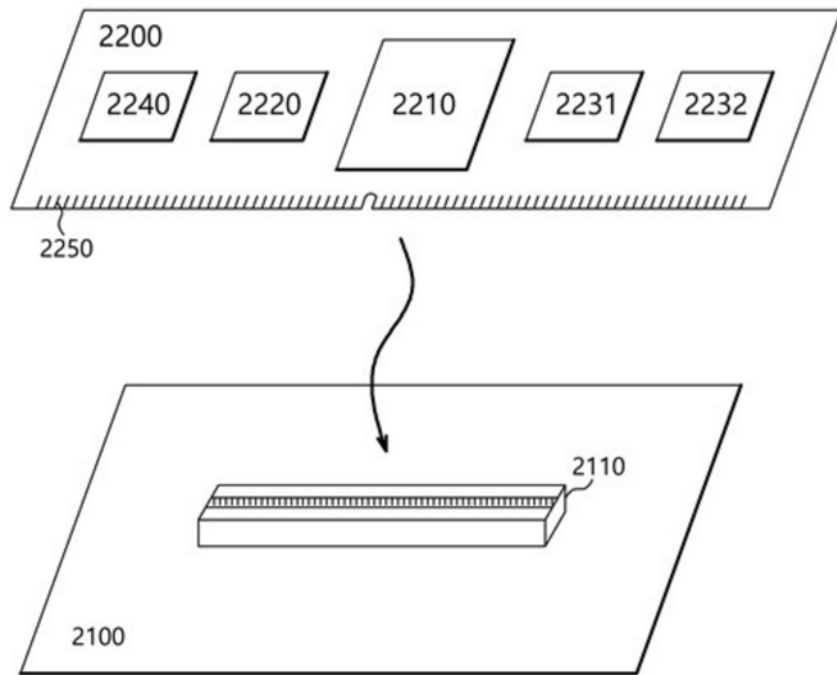


图12

3000

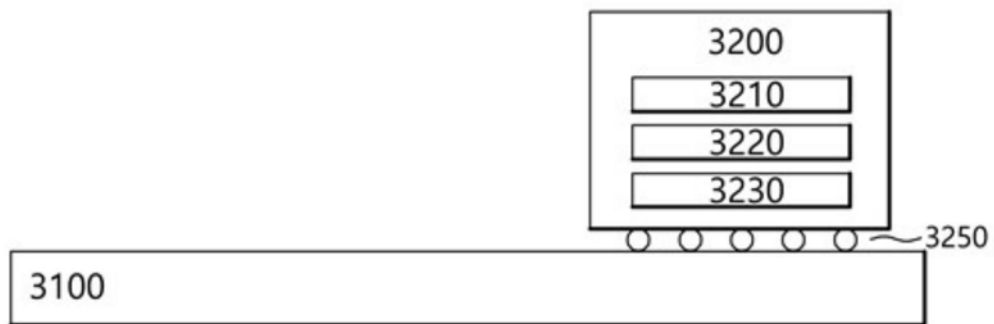


图13

4000

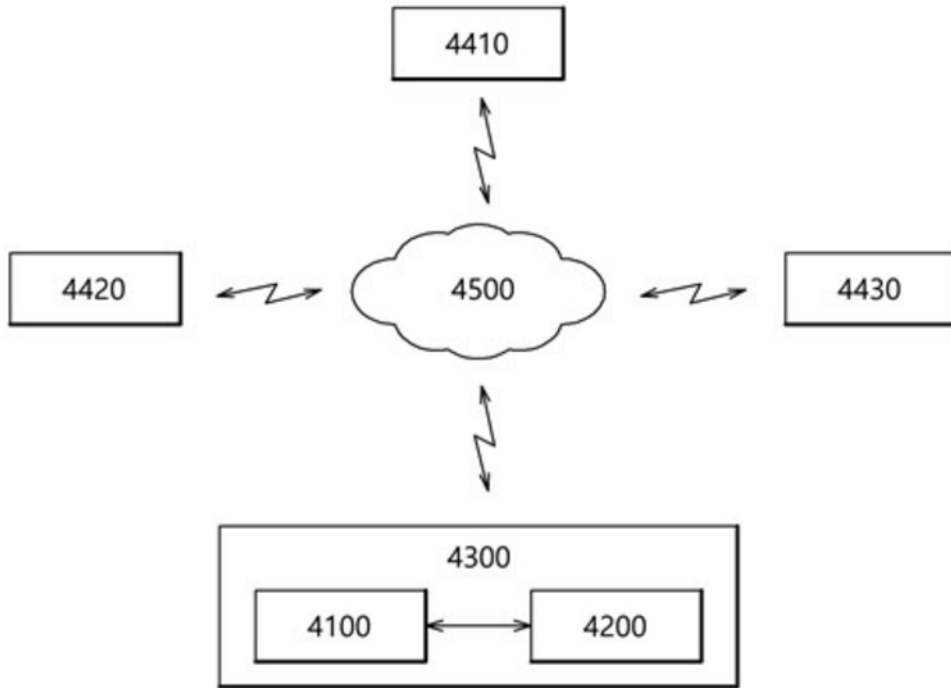


图14

300

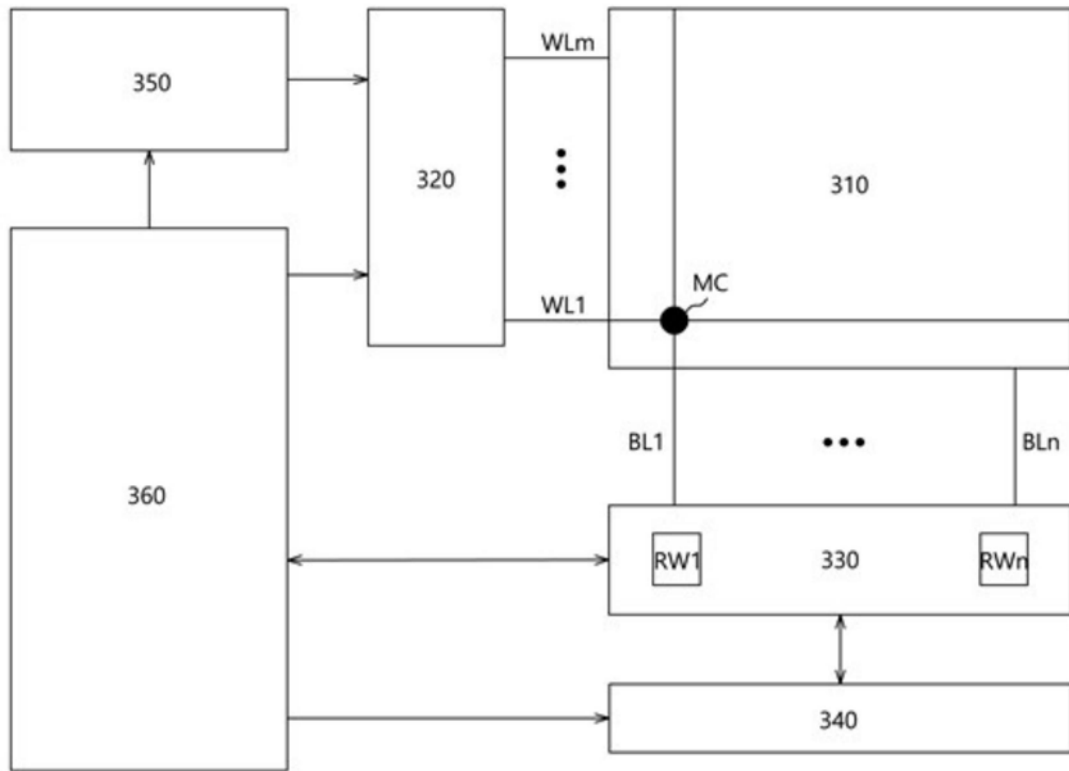


图15