



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월17일  
(11) 등록번호 10-2351411  
(24) 등록일자 2022년01월11일

- (51) 국제특허분류(Int. Cl.)  
H01L 21/02 (2006.01) H01L 21/311 (2006.01)  
H01L 21/3115 (2006.01) H01L 21/768 (2006.01)
- (52) CPC특허분류  
H01L 21/0234 (2013.01)  
H01L 21/02323 (2013.01)
- (21) 출원번호 10-2017-7005009
- (22) 출원일자(국제) 2014년09월26일  
심사청구일자 2019년09월26일
- (85) 번역문제출일자 2017년02월22일
- (65) 공개번호 10-2017-0063535
- (43) 공개일자 2017년06월08일
- (86) 국제출원번호 PCT/US2014/057711
- (87) 국제공개번호 WO 2016/048354  
국제공개일자 2016년03월31일
- (56) 선행기술조사문헌  
US20060003572 A1\*  
(뒷면에 계속)

- (73) 특허권자  
인텔 코포레이션  
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자  
브룩스, 존 디.  
미국 97124 오리건주 힐스버러 노스이스트 에디슨 스트리트 273  
코사라주, 스리니바스  
미국 97229 오리건주 포틀랜드 노스웨스트 크레이 디 레인 5392  
(뒷면에 계속)
- (74) 대리인  
양영준, 김연송, 백만기

전체 청구항 수 : 총 15 항

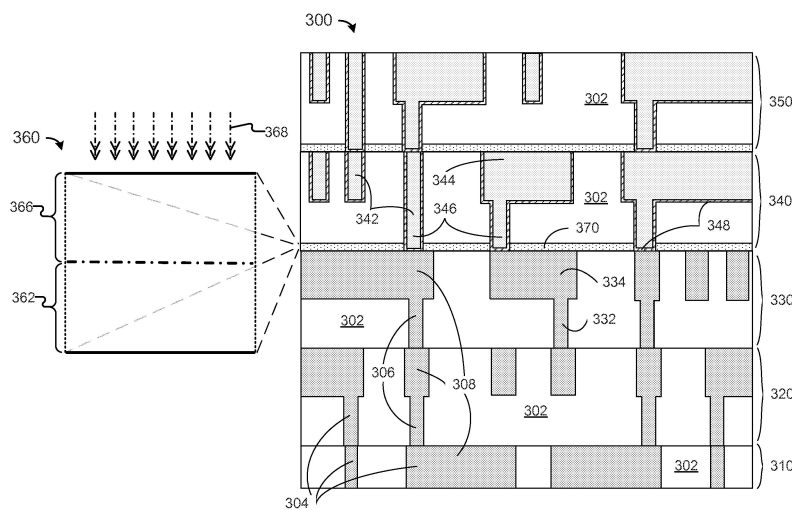
심사관 : 방기인

(54) 발명의 명칭 포토리소그래피 포이즈닝을 감소시키기 위한 산화 플라즈마 후처리를 위한 기술 및 연관된 구조체들

(57) 요약

본 개시내용의 실시예들은 포토리소그래피 포이즈닝을 감소시키기 위한 산화 플라즈마 후처리를 위한 기술들을 설명한다. 일 실시예에서, 장치는 복수의 라우팅 피처를 갖는 유전체 층; 및 유전체 층과 결합된 제1 계면 영역 및 제1 계면 영역에 대하여 배치된 제2 계면 영역을 갖는 에칭 정지 층을 포함한다. 제2 계면 영역은 제2 계면 영역에 걸쳐 고르게 분포되는 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖고, 제1 계면 영역은 실질적으로 제로 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖는다. 다른 실시예들이 설명되고/되거나 청구될 수 있다.

대표도



(52) CPC특허분류

*H01L 21/02326* (2013.01)

*H01L 21/31144* (2013.01)

*H01L 21/31155* (2013.01)

*H01L 21/76826* (2013.01)

*H01L 21/76834* (2013.01)

(72) 발명자

**플레하노프, 파벨 에스.**

미국 97124 오리건주 힐스버러 노스웨스트 229번  
애비뉴 1501

**이크발, 아사드**

미국 97229 오리건주 포틀랜드 노스웨스트 만레사  
코트 15116

(56) 선행기술조사문헌

KR1020090005161 A

KR1020050020801 A

KR1020040084668 A

US20010019175 A1

US20100252930 A1

US06140024 A

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

장치로서,

복수의 라우팅 피처를 갖는 유전체 층; 및

상기 유전체 층과 결합된 제1 계면 영역 및 상기 제1 계면 영역에 대향하여 배치된 제2 계면 영역을 갖는 에칭 정지 층(etch stop layer)

을 포함하고,

상기 제2 계면 영역은 상기 제2 계면 영역에 걸쳐 고르게 분포되는 피크 실리콘 산화물( $\text{SiO}_2$ ) 농도 레벨을 갖고, 상기 제1 계면 영역은 실질적으로 제로 실리콘 산화물( $\text{SiO}_2$ ) 농도 레벨을 갖고,

상기 제2 계면 영역의 최외측 표면에서의 SiN의 농도는 상기 에칭 정지 층에서의 SiN의 최저 농도이고, 상기 SiN의 농도는 상기 제2 계면 영역에서 피크 레벨까지 증가하며, 상기 제1 계면 영역에 걸쳐 실질적으로 일정한 장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제1항에 있어서,

상기 제1 계면 영역 및 상기 제2 계면 영역에서의  $\text{SiO}_2$  농도 레벨들의 프로파일은 상기 제2 계면 영역으로부터 이산화 탄소( $\text{CO}_2$ )와 질소( $\text{N}_2$ )를 포함한 플라즈마 처리에 의해 처리되는 상기 에칭 정지 층과 일관되는 (consistent with) 장치.

**청구항 6**

제1항에 있어서,

상기 유전체 층은 제1 유전체 층이고,

상기 장치는,

웨이퍼 또는 다이의 반도체 기판 - 상기 제1 유전체 층은 상기 반도체 기판 상에 배치됨 -; 및

상기 제1 유전체 층의 상기 제2 계면 영역과 결합된 제2 유전체 층

을 더 포함하는 장치.

**청구항 7**

제1항에 있어서,

상기 제1 계면 영역 및 상기 제2 계면 영역은 동일한 두께를 갖는 장치.

**청구항 8**

제1항에 있어서,

상기 복수의 라우팅 피처는 복수의 비아 및 트렌치를 포함하고, 상기 에칭 정지 층은 실리콘 탄화물(SiC)을 갖는 에칭 정지 층인 장치.

**청구항 9**

유전체 층에 복수의 라우팅 피처를 형성하는 단계;

상기 유전체 층 위에 에칭 정지 층을 퇴적하는 단계; 및

이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리로 상기 에칭 정지 층을 산화하는 단계

를 포함하고,

상기 에칭 정지 층을 산화하는 단계는 상기 에칭 정지 층의 하나의 표면에서만 피크 SiO<sub>2</sub> 농도 레벨을 생성하는 단계를 포함하고,

상기 에칭 정지 층을 산화하는 단계는 상기 에칭 정지 층의 표면으로부터 증가하는 SiN 농도 프로파일을 생성하는 단계를 포함하고,

상기 SiN 농도 프로파일은 피크 레벨에 도달하고, 상기 에칭 정지 층의 대향 표면을 향하는 방향으로 상기 피크 레벨을 실질적으로 유지하는 방법.

**청구항 10**

제9항에 있어서,

상기 복수의 라우팅 피처를 형성하는 단계는 듀얼-다마신 프로세스에서 복수의 비아 및 트렌치를 형성하는 단계를 포함하는 방법.

**청구항 11**

제9항에 있어서,

상기 에칭 정지 층을 퇴적하는 단계는 실리콘 탄화물(SiC)을 퇴적하는 단계를 포함하는 방법.

**청구항 12**

제9항에 있어서,

상기 에칭 정지 층을 산화하는 단계는 상기 플라즈마 처리를 위해 3:1 내지 4:1의 이산화 탄소(CO<sub>2</sub>) 대 질소(N<sub>2</sub>)의 비율을 이용하는 단계를 포함하는 방법.

**청구항 13**

제9항에 있어서,

상기 에칭 정지 층을 산화하는 단계는 상기 에칭 정지 층의 최외측 영역에서만 SiN을 SiO<sub>2</sub>로 전환하는 단계를 포함하는 방법.

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

제9항에 있어서,

상기 에칭 정지 층을 산화하는 단계는 후속 리소그래피 처리 동안 상기 에칭 정지 층의 포이즌잉 효과(poisoning effect)를 감소시키는 단계를 포함하는 방법.

**청구항 18**

제9항에 있어서,

상기 산화하는 단계는 플라즈마 강화 화학 기상 증착(PECVD) 프로세스에서 실행되는 방법.

**청구항 19**

제9항에 있어서,

상기 산화하는 단계는 수소(H<sub>2</sub>)를 갖는 플라즈마 강화 화학 기상 증착(PECVD) 프로세스 챔버에서 실행되는 방법.

**청구항 20**

컴퓨팅 디바이스로서,

회로 보드; 및

상기 회로 보드와 전기적으로 결합된 다이

를 포함하고,

상기 다이는,

복수의 라우팅 피처를 갖는 유전체 층; 및

상기 유전체 층과 결합된 제1 계면 영역 및 상기 제1 계면 영역에 대향하여 배치된 제2 계면 영역을 갖는 에칭 정지 층

을 포함하고,

상기 제1 계면 영역 및 상기 제2 계면 영역에서의 SiO<sub>2</sub> 농도 레벨들의 프로파일은 상기 제2 계면 영역으로부터 이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리에 의해 처리되는 상기 에칭 정지 층과 일관되고,

상기 제2 계면 영역은 상기 에칭 정지 층에 걸쳐 고르게 분포되는 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖고,

상기 제1 계면 영역은 실질적으로 제로 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖고,

상기 제2 계면 영역의 최외측 표면에서의 SiN의 농도는 상기 에칭 정지 층에서의 SiN의 최저 농도이고, 상기 SiN의 농도는 상기 제2 계면 영역에서 피크 레벨까지 지속적으로 증가하며, 상기 제1 계면 영역에 걸쳐 실질적으로 일정한 컴퓨팅 디바이스.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

제20항에 있어서,

상기 다이는 프로세서이고,

상기 컴퓨팅 디바이스는, 안테나, 디스플레이, 터치스크린 디스플레이, 터치스크린 제어기, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, 글로벌 포지셔닝 시스템(GPS) 디바이스, 나침반, 가이거 카운터(Geiger counter), 가속도계, 자이로스코프, 스피커 및 카메라 중 하나 이상을 포함하는 모바일 컴퓨팅 디바이스인 컴퓨팅 디바이스.

**발명의 설명**

**기술 분야**

[0001] 본 개시내용의 실시예들은 일반적으로 집적 회로 분야에 관한 것이며, 더 구체적으로는 포토리소그래피 포이즈닝(photolithography poisoning)을 감소시키기 위한 산화 플라즈마 후처리를 위한 기술들 및 연관된 구조체들에 관한 것이다.

**배경 기술**

[0002] 일부 패터닝 프로세스들에서, 금속 라인들을 캡핑하기 위해 에칭 정지(etch stop)(ES) 층이 퇴적된 이후에 포토리소그래피 단계들이 실행될 수 있다. ES 층으로부터의 화학물질(chemistry)은 포토리소그래피 재료 내로 직접 확산되어, 현상 프로세스에서의 에칭률(etch rates)을 편향(skew)시키고/시키거나 패터닝된 피쳐들의 크기를 편향시킬 수 있다. 이러한 포이즈닝 효과는 패터닝후(post-patterning) 현상 체크 임계 치수(develop check critical dimension)(DCCD) 및/또는 최종 체크 임계 치수(final check critical dimension)(FCCD) 측정들에서 제시될 수 있다.

[0003] 본 명세서에서 제공된 배경기술 설명은 일반적으로 본 개시내용의 콘텍스트를 제시하기 위한 것이다. 본 명세서에서 달리 표시되지 않는 한, 본 섹션에 설명된 자료들은 본 출원에서의 청구항들에 대한 종래 기술이 아니며, 본 섹션에서의 포함에 의해 종래 기술 또는 종래 기술의 암시인 것으로 인정되지는 않는다.

**도면의 간단한 설명**

[0004] 실시예들은 첨부 도면들과 함께 다음의 상세한 설명에 의해 손쉽게 이해될 것이다. 이러한 설명을 용이하게 하기 위해서, 유사한 참조 번호들은 유사한 구조적 요소들을 지시한다. 실시예들은 첨부 도면들에서 제한이 아니라 예로서 예시되어 있다.

도 1은 일부 실시예들에 따른 웨이퍼 형태의 그리고 싱글레이팅된 형태의 예시적인 다이의 상면도를 개략적으로 예시한다.

도 2는 일부 실시예들에 따른 집적 회로(IC) 어셈블리의 측단면도를 개략적으로 예시한다.

도 3은 일부 실시예들에 따른 IC 디바이스의 인터커넥트 층들의 측단면도를 개략적으로 예시한다.

도 4는 일부 실시예들에 따른 산화 플라즈마 후처리의 방법에 대한 흐름도를 개략적으로 예시한다.

도 5는 일부 실시예들에 따른 웨이퍼 상의 다양한 사이트들에서의 SiO<sub>2</sub> 및 SiN에 대한 깊이 프로파일들을 개략적으로 예시한다.

도 6은 일부 실시예들에 따른 본 명세서에 설명된 바와 같은 트랜지스터 콘택 어셈블리를 포함할 수 있는 예시적인 시스템을 개략적으로 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0005] 본 개시내용의 실시예들은 포토리소그래피 포이즈닝을 감소시키기 위한 산화 플라즈마 후처리를 위한 기술들 및 연관된 구조체들을 설명한다. 다음의 상세한 설명에서, 본 명세서의 일부를 형성하는 첨부 도면들에 대한 참조가 이루어지고, 여기서 유사한 번호들은 전체에 걸쳐 유사한 부분들을 지시하며, 본 개시내용의 발명 대상이 실시될 수 있는 실시예들이 예시로서 도시되어 있다. 다른 실시예들이 이용될 수 있고, 본 개시내용의 범위로부터 벗어나지 않고 구조적 또는 논리적 변경들이 이루어질 수 있다는 점이 이해되어야 한다. 그러므로, 다음의 상세한 설명은 제한하는 의미로 간주되어서는 안 되며, 실시예들의 범위는 첨부 청구항들 및 그것의 등가물들에 의해 정의된다.

- [0006] 본 개시내용의 목적을 위해, "A 및/또는 B"라는 어구는 (A), (B), 또는 (A 및 B)를 의미한다. 본 개시내용의 목적을 위해, "A, B 및/또는 C"라는 어구는 (A), (B), (C), (A 및 B), (A 및 C), (B 및 C), 또는 (A, B 및 C)를 의미한다.
- [0007] 본 설명은 상부/하부, 측면, 위/아래 등과 같은 관점 기반 설명들을 이용할 수 있다. 이러한 설명들은 본 논의를 용이하게 하기 위해 이용될 뿐이며, 본 명세서에 설명된 실시예들의 애플리케이션을 임의의 특정 배향으로 한정하는 것으로 의도되지는 않는다.
- [0008] 본 설명은, 동일하거나 상이한 실시예들 중 하나 이상을 각각 지칭할 수 있는 "실시예에서" 또는 "실시예들에서"라는 어구들을 이용할 수 있다. 또한, 본 개시내용의 실시예들과 관련하여 이용되는 바와 같은 "포함하는(comprising)", "포함하는(including)", "갖는(having)" 등과 같은 용어들은 동의어이다.
- [0009] "-와 결합된(coupled with)"이라는 용어가 그것의 과생어와 함께 본 명세서에서 이용될 수 있다. "결합된"은 다음의 것 중 하나 이상을 의미할 수 있다. "결합된"은 2개 이상의 요소가 직접적으로 물리적 또는 전기적 접촉하는 것을 의미할 수 있다. 그러나, "결합된"은, 2개 이상의 요소가 서로 간접적으로 접촉하지만, 여전히 서로 상호작용하거나 협력하는 것을 또한 의미할 수 있으며, 서로 결합되는 것으로 언급되는 요소들 사이에 하나 이상의 다른 요소가 결합되거나 접촉되는 것을 의미할 수 있다. "직접적으로 결합된"이라는 용어는 2개 이상의 요소가 직접적으로 접촉하는 것을 의미할 수 있다.
- [0010] 다양한 실시예들에서, "제2 피처 상에 형성되거나, 퇴적되거나 또는 다른 방식으로 배치된 제1 피처"라는 어구는, 제1 피처가 제2 피처 위에 형성되거나, 퇴적되거나 또는 배치되고, 제1 피처의 적어도 일부가 제2 피처의 적어도 일부와 직접적으로 접촉(예를 들어, 직접적으로 물리적 및/또는 전기적 접촉)하거나 간접적으로 접촉(예를 들어, 제1 피처와 제2 피처 사이에 하나 이상의 다른 피처를 가짐)할 수 있다는 것을 의미할 수 있다.
- [0011] 본 명세서에서 이용되는 바와 같이, "모듈"이라는 용어는 주문형 집적 회로(ASIC), 전자 회로, 하나 이상의 소프트웨어 또는 펌웨어 프로그램을 실행하는 프로세서(공유, 전용 또는 그룹) 및/또는 메모리(공유, 전용 또는 그룹), 조합 로직 회로(combinational logic circuit), 및/또는 설명된 기능을 제공하는 다른 적합한 컴포넌트들을 지칭하거나, 그것의 일부이거나 또는 그것을 포함할 수 있다.
- [0012] 도 1은 일부 실시예들에 따른 웨이퍼 형태(150)의 그리고 싱글레이팅된 형태(160)의 예시적인 다이(154)의 상면도를 개략적으로 예시한다. 일부 실시예들에서, 다이(154)는 예를 들어 실리콘이나 다른 적합한 재료와 같은 반도체 재료로 구성된 웨이퍼(152)의 복수의 다이(예를 들어, 다이들(154, 156, 158)) 중 하나일 수 있다. 복수의 다이는 웨이퍼(152)의 표면 상에 형성될 수 있다. 다이들 각각은 본 명세서에 설명된 바와 같은 하나 이상의 라우팅 피처(예를 들어, 도 3의 다양한 비아들 및 트렌치들)를 포함하는 반도체 제품의 반복 유닛일 수 있다. 예를 들어, 다이(154)는, 예를 들어, 소스/드레인 영역들 또는 하나 이상의 트랜지스터 디바이스의 모바일 전하 캐리어들에 대해 채널 경로를 제공하는 하나 이상의 채널 바디(예를 들어, 핀 구조체들, 나노와이어들, 평면형 바디들 등)와 같은 트랜지스터 구조체들(162)을 갖는 회로를 포함할 수 있다.
- [0013] 예를 들어 단자 콘택들, 트렌치들 및/또는 비아들과 같은 전기적 인터커넥트 구조체들은 하나 이상의 트랜지스터 구조체(162) 상에 형성되며 이러한 트랜지스터 구조체들과 결합되어, 이러한 트랜지스터 구조체들(162)로의 또는 이러한 트랜지스터 구조체들로부터의 전기 에너지를 라우팅할 수 있다. 예를 들어, 인터커넥트 구조체들은 트랜지스터 디바이스의 동작을 위한 모바일 전하 캐리어들을 제공하도록 소스/드레인 전류 및/또는 임계 전압의 전달을 위한 게이트 전극을 제공하기 위해 채널 바디와 전기적으로 결합될 수 있다. 인터커넥트 구조체들은 예를 들어 도 2의 인터커넥트 층(216)에 배치될 수 있다. 트랜지스터 구조체들(162)은 단순성을 위해 도 1에서 다이(154)의 상당 부분을 가로지르는 행들로 도시되어 있지만, 트랜지스터 구조체들(162)은 다른 실시예들에서는 다이(154) 상에서 예를 들어 도시된 것보다 훨씬 더 작은 치수를 갖는 수직 및 수평 피처들을 포함하여 매우 다양한 다른 적합한 배열들 중 임의의 것으로 구성될 수 있다는 점이 이해되어야 한다.
- [0014] 다이들에 구현되는 반도체 제품의 제조 프로세스가 완료된 이후에, 웨이퍼(152)는 반도체 제품의 별개의 "칩들"을 제공하기 위해 다이들 각각(예를 들어, 다이(154))이 서로로부터 분리되는 싱글레이션 프로세스를 겪을 수 있다. 웨이퍼(152)는 다양한 크기들 중 임의의 것을 가질 수 있다. 일부 실시예들에서, 웨이퍼(152)는 약 25.4mm 내지 약 450mm의 범위의 직경을 갖는다. 웨이퍼(152)는 다른 실시예들에서는 다른 크기들 및/또는 다른 형상들을 포함할 수 있다. 다양한 실시예들에 따르면, 트랜지스터 구조체들(162)은 웨이퍼 형태(150)의 또는 싱글레이팅된 형태(160)의 반도체 기판 상에 배치될 수 있다. 본 명세서에 설명된 트랜지스터 구조체들(162)은 로직이나 메모리 또는 이들의 조합을 위해 다이(154)에 통합될 수 있다. 일부 실시예들에서, 트랜지스터 구조

체들(162)은 시스템 온 칩(SoC) 어셈블리의 일부일 수 있다.

- [0015] 도 2는 일부 실시예들에 따른 집적 회로(IC) 어셈블리(200)의 측면면도를 개략적으로 예시한다. 일부 실시예들에서, IC 어셈블리(200)는 패키지 기판(230)과 전기적으로 그리고/또는 물리적으로 결합된 하나 이상의 다이(이하, "다이(210)")를 포함할 수 있다. 일부 실시예들에서, 다이(210)는 도 1의 다이(154)와 관련하여 설명된 실시예에 부합할 수 있다. 일부 실시예들에서, 패키지 기판(230)은 알 수 있는 바와 같이 회로 보드(240)와 전기적으로 결합될 수 있다. 일부 실시예들에서, 집적 회로(IC) 어셈블리(200)는 다양한 실시예들에 따라 다이(154), 패키지 기판(230) 및/또는 회로 보드(240) 중 하나 이상을 포함할 수 있다. 포토리소그래피 포이즈닝을 감소시키기 위한 산화 플라즈마 후처리를 위한 기술들 및 연관된 구조체들에 대해 본 명세서에 설명된 실시예들은 다양한 실시예들에 따라 임의의 적합한 IC 디바이스에 구현될 수 있다.
- [0016] 다이(210)는 상보성 금속 산화물 반도체(CMOS) 디바이스들을 형성하는 것과 관련하여 이용되는 박막 퇴적, 리소그래피, 에칭 등과 같은 반도체 제조 기술들을 이용하여 반도체 재료(예를 들어, 실리콘)로 제조된 별개의 제품을 나타낼 수 있다. 일부 실시예들에서, 다이(210)는 프로세서, 메모리, SoC 또는 ASIC을 포함하거나 그 일부일 수 있다. 일부 실시예들에서, 예를 들어 몰딩 화합물 또는 언더필 재료(도시되지 않음)와 같은 전기 절연성 재료가 다이(210) 및/또는 다이-레벨 인터커넥트 구조체들(220)의 적어도 일부를 캡슐화할 수 있다.
- [0017] 다이(210)는 예를 들어 도시된 바와 같이 플립-칩 구성으로 패키지 기판(230)과 직접적으로 결합되는 것을 포함하여 매우 다양한 적합한 구성들에 따라 패키지 기판(230)에 부착될 수 있다. 플립-칩 구성에서, 회로를 포함하는 다이(210)의 활성 측면(S1)은, 범프들, 필러들, 또는 패키지 기판(230)과 다이(210)를 또한 전기적으로 결합할 수 있는 다른 적합한 구조체들과 같은 다이-레벨 인터커넥트 구조체들(220)을 이용하여 패키지 기판(230)의 표면에 부착된다. 다이(210)의 활성 측면(S1)은 예를 들어 트랜지스터 디바이스들과 같은 활성 디바이스들(active devices)을 포함할 수 있다. 알 수 있는 바와 같이, 비활성 측면(S2)은 활성 측면(S1)에 대향하여 배치될 수 있다.
- [0018] 다이(210)는 일반적으로 반도체 기판(212), 하나 이상의 디바이스 층(이하, "디바이스 층(214)") 및 하나 이상의 인터커넥트 층(이하, "인터커넥트 층(216)")을 포함할 수 있다. 일부 실시예들에서, 반도체 기판(212)은 예를 들어 실리콘과 같은 벌크 반도체 재료로 실질적으로 구성될 수 있다. 디바이스 층(214)은, 트랜지스터 디바이스들과 같은 활성 디바이스들이 반도체 기판 상에 형성되는 영역을 나타낼 수 있다. 디바이스 층(214)은 예를 들어 트랜지스터 디바이스들의 소스/드레인 영역들 및/또는 채널 바디들과 같은 트랜지스터 구조체들을 포함할 수 있다. 인터커넥트 층(216)은, 디바이스 층(214)에서의 활성 디바이스들로의 또는 이러한 활성 디바이스들로부터의 전기 신호들을 라우팅하도록 구성되는 인터커넥트 구조체들(예를 들어, 전극 단자들)을 포함할 수 있다. 예를 들어, 인터커넥트 층(216)은 수평 라인들(예를 들어, 트랜치들) 및/또는 수직 플러그들(예를 들어, 비아들), 또는 전기적 라우팅 및/또는 콘택들을 제공하기 위한 다른 적합한 피처들을 포함할 수 있다.
- [0019] 일부 실시예들에서, 다이-레벨 인터커넥트 구조체들(220)은 인터커넥트 층(216)과 전기적으로 결합되고, 다이(210)와 다른 전기 디바이스들 사이에 전기 신호들을 라우팅하도록 구성될 수 있다. 전기 신호들은 예를 들어 다이(210)의 동작과 관련하여 이용되는 입/출력(I/O) 신호들 및/또는 전력/접지 신호들을 포함할 수 있다.
- [0020] 일부 실시예들에서, 패키지 기판(230)은 예를 들어 ABF(Ajinomoto Build-up Film) 기판과 같이 코어 및/또는 빌드업 층들을 갖는 에폭시계 라미네이트 기판이다. 다른 실시예들에서, 패키지 기판(230)은 예를 들어 유리, 세라믹 또는 반도체 재료들로 형성된 기판들을 포함한 다른 적합한 타입의 기판들을 포함할 수 있다.
- [0021] 패키지 기판(230)은 다이(210)로의 또는 다이로부터의 전기 신호들을 라우팅하도록 구성된 전기 라우팅 피처들을 포함할 수 있다. 예를 들어, 전기 라우팅 피처들은, 예를 들어 트랜치들, 비아들, 또는 패키지 기판(230)을 통해 전기 신호들을 라우팅하기 위한 다른 인터커넥트 구조체들과 같은 내부 라우팅 피처들(도시되지 않음) 및/또는 패키지 기판(230)의 하나 이상의 표면 상에 배치된 패드들 또는 트레이스들(도시되지 않음)을 포함할 수 있다. 예를 들어, 일부 실시예들에서, 패키지 기판(230)은 다이(210)의 각각의 다이-레벨 인터커넥트 구조체들(220)을 수취하도록 구성된 패드들(도시되지 않음)과 같은 전기 라우팅 피처들을 포함할 수 있다.
- [0022] 회로 보드(240)는 에폭시 라미네이트와 같은 전기 절연성 재료로 구성된 인쇄 회로 보드(PCB)일 수 있다. 예를 들어, 회로 보드(240)는, 예를 들어 폴리테트라플루오로에틸렌, 페놀계 코튼 페이퍼(phenolic cotton paper) 재료들, 예컨대 FR-4(Flame Retardant 4), FR-1, 코튼 페이퍼 및 에폭시 재료들, 예컨대 CEM-1 또는 CEM-3, 또는 에폭시 수지 프리프레그 재료를 이용하여 함께 라미네이트되는 직조 유리 재료들과 같은 재료들로 구성된 전기 절연성 층들을 포함할 수 있다. 트레이스들, 트랜치들 또는 비아들과 같은 인터커넥트 구조체들(도시되지

않음)은 회로 보드(240)를 통해 다이(210)의 전기 신호들을 라우팅하기 위해 전기 절연성 층들을 통하여 형성될 수 있다. 회로 보드(240)는 다른 실시예들에서는 다른 적합한 재료들로 구성될 수 있다. 일부 실시예들에서, 회로 보드(240)는 마더보드(예를 들어, 도 6의 마더보드(602))이다.

[0023] 패키지 기관(230)과 회로 보드(240) 사이에 전기 신호들을 추가로 라우팅하도록 구성되는 대응하는 솔더 조인트들을 형성하기 위해 예를 들어 솔더 볼들(250)과 같은 패키지-레벨 인터커넥트들이 패키지 기관(230) 상의 그리고/또는 회로 보드(240) 상의 하나 이상의 패드들(이하, "패드들(260)")에 결합될 수 있다. 패드들(260)은, 예를 들어 니켈(Ni), 팔라듐(Pd), 금(Au), 은(Ag), 구리(Cu) 및 이들의 조합을 포함하는 금속과 같은 임의의 적합한 전기 전도성 재료로 구성될 수 있다. 회로 보드(240)와 패키지 기관(230)을 물리적으로 그리고/또는 전기적으로 결합하기 위한 다른 적합한 기술들이 다른 실시예들에서 이용될 수 있다.

[0024] 다른 실시예들에서, IC 어셈블리(200)는, 예를 들어 플립-칩 및/또는 와이어 본딩 구성들, 인터포저들, 및 SiP(system-in-package) 및/또는 PoP(package-on-package) 구성들을 포함하는 멀티-칩 패키지 구성들의 적합한 조합들을 포함한 매우 다양한 다른 적합한 구성들을 포함할 수 있다. 다이(210)와 IC 어셈블리(200)의 다른 컴포넌트들 사이에 전기 신호들을 라우팅하기 위한 다른 적합한 기술들이 일부 실시예들에서 이용될 수 있다.

[0025] 도 3은 일부 실시예들에 따른 IC 디바이스(300)의 인터커넥트 층들(310, 320, 330, 340 및 350)의 측면면도를 개략적으로 예시한다. 일부 실시예들에서, IC 디바이스(300)의 인터커넥트 층들(310, 320, 330, 340 또는 350)은 도 2의 인터커넥트 층(216)의 일부일 수 있다. 다양한 실시예들에서, 인터커넥트 층들은, 예를 들어 구리 또는 알루미늄과 같은 금속을 포함하는 전기 전도성 재료로 구성될 수 있는 다양한 인터커넥트 구조체들을 포함할 수 있다.

[0026] 일부 실시예들에서, 인터커넥트 구조체들(304)은, 예를 들어 구리와 같은 전기 전도성 재료로 충전되는 비아 구조체들(306)(때때로 "홀들"로 지칭됨) 및/또는 트렌치 구조체들(308)(때때로 "라인들"로 지칭됨)을 포함할 수 있다. 인터커넥트 구조체들(304)은 인터커넥트 층들의 스택을 통해 전기 신호들의 라우팅을 제공하는 층간 인터커넥트들일 수 있다.

[0027] 일부 실시예들에서, 트렌치 구조체들(308)은 인터커넥트 층, 예를 들어 인터커넥트 층(310)과 실질적으로 평행한 평면의 방향으로 전기 신호들을 라우팅하도록 구성될 수 있다. 예를 들어, 트렌치 구조체들(308)은 일부 실시예들에서 도 3의 관점에서 페이지의 안팎의 방향으로 전기 신호들을 라우팅할 수 있다. 비아 구조체들(306)은 트렌치 구조체들(308)과 실질적으로 수직인 평면의 방향으로 전기 신호들을 라우팅하도록 구성될 수 있다. 일부 실시예들에서, 비아 구조체들(306)은 상이한 인터커넥트 층들(320 및 330)의 트렌치 구조체들(308)을 함께 전기적으로 결합할 수 있다.

[0028] 인터커넥트 층들(310, 320, 330, 340 및 350)은 알 수 있는 바와 같이 인터커넥트 구조체들(304) 사이에 배치된 유전체 재료(302)를 포함할 수 있다. 유전체 재료(302)는 예를 들어 층간 유전체(ILD) 재료들을 포함하는 매우 다양한 적합한 전기 절연성 재료들 중 임의의 것을 포함할 수 있다. 유전체 재료(302)는, 로우-k 유전체 재료들과 같이, 집적 회로 구조체들에서의 적용가능성에 대해 알려진 유전체 재료들을 이용하여 형성될 수 있다. 이용될 수 있는 유전체 재료들의 예들은 실리콘 산화물(SiO<sub>2</sub>), 탄소 도핑된 산화물(CDO), 실리콘 질화물, 유기 폴리머들, 예컨대 퍼플루오로시클로부탄(perfluorocyclobutane) 또는 폴리테트라플루오로에틸렌(polytetrafluoroethylene), 플루오로실리케이트 유리(FSG), 및 오가노실리케이트들, 예컨대 실세스퀴옥산(silsesquioxane), 실록산(siloxane) 또는 오가노실리케이트 유리를 포함하지만, 이에 제한되지는 않는다. 유전체 재료(302)는 유전 상수를 추가로 감소시키기 위해 구멍들 또는 다른 보이드들을 포함할 수 있다. 유전체 재료(302)는 다른 실시예들에서는 다른 적합한 재료들을 포함할 수 있다.

[0029] 일부 실시예들에서, 인터커넥트 층들(310, 320, 330, 340 또는 350)은 장벽 라이너(348)를 포함할 수 있다. 일부 실시예들에서, 장벽 라이너(348)는 알 수 있는 바와 같이 인터커넥트 구조체들(304)의 금속과 유전체 재료(302) 사이에 그리고/또는 상이한 인터커넥트 층들(예를 들어, 인터커넥트 층들(330, 340))의 인접한 인터커넥트 구조체들(304)의 금속 사이에 배치될 수 있다. 일부 실시예들에서, 장벽 라이너(348)는, 예를 들어 탄탈륨(Ta), 티타늄(Ti) 또는 텅스텐(W)과 같이 Cu 외의 재료로 구성될 수 있다. 일부 실시예들에서, 장벽 라이너(348)는 탄탈륨 질화물(TaN)을 포함할 수 있다. 장벽 라이너(348)는 다른 실시예들에서는 다른 적합한 재료들을 포함할 수 있다.

[0030] 인터커넥트 층(340)은 하부의 층들에서의 피처들의 산화 또는 다른 부식을 방지하도록 구성되는 기밀형 유전체 층(hermetic dielectric layer)(370)을 포함할 수 있다. 기밀형 유전체 층(370)은 인터커넥트 층(340)의 유전

체 층을 형성하는 유전체 재료(302)와 인터커넥트 층(330)의 유전체 층을 형성하는 유전체 재료(302) 사이에 배치될 수 있다. 기밀형 유전체 층(370)은 유전체 재료(302)와는 상이한 화학적 조성을 가질 수 있다. 일부 실시예들에서, 기밀형 유전체 층(370)은 실리콘 질화물(SiN), 실리콘 탄화물(SiC), 실리콘 산질화물, 탄소 도핑된 실리콘 질화물, 탄소 도핑된 실리콘 산질화물 등으로 구성될 수 있다. 기밀형 유전체 층(370)은 유전체 재료(302)의 두께보다 작은 두께를 가질 수 있다. 인터커넥트 층(340)과 유사하게 구성된 다른 인터커넥트 층들이 다양한 실시예들에서 인터커넥트 층(340) 상에 적층될 수 있다.

[0031] 다양한 실시예들에서, 기밀형 유전체 층(370)은, 비아 구조체들 및 트렌치 구조체들이 동시에 제조될 수 있는 다마신 프로세스에서 에칭 정지(ES) 층(370) 또는 캡핑 층으로서 또한 알려질 수 있다. 다양한 실시예들에서, 인터커넥트 층(340)에 대한 포토리소그래피 포이즈닝 효과를 감소시키기 위해 ES 층(370)에 대해 산화 플라즈마 후처리가 적용될 수 있다. ES 층(370)의 세그먼트(360)는 ES 층(370) 내의 상이한 영역들을 나타내도록 확대된다. 일부 실시예들에서, ES 층(370)은 인터커넥트 층(330)과 결합된 제1 계면 영역(362), 및 인터커넥트 층(340)과 결합된 제2 계면 영역(366)을 가질 수 있다. 다양한 실시예들에서, 제2 계면 영역(366)은 인터커넥트 층(340)을 추가로 빌드업하기 이전에 산화 플라즈마(368)에 기초한 후처리를 수취할 수 있다.

[0032] 인터커넥트 구조체들(304, 306, 308, 332, 334, 342, 344 또는 346)은 매우 다양한 설계들에 따라 전기 신호들을 라우팅하도록 인터커넥트 층들(310, 320, 330, 340 또는 350) 내에 구성될 수 있으며, 도 3에 도시된 인터커넥트 구조체들의 특정 구성에 제한되지는 않는다. 도 3에는 특정 인터커넥트 층들(310, 320, 330, 340 및 350)이 도시되어 있지만, 본 개시내용의 실시예들은 도시된 것보다 더 많거나 더 적은 인터커넥트 층들을 갖는 IC 디바이스들을 포함한다.

[0033] 도 4는 일부 실시예들에 따른 (예를 들어, 도 3의 에칭 정지 층(370)에 적용되는) 산화 플라즈마 후처리의 프로세스(400)에 대한 흐름도를 개략적으로 예시한다. 프로세스(400)는 도 1 내지 도 3과 관련하여 설명된 실시예들에 부합할 수 있으며, 그 반대도 마찬가지이다.

[0034] 410에서, 프로세스(400)는 유전체 층에 복수의 라우팅 피처를 형성하는 것을 포함할 수 있다. 일부 실시예들에서, 복수의 라우팅 피처를 형성하는 것은 듀얼-다마신 프로세스에서 복수의 비아 및 트렌치를 형성하는 것을 포함한다. 예로서, 도 3과 관련하여, 라우팅 피처들, 예를 들어 비아(332) 및 트렌치(334)는 듀얼-다마신 프로세스에서 제조될 수 있다. 다마신 프로세스는, 예를 들어 유전체 재료(302) 상에서 리소그래피 및 에칭 기술들을 이용하여 퇴적 및 패터닝함으로써, 인터커넥트 층(330) 상에 비아(332) 및 트렌치(334)의 빈 패턴(vacant pattern)을 형성하는 것으로 시작될 수 있다. 다음에, 비아(332) 및 트렌치(334)의 빈 패턴에 확산 장벽(탄탈륨-Ta)에 기초함; 도시되지 않음)이 퇴적될 수 있다. 확산 장벽은 Cu 부착성을 개선하고, Cu 원자들이 ILD 내로 이동하는 것을 방지할 수 있다. 다음에, 예를 들어 물리 기상 증착(PVD)에 의해, 확산 장벽의 퇴적 이후에 얇은 Cu 시트(도시되지 않음)가 퇴적될 수 있다. 다음에, 예를 들어 금속의 전기도금에 의해, 비아(332) 및 트렌치(334)의 패턴을 충전하는데 선택된 금속, 예를 들어 Cu가 이용될 수 있다.

[0035] 420에서, 프로세스(400)는 유전체 층 위에 에칭 정지 층을 퇴적하는 것을 포함할 수 있다. 다양한 실시예들에서, 예를 들어 화학 기계적 폴리싱 프로세스(CMP)에 의해, 이전에 형성된 라우팅 피처들로부터 임의의 과잉 금속(예를 들어, Cu)을 제거한 이후에, 예를 들어 퇴적에 의해, 하부의 유전체 층(예를 들어, 도 3의 인터커넥트 층(330)) 위에 ES 층(예를 들어, 도 3의 ES 층(370))이 형성될 수 있다. ES 층은 다양한 실시예들에서 실리콘 질화물(SiN), 실리콘 탄화물(SiC), 실리콘 산질화물, 탄소 도핑된 실리콘 질화물, 탄소 도핑된 실리콘 산질화물 등으로 구성될 수 있다.

[0036] ES 층은 상부의 유전체 층들, 예를 들어 도 3의 인터커넥트 층(340)의 에칭 동안 하부의 인터커넥트 구조체들, 예를 들어 도 3의 비아(332) 및 트렌치(334)를 보호할 수 있다. 일부 실시예들에서, ES 층은 또한 확산 장벽의 역할을 할 수 있다. 일부 실시예들에서, ES 층은 또한 비아 구조체들의 형성을 용이하게 하기 위해 반사 방지 코팅(ARC)의 역할을 할 수 있다.

[0037] 430에서, 프로세스(400)는 이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리(이하, "CO<sub>2</sub>/N<sub>2</sub> 플라즈마")로 에칭 정지 층을 산화하는 것을 포함할 수 있다. 다양한 실시예들에서, CO<sub>2</sub>/N<sub>2</sub> 플라즈마를 이용한 산화 플라즈마 후처리, 예를 들어 제1 영역(362)에 대해 벌크 ES 막 특성들을 변경시키지 않고 ES 층(예를 들어, 제2 영역(366))의 표면을 산화할 수 있다. 따라서, ES 층은 기밀성(hermeticity), 등각성(conformality), 유전 상수 등과 같은 그것의 특성들을 유지할 수 있다.

[0038] 예로서, 도 3과 관련하여, 산화 플라즈마(368)는 예를 들어 플라즈마 강화 화학 기상 증착(PECVD) 프로세스에서

ES 층(370)에 적용될 수 있다. 산화 플라즈마(368)는 ES 층(370)의 제2 계면 영역(366)으로부터 포토리소그래피에 영향력이 있는 화학물질(photolithography impactful chemistry)을 없애는 효과로 제2 계면 영역(366)을 산화할 수 있다.

[0039] 일부 실시예들에서,  $N_2O/O_2$  플라즈마가 이용될 수 있다.  $N_2O/O_2$  플라즈마는 효과적인 수 있지만, 그것은  $H_2$  소스로 플럼빙된 프로세스 챔버에서 안전 위험을 제기할 수 있다. 그러나,  $CO_2$ 는  $H_2$ 와 용화성인 것으로 알려져 있고; 그러므로,  $CO_2/N_2$  플라즈마 후처리는 PECVD 프로세스 동안  $H_2$  소스로 플럼빙된 시스템에서도 더 안전하다. 또한, 산화 플라즈마 중의  $N_2$  가스는 ES 층 내로 더 깊게 이온 침투를 유도할 수 있다. 그러므로,  $CO_2/N_2$  플라즈마는 포토리소그래피 포이즈닝 효과를 감소시키기 위한 아민 유도 패터닝 프로세스들(amine driven patterning processes)에서 더 안전한 솔루션이다.

[0040] 다양한 실시예들에서,  $CO_2/N_2$  플라즈마 후처리는 ES 층의 표면 영역 상에서 상당한 SiN 감소 및 SiO 증가를 야기시킬 수 있고, 따라서 포토리소그래피 포이즈닝을 감소시킬 수 있다. 예를 들어, 감소된 SiN 피크뿐만 아니라 증가된 SiO 피크는  $CO_2/N_2$  플라즈마 후처리 이후에 푸리에 변환 적외 분광법(fourier transform infrared spectroscopy)(FTIR) 스펙트럼에서 관측될 수 있다.

[0041] 다양한 실시예들에서, 산화 플라즈마 중의  $N_2$  가스의 역할은 막 내로 더 깊게 이온 침투를 유도하는 것, 및 웨이퍼 내(Within Wafer)(WIW) 이온 프로파일을 조절하는 것을 포함할 수 있다. 일부 실시예들에서,  $N_2$  없이, 플라즈마는 웨이퍼의 에지를 산화할 수 있지만, 웨이퍼의 중심에서의 이러한 처리의 유효성은 매우 제한된다.  $N_2$ 의 증가는 웨이퍼의 중심에서의 유효성을 증가시키고, 이온들을 막 내로 더 깊게 또한 유도한다. 따라서,  $N_2$  가스는 전체 신호 세기를 증가시킬 뿐만 아니라, WIW 산화 균일성을 개선할 수 있다.

[0042] 일부 실시예들에서,  $CO_2/N_2$  플라즈마 중의 9:2 내지 1:1의 이산화 탄소( $CO_2$ ) 대 질소( $N_2$ )의 비율은 웨이퍼에 대한 에칭 정지 층을 산화하는데 이용될 수 있다. 일부 실시예들에서,  $CO_2/N_2$  플라즈마 중의 3:1 내지 4:1의 이산화 탄소( $CO_2$ ) 대 질소( $N_2$ )의 비율은 웨이퍼에 대한 에칭 정지 층을 균일하게 산화할 수 있다. 예로서, 9000 SCCM(standard cubic centimeter per minute)  $CO_2$ 와 결합된 3000 SCCM  $N_2$ 를 갖는  $CO_2/N_2$  플라즈마는 ES 층에 침투하고 웨이퍼 상의 ES 층을 균일하게 산화하기에 적합한 모멘텀을 유지할 수 있지만, ES 층의 기본 특성들을 변경하도록 ES 층 내로 너무 깊게 침투하지는 않을 수 있다.  $CO_2/N_2$  플라즈마 후처리를 이용하면, 포토리소그래피 포이즈닝 효과가 감소될 수 있을 뿐만 아니라, WIW 이온 프로파일도 또한 더 일관성 있게 될 수 있다. 또한, ES 층의 벌크 막 특성들은 기밀성, 로우-k, 에칭 정지 능력 등과 같은 다른 중요한 막 특성들을 충족하도록 튜닝될 수 있다.

[0043] 다양한 실시예들에서, 프로세스(400)는 인터커넥트 구조체들의 상이한 패턴들을 갖는 더 많은 층들을 빌드업하기 위해 반복될 수 있다. 다양한 동작들은 청구된 발명 대상을 이해하는데 있어서 가장 도움이 되는 방식으로 다수의 별개의 동작으로서 차례로 설명된다. 그러나, 설명 순서는 이러한 동작들이 반드시 순서 종속적이라고 암시하는 것으로 해석되어서는 안 된다. 또한, 본 개시내용의 실시예들은 요구된 바와 같이 구성하기 위해 임의의 적합한 하드웨어 및/또는 소프트웨어를 이용하여 시스템에 구현될 수 있다.

[0044] 도 5는 일부 실시예들에 따른 웨이퍼 상의 다양한 사이트들에서의  $SiO_2$  및 SiN에 대한 깊이 프로파일들을 개략적으로 예시한다. 이산화 탄소( $CO_2$ )와 질소( $N_2$ )를 포함한 플라즈마 후처리로 ES 층을 산화한 이후에, ES 층에서의 다양한 변경들을 나타내기 위해 TOF-SIMS(Time-of-Flight Secondary Ion Mass Spectrometry) 스퍼터 깊이 프로파일들이 이용될 수 있다. 예를 들어, 깊이 프로파일(DP)(510)은 웨이퍼의 중심에서의  $SiO_2$ 의 TOF-SIMS 스퍼터 깊이 프로파일을 나타내고, DP(520)는 웨이퍼의 에지에서의  $SiO_2$ 의 TOF-SIMS 스퍼터 깊이 프로파일을 나타낸다. 유사하게, DP(530)는 웨이퍼의 중심에서의 SiN의 TOF-SIMS 스퍼터 깊이 프로파일을 나타내고, DP(540)는 웨이퍼의 에지에서의 SiN의 TOF-SIMS 스퍼터 깊이 프로파일을 나타낸다.

[0045] DP(510, 520, 530 또는 540)는 웨이퍼 표면으로부터의 깊이의 함수로서 상이한 화학 종(예를 들어,  $SiO_2$ , SiN)의 분포를 나타낸다. 웨이퍼의 샘플 표면으로부터 종들을 축출(dislodge) 및 이온화하기 위해 TOF-SIMS에서 펄스화된 이온 빔(예를 들어, 세슘(Cs) 또는 갈륨(Ga))이 이용될 수 있다. 샘플 표면으로부터 제거된 입자들(예

를 들어, 이차 이온들)은 질량 분광계 내로 가속화될 수 있다. 다음에, 샘플 표면으로부터 검출기까지의 비행 시간(time-of-flight)에 기초하여 이러한 입자들의 질량이 결정될 수 있다. 그러므로, 특정 화학물질(예를 들어, SiO<sub>2</sub> 또는 SiN)은 이차 이온들로부터 확인될 수 있으며, DP(510, 520, 530 또는 540)는 표면들의 순차적인 스퍼터링 이후에 웨이퍼 상에 화학적 층서학(chemical stratigraphy)을 나타낼 수 있다.

[0046] DP(510)는 2회의 실험으로부터의 결과들을 포함한다. 실험(562)은, 이산화 탄소(CO<sub>2</sub>)를 포함하지만 질소(N<sub>2</sub>)를 배제하는 플라즈마 후처리 이후의 웨이퍼 상의 SiO<sub>2</sub> 또는 SiN의 DP를 나타낸다. 한편, 실험(564)은, 예를 들어 도 4의 430에서 설명된 바와 같이 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리 이후의 웨이퍼 상의 SiO<sub>2</sub> 또는 SiN의 DP를 나타낸다. 양 실험은 제1 영역(552) 및 제2 영역(554)과 같은 웨이퍼의 상이한 영역들에서의 SiO<sub>2</sub> 또는 SiN의 상이한 징후들을 나타낸다. 다양한 실시예들에서, 영역들(552 및 554)은 도 3의 영역들(362 및 366)에 각각 부합할 수 있다.

[0047] DP(510)에 도시된 바와 같이, 실험(562)은 제2 영역(554)에서 실리콘 산화물(SiO<sub>2</sub>)의 피크 농도 레벨(peak concentration level)(PCL)(512)을 생성한다. 유사하게, 실험(564)은 제2 영역(554)에서 실리콘 산화물(SiO<sub>2</sub>)의 다른 PCL(514)을 생성한다. PCL(512) 및 PCL(514) 양쪽 모두는, 산화 플라즈마 후처리가 제2 영역(554)에 적용되고 제1 영역(552)에는 적용되지 않았다는 것을 나타낸다. 또한, DP(510)에 도시된 바와 같이, 제1 영역(552)에는 실리콘 산화물(SiO<sub>2</sub>)이 존재하지 않는데, 이는 산화 플라즈마가 벌크 막에 의해 감소되는 것을 나타내고, 처리에 직접적으로 노출된 막의 상부 영역에서의 영향만을 나타낸다. 따라서, 적어도 제1 영역(552)에서의 벌크 막 조성은 처리에 의해 영향을 받지 않는다.

[0048] 또한, 제2 영역(554)의 최외측 표면에서의 SiO<sub>2</sub>의 농도는 (예를 들어, 제1 영역(552)에서의 SiO<sub>2</sub>의 실질적으로 제로 농도와 비교하여) 이미 관측가능한 레벨(516)에 있으며, 이는 일반적으로 산화 플라즈마 후처리의 효능을 입증할 수 있다는 것을 알 수 있다. 추가적으로, PCL(514)은 PCL 레벨(512)보다 2배 이상 더 크며, 이는 특히 예를 들어 N<sub>2</sub>를 이용하지 않는 산화 플라즈마 후처리와 비교하여 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리의 효능을 입증할 수 있다. 이러한 차이는 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리에서 웨이퍼 내로 더 깊게 유도하는 N<sub>2</sub>의 효능에 의해 야기될 수 있다.

[0049] DP(520)에 도시된 바와 같이, 실험(562)은 제2 영역(554)에서의 SiO<sub>2</sub>의 PCL(522)을 생성한다. 유사하게, 실험(564)은 제2 영역(554)에서의 SiO<sub>2</sub>의 PCL(524)을 생성한다. DP(510)에서의 대응물들과 비교하여, N<sub>2</sub>를 이용하지 않는 실험(562)은 웨이퍼의 에지 사이트와 중심 사이트 사이의 산화의 불일치를 나타낸다. 그러나, CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리를 이용한 실험(564)은 에지 사이트와 중심 사이트 사이의 일반적인 산화의 균일성을 나타낸다.

[0050] DP(530)에 도시된 바와 같이, 실험(562) 및 실험(564) 양쪽 모두는, 제2 영역(554)의 최외측 표면(534)에서의 SiN의 농도가 ES 층에서 최저 농도 레벨에 있다는 것을 나타낸다. 그 이후에, SiN의 농도는 제2 영역(554)에 걸쳐 깊이(532) 주위에서 피크 레벨까지 증가하고, 그 이후에 실질적으로 일정해진다. DP(530)에서의 에칭 정지 층의 최외측 표면(534)으로부터 증가하는 SiN 농도 프로파일은 일반적으로 산화 플라즈마를 수취하는 제2 영역(554)으로부터 포토리소그래피 포이즈닝 화학물질들(예를 들어, SiN을 포함하는 아민들)을 축출하기 위해 산화 플라즈마 후처리의 효능을 입증할 수 있다. 그러므로, 에칭 정지 층의 포이즈닝 효과는 후속 리소그래피 처리 동안 감소될 수 있다.

[0051] DP(540)는, SiN이 최외측 표면(544)으로부터 깊이(542)까지 크게 축출된 유사한 효과를 예시할 수 있다. DP(530)와 DP(510)를 결합하면, 산화 플라즈마 후처리가 ES 층의 최외측 영역에서, 예컨대 제2 영역(554)에서 SiN을 SiO<sub>2</sub>로 전환할 수 있지만, 제1 영역(552)과 같이 ES 층 내로는 더 깊지 않을 수 있다는 점이 명백할 수 있다.

[0052] 도 6은 일부 실시예들에 따른 본 명세서에 설명된 바와 같은 ES 층(예를 들어, 도 3의 ES 층(370))을 갖는 IC 디바이스(예를 들어, 도 3의 IC 디바이스(300))를 포함할 수 있는 예시적인 시스템(예를 들어, 컴퓨팅 디바이스(600))을 개략적으로 예시한다. 컴퓨팅 디바이스(600)의 컴포넌트들은 인클로저(도시되지 않음)에 하우스징될 수 있다. 마더보드(602)는, 프로세서(604) 및 적어도 하나의 통신 칩(606)을 포함하지만 이에 제한되지는 않는 다수의 컴포넌트를 포함할 수 있다. 프로세서(604)는 마더보드(602)에 물리적으로 그리고 전기적으로 결합될 수 있다. 일부 구현예들에서, 적어도 하나의 통신 칩(606)도 또한 마더보드(602)에 물리적으로 그리고 전기적으로

결합될 수 있다. 추가 구현예들에서, 통신 칩(606)은 프로세서(604)의 일부일 수 있다.

[0053] 그 애플리케이션들에 따라, 컴퓨팅 디바이스(600)는, 마더보드(602)에 물리적으로 그리고 전기적으로 결합될 수도 있고 결합되지 않을 수도 있는 다른 컴포넌트들을 포함할 수 있다. 이러한 다른 컴포넌트들은 휘발성 메모리(예를 들어, 동적 랜덤 액세스 메모리(DRAM)), 비휘발성 메모리(예를 들어, 관독 전용 메모리(ROM)), 플래시 메모리, 그래픽 프로세서, 디지털 신호 프로세서, 암호 프로세서(crypto processor), 칩셋, 안테나, 디스플레이, 터치스크린 디스플레이, 터치스크린 제어기, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, 글로벌 포지셔닝 시스템(GPS) 디바이스, 나침반, 가이거 카운터(Geiger counter), 가속도계, 자이로스코프, 스피커, 카메라 및 대용량 저장 디바이스(예컨대, 하드 디스크 드라이브, 콤팩트 디스크(CD), DVD(digital versatile disk) 등)를 포함할 수 있지만, 이에 제한되지는 않는다.

[0054] 통신 칩(606)은 컴퓨팅 디바이스(600)로의 그리고 컴퓨팅 디바이스로부터의 데이터의 전송을 위한 무선 통신을 가능하게 할 수 있다. "무선"이라는 용어 및 그 파생어는, 비고체 매체를 통한 변조된 전자기 복사(modulated electromagnetic radiation)의 이용을 통하여 데이터를 통신할 수 있는 회로들, 디바이스들, 시스템들, 방법들, 기술들, 통신 채널들 등을 설명하는데 이용될 수 있다. 이 용어는, 연관된 디바이스들이 어떠한 와이어들도 포함하지 않는다는 것을 암시하지는 않지만, 일부 실시예들에서 연관된 디바이스들은 그렇지 않을 수도 있다. 통신 칩(606)은, Wi-Fi(IEEE 802.11 패밀리), IEEE 802.16 표준들(예를 들어, IEEE 802.16-2005 수정안), 임의의 수정안, 갱신안 및/또는 개정안을 포함한 롱 텀 에볼루션(LTE) 프로젝트(예를 들어, 어드밴스드 LTE 프로젝트, UMB(ultra mobile broadband) 프로젝트("3GPP2"로도 지칭됨) 등)를 포함한 IEEE(Institute for Electrical and Electronic Engineers) 표준들을 포함하지만 이에 제한되지는 않는 다수의 무선 표준 또는 프로토콜 중 임의의 것을 구현할 수 있다. IEEE 802.16 호환 광대역 무선 액세스(BWA) 네트워크들은 Worldwide Interoperability for Microwave Access를 나타내는 약어인 WiMAX 네트워크들로 일반적으로 지칭되고, 이는 IEEE 802.16 표준들에 대한 적합성 및 상호운용성 테스트들을 통과하는 제품들에 대한 인증 마크이다. 통신 칩(606)은 GSM(Global System for Mobile Communication), GPRS(General Packet Radio Service), UMTS(Universal Mobile Telecommunications System), HSPA(High Speed Packet Access), E-HSPA(Evolved HSPA) 또는 LTE 네트워크에 따라 동작할 수 있다. 통신 칩(606)은 EDGE(Enhanced Data for GSM Evolution), GERAN(GSM EDGE Radio Access Network), UTRAN(Universal Terrestrial Radio Access Network) 또는 E-UTRAN(Evolved UTRAN)에 따라 동작할 수 있다. 통신 칩(606)은 코드 분할 다중 액세스(CDMA), 시분할 다중 액세스(TDMA), DECT(Digital Enhanced Cordless Telecommunications), EV-DO(Evolution-Data Optimized), 그들의 파생물들뿐만 아니라, 3G, 4G, 5G 및 그 이상의 것으로서 지시되는 임의의 다른 무선 프로토콜들에 따라 동작할 수 있다. 통신 칩(606)은 다른 실시예들에서는 다른 무선 프로토콜들에 따라 동작할 수 있다.

[0055] 컴퓨팅 디바이스(600)는 복수의 통신 칩(606)을 포함할 수 있다. 예를 들어, 제1 통신 칩(606)은 Wi-Fi 및 블루투스과 같은 단거리 무선 통신에 전용일 수 있으며, 제2 통신 칩(606)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, EV-DO 등과 같은 장거리 무선 통신에 전용일 수 있다.

[0056] 컴퓨팅 디바이스(600)의 프로세서(604)는 포토리소그래피 포이즈닝을 감소시키기 위해 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리를 이용하여 산화되는 적어도 하나의 ES 층(예를 들어, 도 3의 ES 층(370))을 갖는 다이(예를 들어, 도 2의 다이(210))를 포함할 수 있다. 다이(210)는 마더보드(602)와 같은 회로 보드 상에 장착되는 패키지 어셈블리에 장착될 수 있다. "프로세서"라는 용어는, 레지스터들 및/또는 메모리로부터의 전자 데이터를 처리하여 그 전자 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환하는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.

[0057] 통신 칩(606)도 본 명세서에 설명된 바와 같이 포토리소그래피 포이즈닝을 감소시키기 위해 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리를 이용하여 산화되는 적어도 하나의 ES 층(예를 들어, 도 3의 ES 층(370))을 갖는 다이(예를 들어, 도 2의 다이(210))를 또한 포함할 수 있다. 추가 구현예들에서, 컴퓨팅 디바이스(600) 내에 하우징된 다른 컴포넌트(예를 들어, 메모리 디바이스 또는 다른 집적 회로 디바이스)는, 본 명세서에 설명된 바와 같이 포토리소그래피 포이즈닝을 감소시키기 위해 CO<sub>2</sub>/N<sub>2</sub> 플라즈마 후처리를 이용하여 산화되는 적어도 하나의 ES 층(예를 들어, 도 3의 ES 층(370))을 갖는 다이(예를 들어, 도 2의 다이(210))를 또한 포함할 수 있다.

[0058] 다양한 구현예들에서, 컴퓨팅 디바이스(600)는 모바일 컴퓨팅 디바이스, 랩톱, 넷북, 노트북, 울트라북, 스마트폰, 태블릿, PDA(personal digital assistant), 울트라 모바일 PC, 모바일폰, 데스크톱 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 뮤직 플레이어 또는 디지털 비디오

오 레코더일 수 있다. 추가 구현예들에서, 컴퓨팅 디바이스(600)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.

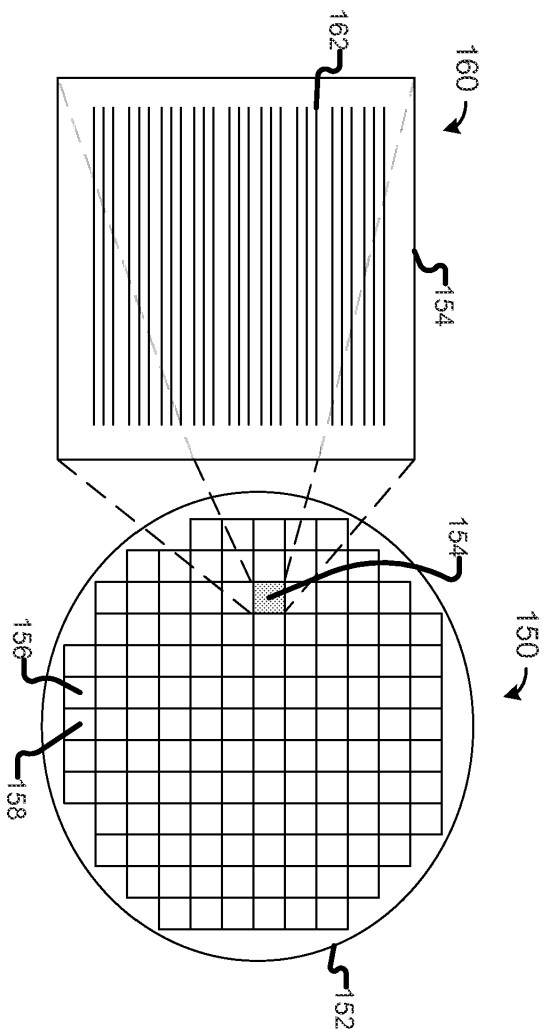
- [0059] 예들
- [0060] 다양한 실시예들에 따르면, 본 개시내용은 장치(예를 들어, 집적 회로(IC) 구조체를 포함함)를 설명한다. 예 1의 장치는 복수의 라우팅 피처를 갖는 유전체 층; 및 유전체 층과 결합된 제1 계면 영역 및 제1 계면 영역에 대향하여 배치된 제2 계면 영역을 갖는 에칭 정지 층을 포함할 수 있고, 제2 계면 영역은 제1 계면 영역에 걸쳐 고르게 분포되는 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖고, 제1 계면 영역은 실질적으로 제로 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖는다.
- [0061] 예 2는 예 1의 장치를 포함할 수 있는데, 여기서 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨은 적어도  $3 \times 10^{20}$  원자/입방 센티미터이다. 예 3은 예 1 또는 예 2의 장치를 포함할 수 있는데, 여기서 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨은 적어도  $4 \times 10^{20}$  원자/입방 센티미터이다. 예 4는 예 1 내지 예 3 중 어느 하나의 장치를 포함할 수 있는데, 여기서 제2 계면 영역의 최외측 표면에서의 SiN의 농도는 에칭 정지 층에서의 SiN의 최저 농도이고, SiN의 농도는 제2 계면 영역에서 피크 레벨까지 증가하며, 제1 영역에 걸쳐 실질적으로 일정하다.
- [0062] 예 5는 예 1 내지 예 4 중 어느 하나의 장치를 포함할 수 있는데, 여기서 제1 계면 영역 및 제2 계면 영역에서의 SiO<sub>2</sub> 농도 레벨들의 프로파일은 제2 계면 영역으로부터 이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리에 의해 처리되는 에칭 정지 층과 연관된다. 예 6은 예 1 내지 예 5 중 어느 하나의 장치를 포함할 수 있는데, 여기서 유전체 층은 제1 유전체 층이고, 이 장치는 웨이퍼 또는 다이의 반도체 기관 - 제1 유전체 층은 반도체 기관 상에 배치됨 -; 및 제1 유전체 층의 제2 계면 영역과 결합된 제2 유전체 층을 더 포함한다.
- [0063] 예 7은 예 1 내지 예 6 중 어느 하나의 장치를 포함할 수 있는데, 여기서 제1 계면 영역 및 제2 계면 영역은 동일한 두께를 갖는다. 예 8은 예 1 내지 예 7 중 어느 하나의 장치를 포함할 수 있는데, 여기서 복수의 라우팅 피처는 복수의 비아 및 트렌치를 포함하고, 에칭 정지 층은 실리콘 탄화물(SiC)을 갖는 에칭 정지 층이다.
- [0064] 다양한 실시예들에 따르면, 본 개시내용은 (예를 들어, IC 구조체를 제조하는) 방법을 설명한다. 예 9의 방법은 유전체 층에 복수의 라우팅 피처를 형성하는 단계; 유전체 층 위에 에칭 정지 층을 퇴적하는 단계; 및 이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리로 에칭 정지 층을 산화하는 단계를 포함할 수 있다.
- [0065] 예 10은 예 9의 방법을 포함할 수 있는데, 여기서 복수의 라우팅 피처를 형성하는 단계는 듀얼-다마신 프로세스에서 복수의 비아 및 트렌치를 형성하는 단계를 포함한다. 예 11은 예 9 또는 예 10의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 퇴적하는 단계는 실리콘 탄화물(SiC)을 퇴적하는 단계를 포함한다. 예 12는 예 9 내지 예 11 중 어느 하나의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 산화하는 단계는 플라즈마 처리를 위해 3:1 내지 4:1의 이산화 탄소(CO<sub>2</sub>) 대 질소(N<sub>2</sub>)의 비율을 이용하는 단계를 포함한다. 예 13은 예 9 내지 예 12 중 어느 하나의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 산화하는 단계는 에칭 정지 층의 최외측 영역에서만 SiN을 SiO<sub>2</sub>로 전환하는 단계를 포함한다. 예 14는 예 9 내지 예 13 중 어느 하나의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 산화하는 단계는 에칭 정지 층의 하나의 표면에서만 피크 SiO<sub>2</sub> 농도 레벨을 생성하는 단계를 포함한다.
- [0066] 예 15는 예 9 내지 예 14 중 어느 하나의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 산화하는 단계는 에칭 정지 층의 표면으로부터 증가하는 SiN 농도 프로파일을 생성하는 단계를 포함한다. 예 16은 예 15의 방법을 포함할 수 있는데, 여기서 SiN 농도 프로파일은 피크 레벨에 도달하고, 에칭 정지 층의 대향 표면을 향하는 방향으로 피크 레벨을 실질적으로 유지한다. 예 17은 예 9 내지 예 16 중 어느 하나의 방법을 포함할 수 있는데, 여기서 에칭 정지 층을 산화하는 단계는 후속 리소그래피 처리 동안 에칭 정지 층의 포이즈닝 효과를 감소시키는 단계를 포함한다. 예 18은 예 9 내지 예 17 중 어느 하나의 방법을 포함할 수 있는데, 여기서 산화하는 단계는 플라즈마 강화 화학 기상 증착(PECVD) 프로세스에서 실행된다. 예 19는 예 9 내지 예 17 중 어느 하나의 방법을 포함할 수 있는데, 여기서 산화하는 단계는 수소(H<sub>2</sub>)를 갖는 플라즈마 강화 화학 기상 증착(PECVD) 프로세스 챔버에서 실행된다.
- [0067] 예 20은, 장치에 의한 명령어들의 실행에 응답하여, 이 장치가 예 9 내지 예 19 중 어느 하나의 발명 대상을 실시하게 하도록 구성된 명령어들을 갖는 적어도 하나의 저장 매체이다. 예 21은 집적 회로(IC) 구조체를 제조하

기 위한 장치이며, 이 장치는 예 9 내지 예 19 중 어느 하나의 발명 대상을 실시하는 수단을 포함할 수 있다.

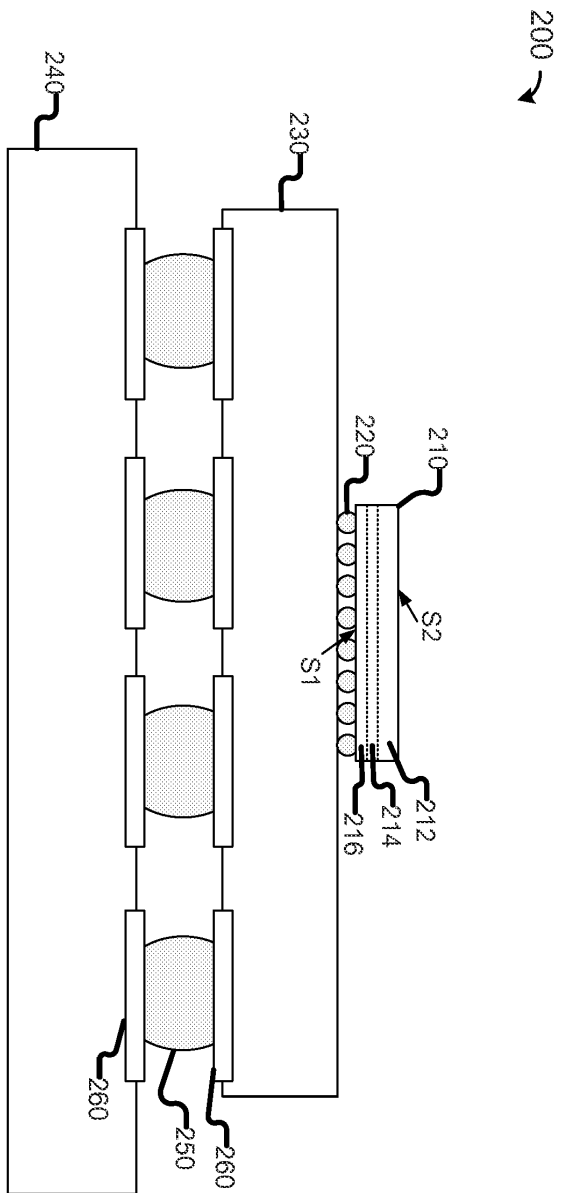
- [0068] 다양한 실시예들에 따르면, 본 개시내용은 시스템(예를 들어, 컴퓨팅 디바이스)을 설명한다. 예 22의 컴퓨팅 디바이스는 회로 보드; 및 회로 보드와 전기적으로 결합된 다이를 포함할 수 있고, 이 다이는 복수의 라우팅 피처를 갖는 유전체 층; 및 유전체 층과 결합된 제1 계면 영역 및 제1 계면 영역에 대향하여 배치된 제2 계면 영역을 갖는 에칭 정지 층을 포함하고, 제1 계면 영역 및 제2 계면 영역에서의 SiO<sub>2</sub> 농도 레벨들의 프로파일은 제 2 계면 영역으로부터 이산화 탄소(CO<sub>2</sub>)와 질소(N<sub>2</sub>)를 포함한 플라즈마 처리에 의해 처리되는 에칭 정지 층과 일관된다.
- [0069] 예 23은 예 22의 시스템을 포함할 수 있는데, 여기서 제2 계면 영역은 에칭 정지 층에 걸쳐 고르게 분포되는 피크 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖고, 제1 계면 영역은 실질적으로 제로 실리콘 산화물(SiO<sub>2</sub>) 농도 레벨을 갖는다. 예 24는 예 22 또는 예 23의 시스템을 포함할 수 있는데, 여기서 제2 계면 영역의 최외측 표면에서의 SiN의 농도는 에칭 정지 층에서의 SiN의 최저 농도이고, SiN의 농도는 제2 영역에서 피크 레벨까지 지속적으로 증가하며, 제1 영역에 걸쳐 실질적으로 일정하다. 예 25는 예 22 내지 예 24 중 어느 하나의 컴퓨팅 디바이스를 포함할 수 있는데, 여기서 다이는 프로세서이고, 시스템은, 안테나, 디스플레이, 터치스크린 디스플레이, 터치스크린 제어기, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, 글로벌 포지셔닝 시스템(GPS) 디바이스, 나침반, 가이저 카운터, 가속도계, 자이로스코프, 스피커 및 카메라 중 하나 이상을 포함하는 모바일 컴퓨팅 디바이스이다.
- [0070] 다양한 실시예들은, 위에서 결합 형태(conjunctive form)(및(and))로 설명되는 실시예들의 대안(또는(or)) 실시예들을 포함하는 위에서 설명된 실시예들의 임의의 적합한 조합을 포함할 수 있다. 또한, 일부 실시예들은, 실행될 때 위에서 설명된 실시예들 중 임의의 것의 액션들을 초래하는 명령어들이 저장되어 있는 하나 이상의 제조물(예를 들어, 비일시적인 컴퓨터 판독가능 매체)을 포함할 수 있다. 또한, 일부 실시예들은 위에서 설명된 실시예들의 다양한 동작들을 수행하는 임의의 적합한 수단을 갖는 장치들 또는 시스템들을 포함할 수 있다.
- [0071] 요약서에 설명된 것을 포함하여 예시된 구현예들의 위의 설명은 모든 것을 망라하는 것으로 또는 개시된 정밀한 형태로 본 개시내용의 실시예들을 제한하는 것으로 의도되지 않는다. 특정 구현예들 및 예들은 예시적인 목적으로 본 명세서에 설명되었지만, 관련 기술분야의 통상의 기술자가 인식하는 바와 같이, 본 개시내용의 범위 내에서 다양한 등가의 수정들이 가능하다.
- [0072] 이러한 수정들은 위의 상세한 설명에 비추어 본 개시내용의 실시예들에 대해 이루어질 수 있다. 다음의 청구항들에서 이용되는 용어들은 본 개시내용의 다양한 실시예들을 본 명세서 및 청구항들에 개시된 특정 구현예들로 제한하는 것으로 해석되어서는 안 된다. 오히려, 그 범위는 전적으로 다음의 청구항들에 의해 결정되어야 하며, 이는 청구항 해석의 확립된 원칙들에 따라 해석되어야 한다.

도면

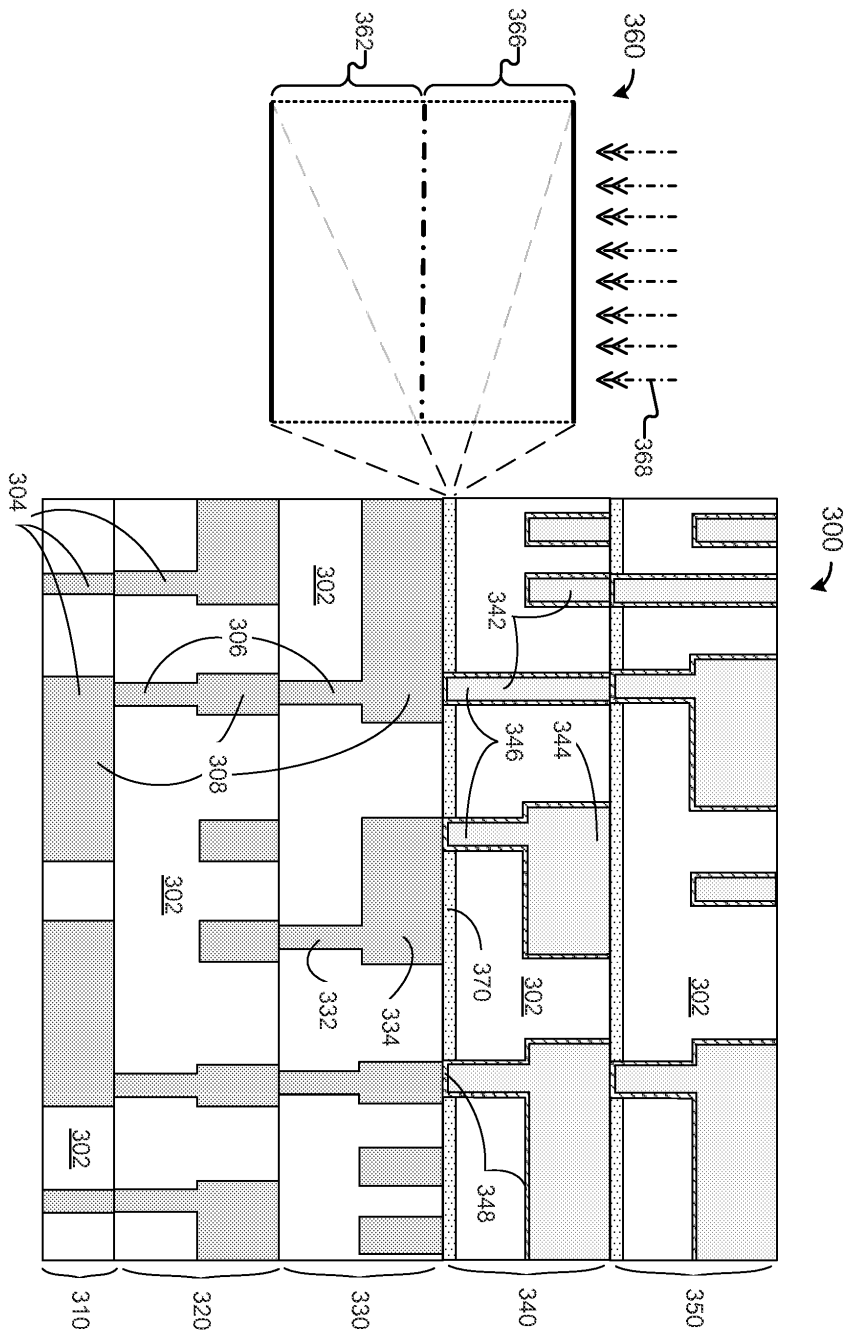
도면1



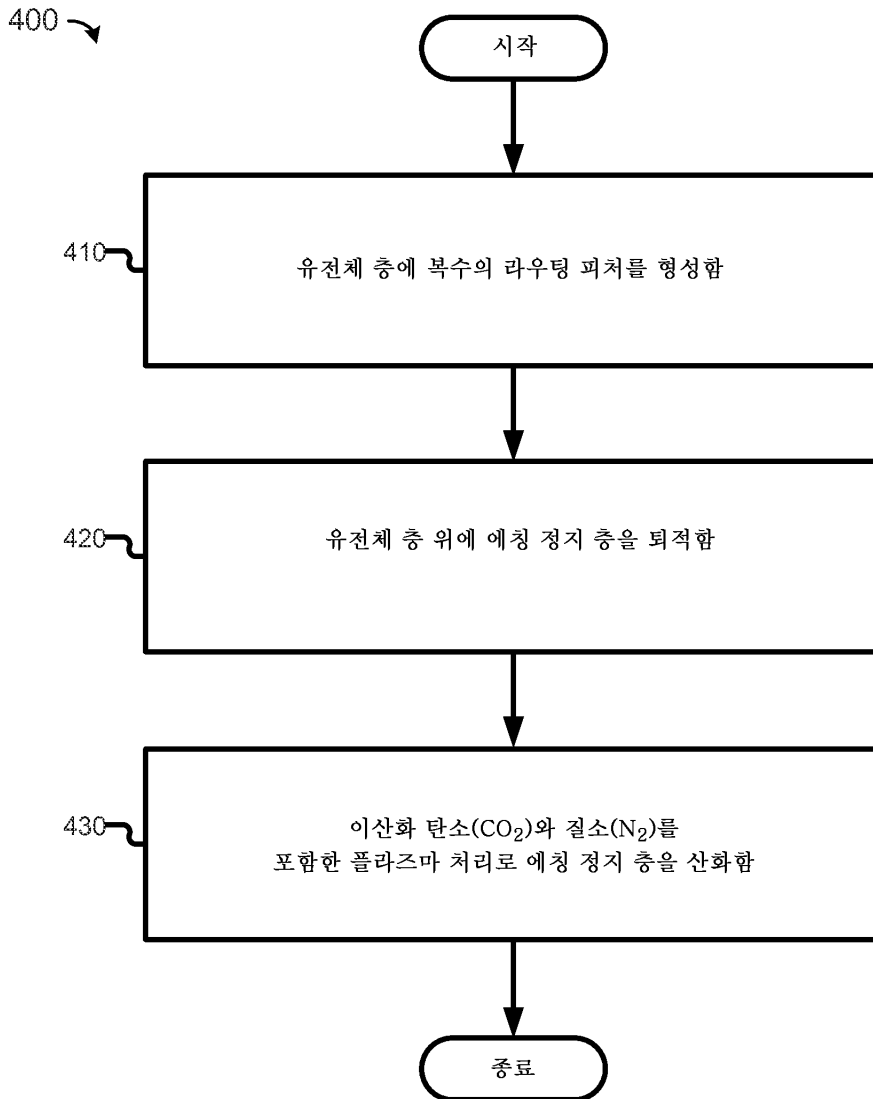
도면2



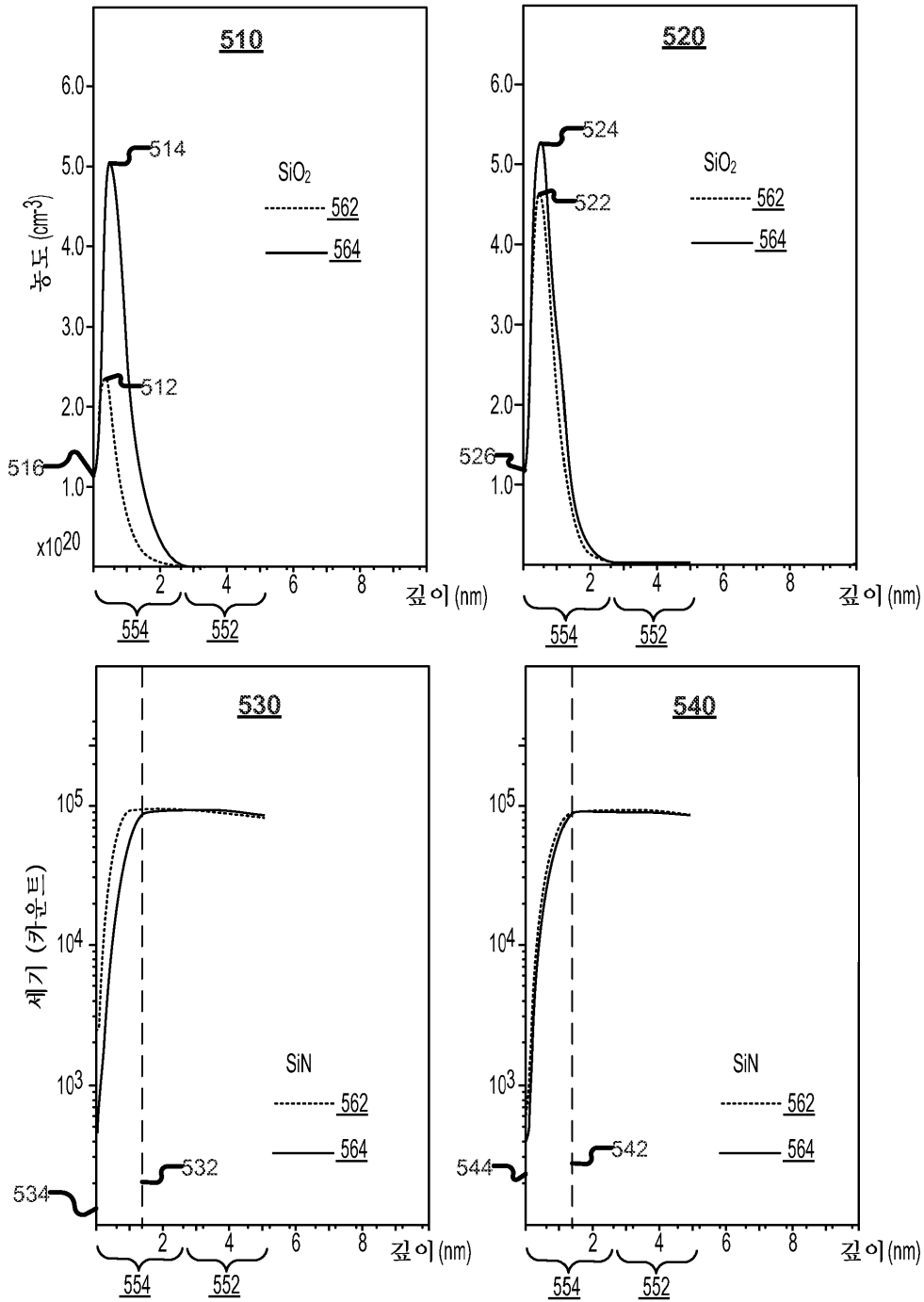
도면3



도면4



도면5



도면6

