



(10) **DE 10 2015 006 456 A1** 2016.02.25

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2015 006 456.8**  
(22) Anmeldetag: **20.05.2015**  
(43) Offenlegungstag: **25.02.2016**

(51) Int Cl.: **H05K 1/14 (2006.01)**  
**H01L 23/492 (2006.01)**  
**H01L 23/36 (2006.01)**  
**B60R 16/03 (2006.01)**

(71) Anmelder:  
**Daimler AG, 70327 Stuttgart, DE**

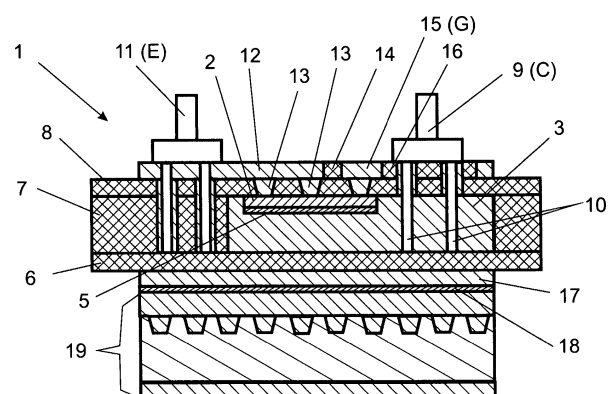
(72) Erfinder:  
**Randoll, Richard, Dipl.-Phys., 71665 Vaihingen,  
DE; Asef, Mahmud, 70182 Stuttgart, DE; Wondrak,  
Wolfgang, Dr., 60385 Frankfurt, DE**

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Leiterplattenintegrierte Leistungselektronik**

(57) Zusammenfassung: Die Erfindung betrifft eine leiterplattenintegrierte Leistungselektronik (1) mit mindestens einem Halbleitermaterial (IGBT 2) sowie einem dieses tragenden Kupferblock (3), welcher auf einer ersten Leiterplatte (6) angeordnet und seitlich von einer zweiten Leiterplatte (7) umgeben ist, ferner mit einer das Halbleitermaterial (IGBT 2) abdeckenden dritten Leiterplatte (8), durch welche hindurch die eine dem Kupferblock abgewandte Seite des Halbleitermaterials (IGBT 2) elektrisch kontaktiert ist. Die erfindungsgemäße leiterplattenintegrierte Leistungselektronik ist dadurch gekennzeichnet, dass alle drei Leiterplatten (6, 7, 8) aus einem thermisch gut leitenden Leiterplattenmaterial mit demselben thermischen Ausdehnungskoeffizienten ausgeführt sind.



**Beschreibung**

**[0001]** Die Erfindung betrifft eine leiterplattenintegrierte Leistungselektronik nach der im Oberbegriff des Anspruchs 1 näher definierten Art. Außerdem betrifft die Erfindung die Verwendung einer derartigen leiterplattenintegrierten Leistungselektronik.

**[0002]** Leiterplattenintegrierte Leistungselektronik mit Halbleiterchips, wie zum Beispiel Leistungs-IGBTs, -Dioden oder -MOSFETs sind aus dem allgemeinen Stand der Technik bekannt. Typischerweise ist die Integration von derartigen Halbleiterbauelementen in die Leiterplatte so aufgebaut, dass das Halbleiterelement auf einem diesen tragenden Kupfermaterial, Kupferblättchen bzw. Kupferblock angeordnet ist, welcher seinerseits auf einer ersten Leiterplatte angeordnet und seitlich von einer zweiten Leiterplatte umgeben ist. Der Kupferblock befindet sich also in einer Ausnehmung dieser zweiten Leiterplatte. Ferner ist eine dritte Leiterplatte vorhanden, welche das Halbleiterbauelement abdeckt, und durch welche hindurch die eine Seite des Halbleiterbauelements kontaktiert ist. Zumeist ist unterhalb der ersten Leiterplatte außerdem ein Kühlkörper angeordnet. Typischerweise ist die erste Leiterplatte aus einem thermisch gut leitenden Leiterplattenmaterial ausgeführt. Die anderen Leiterplatten sind aus einem kostengünstigeren Leiterplattenmaterial ausgeführt, zumindest die zweite den Kupferblock seitlich umgebende Leiterplatte. Die leiterplattenintegrierte Leistungselektronik hat dabei gegenüber herkömmlich aufgebauter Leistungselektronik den ganz entscheidenden Vorteil, dass diese hinsichtlich des Bauraums sehr viel kompakter ausgeführt werden kann, was insbesondere bei bauraumkritischen Einsätzen, beispielsweise im Bereich von mobilen Systemen, wie Fahrzeugen, von entscheidendem Vorteil ist.

**[0003]** Nun ist es so, dass von der leiterplattenintegrierten Leistungselektronik eine Teilentladungsfestigkeit von mindestens 3 kV im schlechtesten Falle erwartet wird. Die oben beschriebenen allgemein üblichen Aufbauten mit den unterschiedlichen Leiterplattenmaterialien zeigen bei Messungen nun das Problem, dass ein Einbruch der Teilentladungsfestigkeit bei einer Betriebstemperatur von ca. 60°C auftritt. Die Teilentladungsfestigkeit sinkt bei höheren Betriebstemperaturen deutlich unter die oben genannte Akzeptanzschwelle von 3 kV, was einen erheblichen Nachteil darstellt.

**[0004]** Zum weiteren Stand der Technik aus dem Umfeld der Idee soll außerdem auf die DE 10 2006 040 838 B4 verwiesen werden. Diese zeigt eine elektronische Leistungspackung mit zwei nicht ebenen Isoliersubstraten hoher thermischer Leitfähigkeit, zwischen welchen Halbleiterelemente wie beispielsweise IGBTs, Dioden oder MOSFETs verbaut sind.

**[0005]** Die Aufgabe der hier vorliegenden Erfindung besteht nun darin, eine leiterplattenintegrierte Leistungselektronik gemäß dem Oberbegriff des Anspruchs 1 anzugeben, welche eine hohe Teilentladungsfestigkeit auch bei steigender Betriebstemperatur ermöglicht.

**[0006]** Erfindungsgemäß wird diese Aufgabe durch eine leiterplattenintegrierte Leistungselektronik mit den Merkmalen im Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen ergeben sich aus den hiervon abhängigen Unteransprüchen.

**[0007]** Die erfindungsgemäße Lösung sieht es vor, dass alle drei Leiterplatten aus einem thermisch gut leitenden Leiterplattenmaterial mit demselben thermischen Ausdehnungskoeffizienten ausgeführt sind. Die Erfinder haben nämlich erkannt, dass die Teilentladungsfestigkeit ab einer signifikanten Betriebstemperatur von ca. 60°C stark abfällt und damit typischerweise bei Temperaturen von mehr als 60°C unterhalb der Akzeptanzschwelle von 3 kV zu liegen kommt. Als Ursache vermuten die Erfinder das Ausdehnungsverhalten des aus verschiedenen Materialien aufgebauten Pakets aus Leiterplatten, Kupferblock sowie Kupferleitern und dem Halbleitermaterial. Im Bereich der den Aufbau isolierenden Leiterplatten und hier insbesondere an den Berührungsflächen zwischen der ersten und der zweiten Leiterplatte einerseits und der zweiten und der dritten Leiterplatte andererseits kann es bei diesen höheren Temperaturen zu einer unterschiedlich starken Ausdehnung kommen. Hierdurch werden ohnehin vorhandene Freiräume und Spalte, welche bei einem mehrteiligen Aufbau unvermeidlich sind, verändert und schlimmstenfalls vergrößert. Hierdurch sinkt die Teilentladungsfestigkeit, also letztlich die Isolierwirkung des Aufbaus aus den drei Leiterplatten signifikant ab. Dadurch, dass bei der erfindungsgemäßen leiterplattenintegrierten Leistungselektronik nun alle drei Leiterplatten aus einem thermisch gut leitenden Leiterplattenmaterial mit demselben thermischen Ausdehnungskoeffizienten ausgeführt sind, wird dies vermieden. Messungen zeigen, dass ein derartiger Aufbau auch bei höheren Betriebstemperaturen zuverlässig eine Teilentladungsfestigkeit oberhalb der Akzeptanzgrenze von 3 kV aufweist.

**[0008]** Gemäß einer sehr vorteilhaften und einfachen Weiterbildung der erfindungsgemäßen leiterplattenintegrierten Leistungselektronik kann es dabei vorgesehen sein, dass alle drei Leiterplatten aus demselben Material ausgeführt sind. Insbesondere die Verwendung desselben Materials für alle drei Leiterplatten stellt sicher, dass dieses in jedem Fall dieselben thermischen und mechanischen Eigenschaften aufweist. Hierdurch lässt sich eine thermisch induzierte Vergrößerung eventueller Spalte zwischen den Plattengrenzen bestmöglichst vermeiden, was wiederum der Teilentladungsfestigkeit zugutekommt,

welche bei einem solchen Aufbau deutlich über der Akzeptanzgrenze bleibt, solange die Glasübergangstemperatur des Materials der Leiterplatten nicht erreicht wird, was im regulären Betrieb typischerweise nie der Fall ist.

**[0009]** Die einzelnen Leiterplatten können dabei untereinander verklebt oder miteinander verpresst, idealerweise unter erhöhter Temperatur verpresst, ausgeführt sein, um Spalte an den Begrenzungsflächen nach Möglichkeit auszuschließen. Gemäß einer sehr vorteilhaften Weiterbildung der erfindungsgemäßen leiterplattenintegrierten Leistungselektronik kann es ferner vorgesehen sein, dass wenigstens zwei der Leiterplatten einstückig ausgeführt sind. Bei diesem Aufbau sind also wenigstens zwei der Leiterplatten einstückig ausgeführt, sodass auf Grenzflächen zwischen diesen beiden Leiterplatten gänzlich verzichtet werden kann. Dies kann beispielsweise dadurch realisiert werden, dass die erste und die zweite Leiterplatte einstückig miteinander ausgeführt sind und in Vertiefungen dieser Leiterplatte, welche beispielsweise eingefräst werden können, das Material des Kupferblocks abgeschieden wird. Bei diesem Aufbau muss lediglich die dritte Leiterplatte oben aufgelegt und verklebt oder verpresst werden, sodass die Zahl und Fläche der Grenzflächen zwischen den Leiterplatten nochmals weiter reduziert werden kann.

**[0010]** Gemäß einer weiteren sehr günstigen Ausgestaltung der Idee ist es dabei vorgesehen, dass auf der dem Kupferblock abgewandten Seite der ersten Leiterplatte ein Kühlkörper angeordnet und direkt oder über wenigstens eine Zwischenschicht mit der ersten Leiterplatte verbunden ist. Der Kühlkörper kann so, elektrisch durch die erste Leiterplatte von dem Kupferblock isoliert, durch die Leiterplatte hindurch in guten thermischen Kontakt mit dem Kupferblock treten. Er kann damit das Halbleiterbauelement ideal kühlen. Der Kühlkörper kann beispielsweise auf eine auf der ersten Leiterplatte auf ihrer dem Kupferblock abgewandten Seite aufgebrachten metallischen Beschichtung angelötet oder über eine Sinterschicht mit dieser Beschichtung verbunden sein.

**[0011]** Eine weitere sehr günstige Ausgestaltung der erfindungsgemäßen leiterplattenintegrierten Leistungselektronik sieht es nun außerdem vor, dass die zweite Leiterplatte die mindestens dreifache, bevorzugt mehr als vierfache Dicke der ersten Leiterplatte oder der dritten Leiterplatte aufweist. Gemäß einer vorteilhaften Weiterbildung dieser Idee können die erste und die dritte Leiterplatte dabei in etwa gleich dick sein. Dieser Aufbau mit zwei dünnen ersten und dritten Leiterplatten und einer entsprechend dickeren zweiten Leiterplatte ermöglicht einen Kupferblock, welcher dann die maximale Dicke der zweiten Leiterplatte aufweisen kann. Dies ermöglicht es, in dem Kupferblock einfach und effizient eine geeig-

nete Ausnehmung für das Halbleitermaterial vorzusehen.

**[0012]** Gemäß einer sehr vorteilhaften Weiterbildung der Idee können die Leiterplatten dabei aus thermisch gut leitendem FR-4 ausgeführt sein. Dieses Material FR-4 ist für Leiterplatten allgemein bekannt und üblich. Es handelt sich um ein mit Glasfasern verstärktes Epoxidharz, welches durch entsprechende Zusätze im Epoxidharzanteil verschiedene Eigenschaften annehmen kann. So kann es beispielsweise durch thermisch gut leitende Zusätze als thermisch gut leitendes Leiterplattenmaterial ausgeführt werden, welches für den hier beschriebenen Einsatzzweck ideal ist. Das sogenannte thermische FR-4 kann dabei eine thermische Wärmeleitfähigkeit haben, die um das bis zu 100-fache höher liegt, als die des Standard FR-4. Damit lassen sich Wärmeleitfähigkeiten von mehreren hundert W/mK realisieren.

**[0013]** Wie bereits erwähnt, kann das Halbleiterbauelement aus dem Halbleitermaterial in der erfindungsgemäßen leiterplattenintegrierten Leistungselektronik bevorzugt als IGBT ausgeführt sein.

**[0014]** Die erfindungsgemäße leiterplattenintegrierte Leistungselektronik ermöglicht also die bekannten Vorteile eines sehr kompakten Aufbaus einerseits und erlaubt eine sehr sichere und spannungsfeste Anwendung andererseits. Sie eignet sich daher insbesondere für eine Anwendung in einem Hochvoltbordnetz eines zumindest teilweise elektrisch angetriebenen Fahrzeugs. Die leiterplattenintegrierte Leistungselektronik kann also insbesondere in einem zumindest teilweise elektrisch angetriebenen Fahrzeug, beispielsweise einem Elektrofahrzeug, einem Hybridfahrzeug, einem Brennstoffzellenfahrzeug oder dergleichen, eingesetzt werden.

**[0015]** Weitere vorteilhafte Ausgestaltungen der Idee ergeben sich ferner aus dem Ausführungsbeispiel, welches nachfolgend unter Bezugnahme auf die Figuren näher beschrieben wird.

**[0016]** Dabei zeigen:

**[0017]** Fig. 1 eine Schnittdarstellung durch eine leiterplattenintegrierte Leistungselektronik gemäß der Erfindung; und

**[0018]** Fig. 2 ein Diagramm ihrer Teilentladungsfestigkeit über der Temperatur.

**[0019]** In der Darstellung der Fig. 1 ist der erfindungsgemäße Aufbau einer leiterplattenintegrierten Leistungselektronik **1** am Beispiel eines Halbleiterbauelements in Form eines IGBTs **2** gezeigt. Der IGBT **2** sitzt auf einer als Kupferblock **3** bezeichneten Kupferschicht und ist mit dieser über eine Sinterschicht **5**, insbesondere einer Sinterschicht **5** aus Sil-

berperlen, verbunden. In der prinzipmäßigen Schnittdarstellung der **Fig. 1** sind dabei die jeweils selben Materialien mit derselben Schraffur dargestellt. Der Kupferblock **3** ist auf einer ersten Leiterplatte **6** angeordnet, welche eine vergleichsweise geringe Dicke von beispielsweise ca. 150 µm aufweist. Der Kupferblock **3** ist dann zusammen mit einer zweiten Leiterplatte **7** auf dieser ersten Leiterplatte **6** angeordnet und wird seitlich von dem Material der zweiten Leiterplatte **7** isoliert. Auf dem Kupferblock **3** und dem in einer Ausnehmung des Kupferblocks **3** über die Sinterschicht **5** mit diesem verbundenen IGBT **2** ist eine dritte Leiterplatte **8** angeordnet, welche wiederum in ihrer Dicke in etwa der Dicke der ersten Leiterplatte **6** entspricht. Dahingegen sind der Kupferblock **3** und die zweite Leiterplatte **7** deutlich dicker ausgeführt, beispielsweise mit einer Dicke von ca. 700 µm.

**[0020]** Der Anschluss des IGBT **2** erfolgt nun kollektorseitig (G) über ein Anschlusselement **9**, welches über zwei Anschlussstifte **10** mit dem Kupferblock **3** verbunden ist. Emitterseitig (E) erfolgt der Anschluss über ein Anschlusselement **11**, welches mit einer Kupferschicht **12** verbunden ist, die auf der dritten Leiterplatte **8** aufgebracht ist. Die dritte Leiterplatte **8** weist dabei in dem mit dem Anschlusselement **11** des Emitters verbundenen Teil zwei Bohrungen **13** (VIA) auf, welche mit Kupfer verfüllt sind, um einen elektrischen Kontakt zwischen der Kupferschicht **12** und der Oberseite des IGBTs **2** zu ermöglichen. Ein über ein isolierendes Zwischenelement **14** von der Kupferschicht **12** abgetrennter Teil **15** der Kupferschicht ist über eine ähnliche kupferverfüllte Bohrung **16** mit dem IGBT **2** verbunden und bildet den Gate-Anschluss (G).

**[0021]** Alle drei Leiterplatten **6**, **7**, **8** sind dabei zumindest aus einem thermisch gut leitenden Material mit demselben thermischen Ausdehnungskoeffizienten, insbesondere aus demselben Material, beispielsweise einem thermisch gut leitenden FR-4 ausgeführt. Auf der dem Kupferblock **3** abgewandten Seite der ersten Leiterplatte **6**, in der Darstellung der **Fig. 1** also unterhalb der ersten Leiterplatte **6**, befindet sich eine weitere Kupferschicht **17**, welche über eine weitere Sinterschicht **18**, welche im Aufbau im Wesentlichen der Sinterschicht **5** entspricht, mit einem mehrteilig aufgebauten Kühlkörper **19** verbunden ist. Über die metallischen gut wärmeleitenden Schichten **17**, **18** sowie die thermisch gut leitende erste Leiterplatte **6** ist so eine effiziente Kühlung des Kupferblocks **3** und damit des IGBTs **2** möglich.

**[0022]** Dieser Aufbau, bei dem alle drei eingesetzten Leiterplatten **6**, **7**, **8** denselben thermischen Ausdehnungskoeffizienten aufweisen oder insbesondere aus demselben Material ausgeführt sind, ermöglicht nun eine sehr hohe Teilentladungsfestigkeit. In der Darstellung der **Fig. 2** sind unterschiedliche Messungen der Teilentladungsfestigkeit, welche hier mit

ihrem englischen Kürzel PDEV abgekürzt ist, in kV auf der Y-Achse, gegenüber der Betriebstemperatur T in °C auf der X-Achse, aufgetragen. Der Ausgangspunkt der Erfinder waren dabei die mit □ markierten Messungen, diese beziehen sich auf eine herkömmliche leiterplattenintegrierte Leistungselektronik, bei der insbesondere die dickere zweite Leiterplatte aus einem anderen Material hergestellt ist, als die erste Leiterplatte und die dritte Leiterplatte. Die Messungen zeigen deutlich, dass die Teilentladungsfestigkeit bei niedrigen Betriebstemperaturen bis ca. 60°C oberhalb der Akzeptanzgrenze von 3 kV liegt. Steigen die Temperaturen auf höhere Werte, dann sinkt die Teilentladungsfestigkeit teilweise auf unter 1 bis 2 kV ab, was aus Sicherheitsgründen, insbesondere beim Einsatz in Fahrzeugen, absolut nicht akzeptabel ist.

**[0023]** Nachdem die Erfinder erkannt hatten, dass die vermutliche Ursache in der Vergrößerung von gegebenenfalls bestehenden Räumen und Spalten zwischen den einzelnen Leiterplatten **6**, **7**, **8** liegen könnte, welche sich aufgrund unterschiedlicher thermischer Ausdehnungskoeffizienten bei höherer Betriebstemperatur gegebenenfalls vergrößern, haben sie die erfindungsgemäße leiterplattenintegrierte Leistungselektronik **1**, wie sie in der Darstellung der **Fig. 1** zu erkennen ist, aufgebaut, bei welcher die drei Leiterplatten **6**, **7**, **8** vorzugsweise aus demselben Material ausgebildet sind. Die Messungen an diesem Aufbau ergaben nun die mit x in dem Diagramm der **Fig. 2** markierten Werte bei unterschiedlichen Betriebstemperaturen und zeigen so, dass bei diesem Aufbau in jedem Fall eine Teilentladungsfestigkeit von mindestens 4 kV, also in jedem Fall eine Teilentladungsfestigkeit über der Akzeptanzgrenze von 3 kV realisiert werden kann.

**[0024]** Die erfindungsgemäß aufgebaute leiterplattenintegrierten Leistungselektronik **1** beispielsweise gemäß der Darstellung in **Fig. 1** erlaubt so also einen sehr sicheren und zuverlässigen Aufbau in entsprechend kompakter Bauweise und eignet sich insbesondere für Hochspannungsbordnetze in zumindest teilweise elektrisch angetriebenen Fahrzeugen.

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- DE 2006040838 B4 [0004]

**Patentansprüche**

eines zumindest teilweise elektrisch angetriebenen Fahrzeugs.

Es folgt eine Seite Zeichnungen

1. Leiterplattenintegrierte Leistungselektronik (1) mit mindestens einem Halbleitermaterial (IGBT 2) sowie einem dieses tragenden Kupferblock (3), welcher auf einer ersten Leiterplatte (6) angeordnet und seitlich von einer zweiten Leiterplatte (7) umgeben ist, ferner mit einer das Halbleitermaterial (IGBT 2) abdeckenden dritten Leiterplatte (8), durch welche hindurch die dem Kupferblock (3) abgewandte Seite des Halbleitermaterials (IGBT 2) elektrisch kontaktiert ist, **dadurch gekennzeichnet**, dass alle drei Leiterplatten (6, 7, 8) aus einem thermisch gut leitenden Leiterplattenmaterial mit demselben thermischen Ausdehnungskoeffizienten ausgeführt sind.

2. Leiterplattenintegrierte Leistungselektronik (1) nach Anspruch 1, **dadurch gekennzeichnet**, dass die drei Leiterplatten (6, 7, 8) aus demselben Material ausgebildet sind.

3. Leiterplattenintegrierte Leistungselektronik (1) nach Anspruch 2, **dadurch gekennzeichnet**, dass wenigstens zwei der Leiterplatten (6, 7, 8) einstückig ausgeführt sind.

4. Leiterplattenintegrierte Leistungselektronik (1) nach Anspruch 1, 2 oder 3, **dadurch gekennzeichnet**, dass auf der dem Kupferblock (3) abgewandten Seite der ersten Leiterplatte (6) ein Kühlkörper (19) angeordnet und direkt oder über wenigstens eine Zwischenschicht (17, 18) mit der ersten Leiterplatte (6) verbunden ist.

5. Leiterplattenintegrierte Leistungselektronik (1) nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, dass die zweite Leiterplatte (7) die mindestens 3-fache, bevorzugt mehr als 4-fache, Dicke der ersten Leiterplatte (6) oder der dritten Leiterplatte (8) aufweist.

6. Leiterplattenintegrierte Leistungselektronik (1) nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass die erste Leiterplatte (6) und die dritte Leiterplatte (8) in etwa gleich dick sind.

7. Leiterplattenintegrierte Leistungselektronik (1) nach einem der Ansprüche 2 bis 6, **dadurch gekennzeichnet**, dass die Leiterplatten (6, 7, 8) aus thermisch gut leitendem FR-4 ausgeführt sind.

8. Leiterplattenintegrierte Leistungselektronik (1) nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass durch das Halbleitermaterial ein IGBT (2) gebildet ist.

9. Verwendung einer leiterplattenintegrierten Leistungselektronik (1) nach einem der Ansprüche 1 bis 8, im Bereich eines Hochspannungs-Bordnetzes

Anhängende Zeichnungen

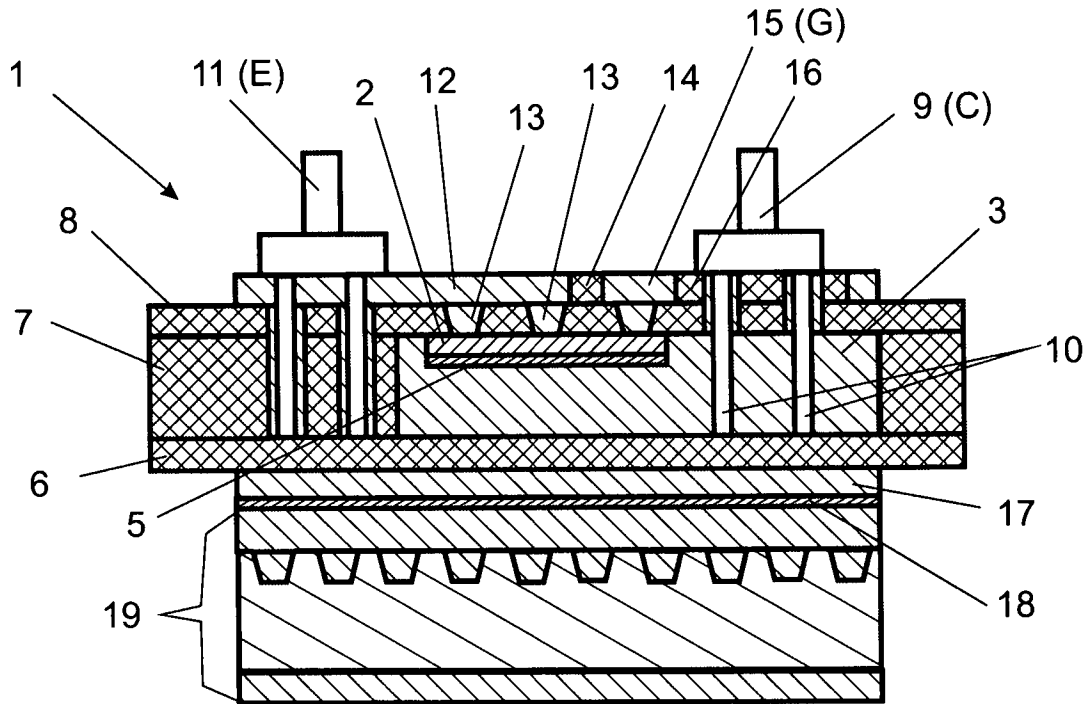


Fig. 1

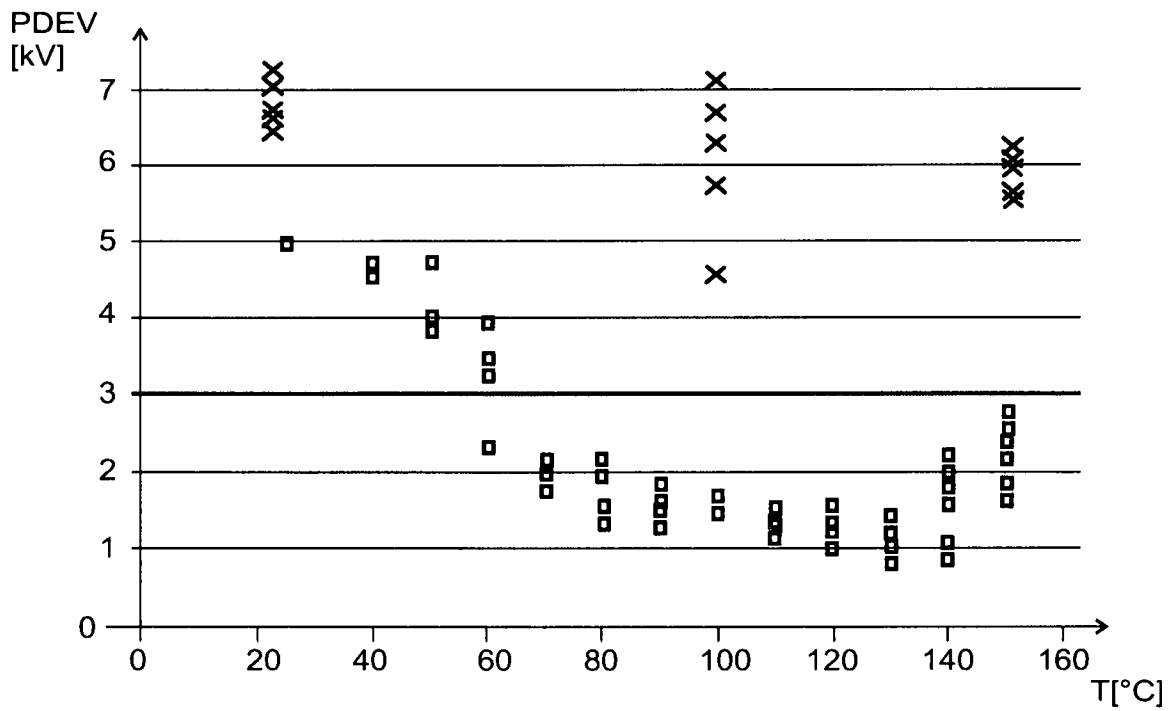


Fig. 2