



(72) 발명자

**쫄쫄미 준**

일본 가나가와켄 가와사끼시 나카하라꾸 가미고다  
나카 4쫄메 1-1후지쫄 가부시끼가이샤 내

**다니구찌 신지**

일본 가나가와켄 가와사끼시 나카하라꾸 가미고다  
나카 4쫄메 1-1후지쫄 가부시끼가이샤 내

**사까시따 다께시**

일본 가나가와켄 가와사끼시 나카하라꾸 가미고다  
나카 4쫄메 1-1후지쫄 가부시끼가이샤 내

**요꼬야마 쫄요시**

일본 가나가와켄 가와사끼시 나카하라꾸 가미고다  
나카 4쫄메 1-1후지쫄 가부시끼가이샤 내

**우에다 마사노리**

일본 가나가와켄 요꼬하마시 요호꾸꾸 신요꼬하마  
2쫄메 3-12후지쫄 메디아 테바이스 가부시끼가이샤  
내

**미야시따 쫄또무**

일본 가나가와켄 요꼬하마시 요호꾸꾸 신요꼬하마  
2쫄메 3-12후지쫄 메디아 테바이스 가부시끼가이샤  
내

## 특허청구의 범위

### 청구항 1

박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와,  
 공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치된 제1 및 제2 집적화 수동 소자 칩과,  
 상기 제1 및 제2 필터 및 상기 제1 및 제2 집적화 수동 소자 칩을 탑재하는 기판  
 을 구비하고,  
 상기 기판은 상기 제1 및 제2 필터의 병렬 공진기와 그라운드 사이에 접속되는 인덕턴스를 실현하는 도체 패턴  
 을 가지며,  
 상기 제1 및 제2 집적화 수동 소자 칩은 각각 상기 제1 및 제2 필터에 접속되는 인덕터를 포함하는 것을 특징으  
 로 하는 분파기.

### 청구항 2

제1항에 있어서,  
 상기 제2 필터는 상기 제1 필터보다 높은 중심 주파수를 갖고, 상기 제2 집적화 수동 소자 칩에 접속되는 상기  
 제2 필터는 직렬 공진기로 종단되어 있는 것을 특징으로 하는 분파기.

### 청구항 3

제1항 또는 제2항에 있어서,  
 상기 제1 및 제2 집적화 수동 소자 칩은 상기 제1 및 제2 필터에 공통의 인덕터를 포함하는 것을 특징으로 하는  
 분파기.

### 청구항 4

제2항에 있어서,  
 상기 제1 필터는 송신 필터이고, 상기 제2 필터는 수신 필터인 것을 특징으로 하는 분파기.

### 청구항 5

제1항, 제2항 및 제4항 중 어느 한 항에 있어서,  
 상기 제1 및 제2 집적화 수동 소자 칩은 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합시키는 위상 정합 회  
 로를 포함하고,  
 상기 기판은 적층 기판이며, 상기 도체 패턴은 상기 적층 기판 내에 형성되는 것을 특징으로 하는 분파기.

### 청구항 6

제5항에 있어서,  
 상기 제1 및 제2 필터 및 상기 제1 및 제2 집적화 수동 소자 칩은 상기 기판에 페이스 다운으로 실장되어 있는  
 것을 특징으로 하는 분파기.

### 청구항 7

박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와,  
 공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치되고, 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합  
 시키는 제1 및 제2 위상 정합 회로와,  
 상기 제1 및 제2 위상 정합 회로 중 적어도 한쪽에 포함되고, 그라운드와 상기 공통 단자 사이에 접속되는 인덕  
 터

를 구비하고,

상기 인덕터를 갖는 상기 제1 또는 제2 위상 정합 회로에 대응하는 상기 제1 또는 제2 필터의 상기 제1 또는 제2 위상 정합 회로에 가장 가까운 직렬 공진기 및 병렬 공진기의 용량값을 각각  $C_s$  및  $C_p$ , 분파기의 종단 저항, 대응하는 상기 제1 또는 제2 필터의 통과 대역의 중심 주파수를  $f_0$ 라고 하였을 때,

$$C_p \times C_s < 1 / (R \times 2 \pi f_0)^2$$

인 것을 특징으로 하는 분파기.

### 청구항 8

박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와,

공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치되고, 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합시키는 제1 및 제2 위상 정합 회로

를 구비하고,

상기 제1 및 제2 위상 정합 회로 중 적어도 한쪽에 포함되고, 그라운드와 상기 공통 단자 사이에 접속되는 인덕터를 구비하며,

상기 인덕터를 갖는 상기 제1 또는 제2 위상 정합 회로에 대응하는 상기 제1 또는 제2 필터의 상기 제1 또는 제2 위상 정합 회로에 가장 가까운 직렬 공진기의 멤브레인 영역의 면적이, 상기 제1 또는 제2 필터에 포함되는 다른 어느 것의 직렬 공진기의 멤브레인 영역의 면적보다 작은 것을 특징으로 하는 분파기.

### 청구항 9

제7항 또는 제8항에 있어서,

상기 인덕터를 포함하는 상기 제1 또는 제2 위상 정합 회로에 포함되고, 상기 공통 단자와 대응하는 상기 제1 또는 제2 필터 사이에 캐패시터를 구비하는 것을 특징으로 하는 분파기.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 종래기술의 문헌 정보

- <50> [특허 문헌 1] 일본 특허 제2800905호
- <51> [특허 문헌 2] 일본 특허 제2905094호
- <52> [특허 문헌 3] 일본 특허 제3487692호
- <53> [특허 문헌 4] 일본 특허공개 제2001-127588호 공보

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <54> 본 발명은, 휴대 전화기, PHS, 무선 LAN 등의 이동체 통신이나 고주파 무선 통신에서 사용하는 박막 벌크 탄성과 공진기(Film Bulk Acoustic Resonator, 이하, FBAR이라고 함)를 이용한 필터에 관한 것으로, 특히 FBAR을 복수개 래더형으로 배치 접속한 필터를 복수개 포함하는 분파기에 관한 것이다.
- <55> 최근, 압전 재료를 이용한 SAW(Surface Acoustic Wave)나 BAW(Bulk Acoustic Wave)의 공진기를 복수 조합함으로써 특정한 주파수대의 전기 신호만을 통과시키는 특징을 갖는 고주파 통신용의 필터 소자가 개발되고 있다. SAW나 BAW를 이용한 필터 부품은 다른 유전체 필터나 세라믹 필터에 비해 외형 사이즈가 작고, 또한 급준한 롤 오프 특성을 갖기 때문에, 소형이고, 넓은 비 대역 폭(wide comparative bandwidth)이 요구되는 휴대 전화기 등의 이동체 통신 부품에 적합하다. 이러한 SAW 필터나 BAW 필터의 구성으로서, 공진기를 직렬-병렬로 사다리 형상으로 연결하는 래더형 필터가 있다. 래더형 필터의 일 구성예를 도 1에 도시한다.

<56> 래더형 필터는 사다리형으로 조직하는 단 수나, 직렬-병렬로 배치하는 공진기의 용량비를 바꾸는 것만으로, 삽입 손실, 대역의 억압도 등을 용이하게 변화시킬 수 있고, 설계의 단순도 간편하기 때문에 흔히 이용되고 있다. 또한, 래더형 필터의 특성을 보다 임의로 변화시키는 방법으로서, 특허 문헌 1 등에 개시된 바와 같이 공진기에 직렬 또는 병렬로 인덕턴스를 부가하는 방법이 있고, 널리 이용되고 있다. SAW나 BAW의 실제의 예에서는, 이 인덕턴스는 다층 기관의 표면 또는 층 내에 형성된 도체 패턴 또는 와이어로 실현하는 것이 보고되어 있다. 이와 같이 부가 인덕턴스를 갖는 필터의 등가 회로의 예를 도 2 및 도 3에 도시한다.

<57> SAW나 BAW의 래더형 필터를 이용한 응용 부품으로서, 분파기(듀플렉서)가 있다. 분파기는, 송수신 기능을 갖는 통신 장치에서 송신과 수신 신호의 주파수가 서로 다르고, 송수신 동시에 행해지는 CDMA 시스템 등에 이용되어, 송수신호의 간섭을 억제하고, 필요한 주파수역만을 통과시킨다. 분파기는 일반적으로 송신, 수신 필터, 위상 정합 회로를 집약하여 하나의 요소 부품(컴포넌트)으로 한 것이다. 송신 필터 및 수신 필터는 각각의 신호만을 통과시키는 대역 통과 필터로서 이용되고, 안테나부에서 접속된다. 그러나, 이것에서는 서로의 신호가 간섭하게 된다. 그래서, 이상기(위상 정합 회로)가 이용된다. 이상기는 등가 회로에서 인덕턴스와 캐패시턴스의 조합을 갖는 전기 요소로 된다. SAW나 BAW를 이용한 분파기로서, 예를 들면 특허 문헌 2에서는, 도 4에 도시하는 바와 같이, 다층 기관 내에 형성된 도체 패턴의 분포 상수 선로를 이상기로서 사용하는 방법이 개시되어 있다. 또는, 특허 문헌 3이나 특허 문헌 4에 의하면, 도 5에 도시하는 바와 같이, 기관이나 캡에 권선 코일이나, 칩 인덕터, 칩 캐패시터 등의 집중 상수형의 인덕턴스 소자 및 캐패시턴스 소자를 조합하여 형성하는 등의 방법이 취해져 왔다.

**발명이 이루고자 하는 기술적 과제**

<58> 그러나, 종래의 것에는 다음과 같은 문제가 있다. 특허 문헌 1에 개시된 방법은, 특허 문헌 3에도 개시되어 있는 바와 같이, 위상 선로를 형성하기 위해, 도체 패턴을 형성해야만 하고, 2차원적, 3차원적으로 스페이스를 취한다. 예를 들면 2GHz의 주파수역에 있는 WCDMA대의 분파기를 생각하면, 유전율 9.5의 알루미늄으로 폭 0.1mm, 특성 임피던스 50Ω의 도체 패턴을 이용하여 송신(Tx), 수신(Rx) 필터 모두 180도의 위상 회전을 시킨다고 생각하면, 0.6mm 두께로 길이 25mm의 도체 패턴이 2개 필요하다고 계산할 수 있다. 또한, 상술한 바와 같이, 래더형 필터의 특성을 향상시키기 위해 부가 인덕턴스를 이용하는 것은 일반적이지만, 이 부가 인덕턴스도 또한 도체 패턴으로 실현하려고 하면, 도체 패턴끼리 너무 근접하여 배치하는 것은 인덕턴스끼리의 결합을 낳아 소망하는 필터 특성을 얻을 수 없는 요인으로도 되기 때문에, 상호 충분한 거리를 두고 배치할 필요가 있다. 그런데, 이 방법을 이용해서는 소형의 분파기 패키지를 실현하는 것이 곤란하다.

<59> 또한, 특허 문헌 2나 특허 문헌 3에 개시된 집중 상수형의 인덕턴스 및 캐패시턴스를 이용하여 이상기를 실현하는 방법은, 해당 특허 문헌에 개시되어 있는 바와 같이, 칩 인덕터, 권선 코일, 칩 캐패시터를 이용하면 상기 도체 패턴으로 이상기를 실현하는 것보다 소형으로 하는 것은 가능하다. 그러나, 현재 입수 가능하고 범용의 칩 부품인 1005 사이즈(1.0×0.5×0.5[mm])의 것을 이용하였다고 하여도, 특허 문헌 2에 개시되어 있는 바와 같이, 그 사이즈는 8×5.1×2.5[mm] 정도이고, 5[mm]각, 38[mm]각 등의 사이즈의 분파기가 실현되어 있는 현재에서는 소형이라고는 할 수 없고, 수동 요소의 수만큼 칩 수가 증가하여, 코스트도 높게 된다.

<60> 본 발명은 이상과 같은 사정을 고려하여 이루어진 것으로, 소형이고 특성이 좋은 분파기를 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

<61> 본 발명은, 박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와, 공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치된 제1 및 제2 집적화 수동 소자와, 상기 제1 및 제2 필터 및 상기 제1 및 제2 집적화 수동 소자를 탑재하는 기관을 구비하고, 상기 기관은 상기 제1 및 제2 필터와 그라운드 사이에 접속되는 인덕턴스를 실현하는 도체 패턴을 가지며, 상기 제1 및 제2 집적화 수동 소자는 각각 상기 제1 및 제2 필터에 접속되는 인덕터를 포함하는 것을 특징으로 하는 분파기이다.

<62> 상기 제1 및 제2 집적화 수동 소자는 각각 고역 통과 필터인 것이 바람직하다. 상기 제2 필터는 상기 제1 필터보다도 높은 중심 주파수를 갖고, 상기 제2 집적화 수동 소자에 접속되는 상기 제2 필터는 직렬 공진기로 중단되어 있는 것이 바람직하다. 이 경우, 상기 제1 필터는 송신 필터이고, 상기 제2 필터는 수신 필터이다. 상기 제1 및 제2 집적화 수동 소자는 상기 제1 및 제2 필터에 공통의 인덕터를 포함하는 것이 바람직하다.

<63> 본 발명은, 상기 제1 및 제2 집적화 수동 소자는 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합시키는 위상

정합 회로를 포함하고, 상기 기관은 적층 기관이며, 상기 도체 패턴은 상기 적층 기관 내에 형성되는 것을 특징으로 하는 분파기로 할 수 있다. 본 발명에 따르면, 제1 및 제2 필터와 그라운드 사이에 접속되는 인덕턴스와 위상 정합 회로에 포함되는 인덕터가 결합하여 특성이 열화하는 것을 억제할 수 있다.

<64> 본 발명은, 상기 제1 및 제2 필터 및 상기 제1 및 제2 집적화 수동 소자는 상기 기관에 페이스 다운으로 실장되어 있는 것을 특징으로 하는 분파기로 할 수 있다. 본 발명에 따르면, 집적화 수동 소자와 적층 기관 사이에 공간을 확보할 수 있고, 제1 및 제2 필터와 그라운드 사이에 접속되는 인덕턴스와 위상 정합 회로에 포함되는 인덕터가 결합하여 특성이 열화하는 것을 한층 억제할 수 있다.

<65> 본 발명은, 박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와, 공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치되고, 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합시키는 제1 및 제2 위상 정합 회로와, 상기 제1 및 제2 위상 정합 회로 중 적어도 한쪽에 포함되고, 그라운드와 상기 공통 단자 사이에 접속되는 인덕터를 구비하고, 상기 인덕터를 갖는 상기 제1 또는 제2 위상 정합 회로에 대응하는 상기 제1 또는 제2 필터의 상기 제1 또는 제2 위상 정합 회로에 가장 가까운 직렬 공진기 및 병렬 공진기의 용량값을 각각  $C_s$  및  $C_p$ , 분파기의 중단 저항, 대응하는 상기 제1 또는 제2 필터의 통과 대역의 중심 주파수를  $f_0$ 라고 하였을 때,

<66> 
$$C_p \times C_s < 1 / (R \times 2 \pi f_0)^2$$

<67> 인 것을 특징으로 하는 분파기이다. 본 발명에 따르면, 위상 정합 회로의 구성 요소 수를 저감할 수 있어 실장 면적을 저감할 수 있다.

<68> 본 발명은, 박막 벌크 탄성과 공진기를 래더형으로 접속 배치한 제1 및 제2 필터와, 공통 단자와, 상기 제1 및 제2 필터 사이에 각각 설치되고, 상기 제1 필터 및 상기 제2 필터 간의 위상을 정합시키는 제1 및 제2 위상 정합 회로를 구비하고, 상기 제1 및 제2 위상 정합 회로 중 적어도 한쪽에 포함되고, 그라운드와 상기 공통 단자 사이에 접속되는 인덕터를 구비하며, 상기 인덕터를 갖는 상기 제1 또는 제2 위상 정합 회로에 대응하는 상기 제1 또는 제2 필터의 상기 제1 또는 제2 위상 정합 회로에 가장 가까운 직렬 공진기의 멤브레인 영역의 면적은, 상기 제1 또는 제2 필터에 포함되는 다른 어느 것의 직렬 공진기의 멤브레인 영역의 면적보다 작은 것을 특징으로 하는 분파기이다. 본 발명에 따르면, 제1 및 제2 위상 정합 회로의 실장 면적을 감소시킬 수 있다.

<69> 본 발명은, 상기 인덕터를 포함하는 상기 제1 또는 제2 위상 정합 회로에 포함되고, 상기 공통 단자와 대응하는 상기 제1 또는 제2 필터 사이에 캐패시터를 구비하는 것을 특징으로 하는 분파기로 할 수 있다. 본 발명에 따르면, 위상 정합 회로의 구성 요소 수를 한층 저감할 수 있어 실장 면적을 한층 저감할 수 있다.

<70> 이하, 본 발명의 실시예를 첨부 도면을 참조하여 상세히 설명한다.

<71> (실시예 1)

<72> 도 6은 본 발명의 실시예에 따른 분파기의 기본 구성을 도시하는 도면이다. 분파기는, 제1 FBAR 필터(20), 제2 FBAR 필터(30), 제1 집적화 수동 소자(Integrated-Passive Device : 이하, IPD라고 함)(40) 및 제2 IPD를 갖는다. 이들 구성 부품은 패키지(10) 내에 밀봉되어 있다. 패키지(10)에는 안테나 단자(60) 및 송수신 단자(Tx/Rx)(62, 64)가 부착되어 있다. 제1 FBAR 필터(20) 및 제2 FBAR 필터(30)가 각각 송신 필터 및 수신 필터인 경우에는, 단자(62 및 64)는 각각 송신 단자 및 수신 단자로 된다. 제1 IPD(40)는 공통 단자로서 기능하는 안테나 단자(60)와 제1 FBAR 필터(20) 사이에 설치되어 있다. 마찬가지로, 제2 IPD(50)는 안테나 단자(60)와 제2 FBAR 필터(30) 사이에 설치되어 있다. 후술하는 바와 같이, 패키지(10)에는 제1 FBAR 필터(20)와 그라운드 사이, 및 제2 FBAR 필터(30)와 그라운드 사이에 각각 접속되는 인덕턴스를 실현하는 도체 패턴을 갖는다. 또한, 제1 IPD(40) 및 제2 IPD(50)는 각각 인덕터를 포함한다. 즉, 이 분파기는 분파기의 실현에 필요한 인덕턴스를, 패키지(10)에 설치된 인덕터와, 제1 IPD(40) 및 제2 IPD(50)에 각각 설치된 인덕터에 분산 배치한 구성을 갖는다. 이에 의해, 소형이면서 양호한 필터 특성을 갖는 분파기를 실현하고 있다.

<73> 도 7의 (A)는 도 6에 도시하는 분파기의 단면도, 도 7의 (B)는 그 평면도이다. 도 7의 (A)는 도 7의 (B)에서 제1 FBAR 필터(20)와 제1 IPD(40)를 가로지르는 선을 따라 취한 단면도에 상당한다. 패키지(10)는 세라믹스 등으로 형성된 복수의 층을 적층한 다층 구성이다. 이 다층 구성을 베이스 기관이라고 칭한다. 패키지(10)는 내부에 캐비티(12)를 갖고, 이 안에 제1 FBAR 필터(20), 제2 FBAR 필터(30), 제1 IPD(40) 및 제2 IPD(50)가 재치되어 있다. 이들 부품은 펌프(15)를 이용하여 캐비티(12)의 저면에 형성된 배선 패턴에 플립 칩 접합되어 있다. 패키지(10)의 표면과 내부에는 도체 패턴(14)이 형성되어 있다. 이 도체 패턴(14)은 제1 IPD(40)와 제1 FBAR 필터(20)의 접속, 제2 IPD(50)와 제2 FBAR 필터(30)의 접속 등 패키지 내부의 부품 간의 접속을 형성하는

것 외에, 제1 FBAR 필터(20)와 그라운드 사이, 및 제2 FBAR 필터(30)와 그라운드 사이에 각각 접속되는 인덕턴스를 실현하는 도체 패턴이기도 하다. 패키지(10)의 이면에는 풋 패드(16)가 형성되어 있다. 풋 패드(16)는 패키지(10)의 저면에 도전성 물질의 패턴으로 형성된 신호 및 그라운드 단자이다. 패키지(10)의 측면에는 캐스터레이션(18)이 형성되어 있다. 캐스터레이션(18)은 패키지(10)의 측면에 형성된 홈에 도전성 물질을 설치한 도통로이다. 도 7의 (A), 7(B)에서는 편의상 생략하고 있지만, 도체 패턴(14)은 캐스터레이션(18)에 접속하는 패턴 부분을 갖고 있다. 캐스터레이션(18)은 층간의 전기적 접속을 실현함과 함께, 패키지(10)의 이면에서 풋 패드(16)와 접속하여, 패키지 도 6에 도시하는 단자(60, 62 및 64)로서도 기능한다. 도 7의 (A), (B)의 구성에서는 패키지(10)의 외측 3면에 캐스터레이션(18)이 형성되어 있지만, 외측 또는 3면으로 한정되는 것이 아니다. 또한, 패키지(10)의 상면에는 커버(19)가 설치되어 있다. 커버(19)는 캐비티(12) 내의 소자를 밀봉한다.

<74> 도 8은 제1 FBAR 필터(20) 및 제2 FBAR 필터(30)의 일 구성예를 도시하는 도면으로, (A)는 평면도, (B)는 (A)의 X-X'선 단면도이다. 이하, 편의상, 제1 FBAR 필터(20)의 구성으로서 설명한다. 제1 FBAR 필터(20)는 복수의 FBAR을 갖는다. FBAR은, Si나 글래스 등의 기판(21) 상에, 상부 전극막(24), 압전막(23), 하부 전극막(22)의 적층 구조를 구비하고, 상부 전극막(24)과 대향하는 하부 전극막(22)의 바로 아래에, 기판(21)에 형성된 캐비티(27)를 설치하고, 여기에 탄성 에너지를 가두는 구성이다. 하부 전극막(22)은 예를 들면 2층 구성이고, 캐비티(27)에 노출되는 막은 예를 들면 Cr막이고, 그 위의 막은 예를 들면 Ru막이다. 상부 전극막(24) 위에는, 제1 FBAR 필터(20)의 중심 주파수를 조정하기 위해 형성된 2개의 조정층(25 및 26)이 형성되어 있다. 제1 FBAR 필터(20)는 4개의 직렬 공진기 S1~S4와 4개의 병렬 공진기 P1~P4를 갖는다. 병렬 공진기 P1~P4는 압전막(23) 위에 형성된 그라운드 패턴(28)에 접속되어 있다. 또한, 상부 전극막(24)의 각각의 양단은 입출력 단자로서 이용된다.

<75> 이러한 구성의 제1 FBAR 필터(20)를 포함하는 분파기는 도 9에 도시하는 전기적 등가 회로를 갖는다. 병렬 공진기 P1 및 P2와 그라운드 사이에는 부가 인덕터 LP1이 설치되고, 병렬 공진기 P3 및 P4와 그라운드 사이에는 부가 인덕터 LP2가 설치되어 있다. 부가 인덕터 LP1과 LP2를 통합하여, 부가 인덕턴스 회로(70)라고 한다. 부가 인덕터 LP1과 LP2를 설치함으로써, 제1 FBAR 필터(20)의 통과 대역 폭을 조정할 수 있다. 부가 인덕터 LP1과 LP2는 도 7의 (A)에 도시하는 도체 패턴(14)을 이용하여 형성되어 있다. 제2 FBAR 필터(30)도 제1 FBAR 필터(20)와 마찬가지로 구성되어 있다. 제2 FBAR 필터(30)는 4개의 직렬 공진기 S1'~S4'과, 4개의 병렬 공진기 P1'~P4'과, 부가 인덕터 LP1', LP2'를 포함하는 부가 인덕턴스 회로(80)를 갖는다.

<76> 제1 IPD(40)는 집중 상수형의 인덕터 L1, L2와 캐패시터 C1을 갖고, 필터(도 9의 예에서는  $\pi$ 형의 하이 패스 필터)를 구성하고 있다. 마찬가지로, 제2 IPD(50)는 집중 상수형의 인덕터 L3, L4와 캐패시터 C2를 갖고, 필터(마찬가지로 하이 패스 필터)를 구성하고 있다. 제1 IPD(40) 및 제2 IPD(50)는 제1 FBAR 필터(20)와 제2 FBAR 필터(30) 사이에서 신호가 간섭하지 않도록, 각각의 신호의 위상을 조정하는 역할을 갖는다.

<77> 제1 IPD(40) 및 제2 IPD(50)의 일 구성예를 도 10에 도시한다. 이하, 편의상, 제1 IPD(40)로서 설명한다. 제1 IPD(40)는 지지 기판(41) 위에 제1 인덕터 L1, 제2 인덕터 L2, 캐패시터 C1, 신호선(42), 2개의 신호 단자(43, 44) 및 2개의 그라운드 단자(45, 46)를 설치한 구성이다. 캐패시터 C1을 지지 기판(41)의 중앙에 놓고, 캐패시터 C1을 사이에 두도록 인덕터 L1과 L2를 배치하고 있다. 신호 단자(43과 44)는 지지 기판(41)의 대각선 상에 배치되고, 신호선(42)을 이용하여 캐패시터 C1에 접속되어 있다. 신호 단자(43과 44)를 대각으로 배치함으로써, 지지 기판(41) 위의 큰 면적을 점유하는 인덕터 L1, L2를 우회하여, 최단 거리로 캐패시터 C1과 신호 단자(43, 44)를 접속할 수 있다. 그라운드 단자(45와 46)도 다른 쪽의 대각 위치에 설치되어 있다. 제2 IPD(50)도 제1 IPD(40)와 동일한 구성이다.

<78> 이와 같이, 본 실시예의 분파기는, 분파기의 실현에 필요한 인덕턴스를, 패키지(10)에 설치된 부가 인덕터 LP1, LP2, LP1', LP2'과, 제1 IPD(40) 및 제2 IPD(50)에 각각 설치된 인덕터 L1, L2에 분산 배치한 구성을 갖는다. 이에 의해, 소형이면서 양호한 필터 특성을 갖는 분파기를 실현하고 있다.

<79> 제1 IPD(40)와 제2 IPD(50)는 상기와 같이 하이 패스 필터인 것이 바람직하다. 제1 IPD(40)와 제2 IPD(50)를 각각, 도 11의 (A)에 도시하는 로우 패스 필터(저역 통과 필터)나, 도 11의 (B)에 도시하는 로우 패스 필터로 구성할 수도 있다. 그러나, 후술하는 바와 같이, 본 발명자는 하이 패스 필터를 이용함으로써, 각별한 효과를 얻을 수 있는 것을 알아내었다.

<80> 도 12의 (A)는 이상기를 로우 패스 필터로 구성한 분파기의 통과 특성을 도시하고, 도 12의 (B)는 이상기를 하이 패스 필터로 구성한 분파기의 통과 특성을 도시한다. 이들 통과 특성은 실험에 의해 얻어진 것이다. 이들 도면으로부터, 대략 500[MHz] 이하의 주파수역에서의 억압도가 하이 패스 필터를 이용한 경우 쪽이 큰 것을 알

수 있다. 또한, 제1 및 제2 필터(20, 30)의 통과 대역이 인접하고, 통과 대역의 한쪽의 상승의 적어도 일부와 다른 쪽의 하강의 적어도 일부가 겹쳐 있다.

- <81> 도 13의 (A)는 이상기를 로우 패스 필터로 구성된 송신(Tx) 필터의 반사 특성을 나타내고, 도 13의 (B)는 이상기를 하이 패스 필터로 구성된 송신 필터의 반사 특성이다. 이들 반사 특성은 실험에 의해 얻어진 것이다. 일반적으로, 분파기를 구성하는 필터의 이상기는 그 특성 임피던스가 높은 쪽이 삽입 손실이 낮아 분파기 성능이 좋다는 것은 기지의 사실이다. 그런데, 통과역의 매칭을 손상하지 않을 정도로 특성 임피던스가 높은 이상기를 이용하고 싶다. 여기서, 도 13의 (B)로부터 알 수 있는 바와 같이, 하이 패스 필터를 이용한 경우, 특성 임피던스를 크게 하여도, 로우 패스 필터와 같이 스미스 차트 중앙 50[Ω] 부근의 매칭이 현저히 악화되지 않는다. 이로부터, 하이 패스 필터를 이용함으로써 삽입 손실이 우수한 분파기를 얻을 수 있다.
- <82> 도 12의 (B)와 도 13의 (B)로부터, 제1 IPD(40)와 제2 IPD(50)를 하이 패스 필터로 함으로써, 위상 정합의 기능 외에, 필터 저역측에서 큰 감쇠 특성이 얻어짐과 함께, 대역내 매칭이 양호하며 저삽입 손실의 특성을 실현할 수 있다.
- <83> 또한, 제1 IPD(40) 및 제2 IPD(50)로 각각 실현하는 하이 패스 필터의 회로 구성은 도 9에 도시하는 것으로 한정되는 것이 아니고, 예를 들면, 도 14에 도시하는 바와 같이, 2개의 캐패시터 C5, C6와 1개의 인덕터 L5를 포함하는 T형의 하이 패스 필터이어도 된다.
- <84> 하이 패스 필터의 회로 구성은 상기와 같이 2 가지이고, 각각에 대해서 2 가지의 중단 방법이 있다. 중단이란, 하이 패스 필터의 출력을 FBAR 필터의 직렬 공진기로 받는지, 병렬 공진기로 받는지를 의미하고 있다. 이제, 제2 FBAR 필터(30)의 중심 주파수가 제1 FBAR 필터(20)의 중심 주파수보다 높다고 가정한다. 일반적으로, 이 관계를 갖는 분파기는, 제2 FBAR 필터(30)가 수신 필터이고, 제1 FBAR 필터(20)가 송신 필터로 된다. 높은 중심 주파수를 갖는 제2 FBAR은, 직렬 공진기를 이용하여 전단의 제2 IPD를 중단하는 것이 바람직하다. 이 중단 방법은 병렬 공진기로 중단하는 것보다도 위상의 회전 제어가 용이하다.
- <85> 상기의 가정 하에, 도 15 내지 도 18을 참조하여 설명한다. 도 15는 제2 FBAR 필터(30)의 직렬 공진기 S1'을 이용하여 제2 IPD(50)( $\pi$ 형 필터)를 중단하는 한편, 제1 FBAR 필터(20)의 병렬 공진기 P1을 이용하여 제1 IPD(40)( $\pi$ 형 필터)를 중단하는 실시예이다.
- <86> 도 16은 제2 FBAR 필터(30)의 직렬 공진기 S1'을 이용하여 제2 IPD(50)( $\pi$ 형 필터)를 중단하는 한편, 제1 FBAR 필터(20)의 직렬 공진기 S1을 이용하여 제1 IPD(40)( $\pi$ 형 필터)를 중단하는 실시예이다.
- <87> 도 17은 제2 FBAR 필터(30)의 직렬 공진기 S1'을 이용하여 제2 IPD(50)(T형 필터)를 중단하는 한편, 제1 FBAR 필터(20)의 병렬 공진기 P1을 이용하여 제1 IPD(40)(T형 필터)를 중단하는 실시예이다.
- <88> 도 18은 제2 FBAR 필터(30)의 직렬 공진기 S1'을 이용하여 제2 IPD(50)(T형 필터)를 중단하는 한편, 제1 FBAR 필터(20)의 직렬 공진기 S1을 이용하여 제1 IPD(40)(T형 필터)를 중단하는 실시예이다.
- <89> 이와 같이, 높은 쪽의 중심 주파수를 갖는 제2 FBAR 필터(30)의 병렬 공진기 P1으로 제2 IPD(50)를 중단하는 한편, 그것보다도 낮은 중심 주파수를 계에서는 제1 FBAR 필터(20)의 직렬 공진기 S1 또는 병렬 공진기 P1 중 어느 것으로 제1 IPD(40)를 중단한다.
- <90> 또한, 도 15 및 도 16의 구성에서, 제1 IPD(40) 및 제2 IPD(50)의 인덕터 L1 및 L3를, 도 19에 도시하는 바와 같이, L1'으로서 공통화할 수 있다. 이에 의해, 제1 IPD(40)와 제2 IPD(50)를 소형화할 수 있다.
- <91> 또한, 도 20에 도시하는 바와 같이, 이상기로서 작용하는 하이 패스 필터의 출력에 추가 인덕터 L6를 설치하여 매칭을 더욱 향상시킬 수 있고, 이 때, 이상기의 인덕터 L2와 추가 인덕터 L6를 통합하여 인덕터 L7으로 하는 것이 가능하다. 이와 같이 인덕터를 통합함으로써, 소자 수를 줄일 수 있다.
- <92> 또한, 도 21은 도 10에서 도시한 제1 IPD(40) 및 제2 IPD(50)의 구성을 보다 상세하게 도시한 도면이다. 도 21의 (A)는 그 상시도이다. 도 10과 동일한 부재는 동일한 부호를 붙이고 설명을 생략한다. 인덕터 L1 및 L2는 스파이럴 코일로 구성되어 있다. 도 21의 (B)는 도 21의 (A)의 X-X' 단면도이다. 인덕터 L1 및 L2는 지지 기판(41) 위에 알루미늄 등의 도체로 형성된다. 캐패시터 C1은 하부 전극 C1c, 산화 실리콘막 등의 유전체막 C1b 및 상부 전극 C1a가 적층된 MIM 캐패시터이다.
- <93> 이상, 도 9 및 도 15 내지 도 18의 회로 구성예로 설명한 바와 같이, 래더형 필터의 병렬 공진기 P1 내지 P4 및 P1' 내지 P4'과 그라운드 사이에 설치되는 부가 인덕턴스(70, 80)를 구성하는 인덕터 LP1, LP2, LP1' 및 LP2'은

적층된 패키지(10)의 층 내에 형성된다. 한편, 제1 필터(20)와 안테나 단자(60) 사이 및 제2 필터(30)와 안테나 단자(60) 사이에 설치되는 이상기(위상 정합 회로)를 구성하는 인덕터 L1, L2, L3 및 L4는 제1 집적 수동 소자(IPD)(40) 또는 제2 집적 수동 소자(IPD)(50) 위에 형성되어, 패키지(10)에 플립 칩 실장(페이스 다운 실장)된다.

<94> 이와 같이, 제1 및 제2 집적화 수동 소자(IPD)(40, 50)는 제1 필터(20) 및 제2 필터(30) 간의 위상을 정합시키는 이상기(위상 정합 회로)를 포함하고, 인덕터 LP1, LP2, LP1' 및 LP2'을 구성하는 도체 패턴(14)은 패키지(10)(적층 기판) 내에 형성된다.

<95> 이러한 구성에 의해, 부가 인덕턴스(70, 80)와 이상기가 공간적으로 분리되어 있다. 이 때문에, 인덕터 L1 내지 L4도 포함하여 패키지(10) 내의 층 내에 형성되는 데 비해, 인덕턴스(70, 80)의 인덕터 LP1, LP2, LP1' 및 LP2'과 이상기의 인덕터 L1 내지 L4가 결합하여 특성이 열화하는 것을 억제할 수 있다. 또한, 이상기의 튜닝을 제1 또는 제2 집적화 수동 소자(IPD)(40, 50)의 바뀌는기로 행할 수 있다. 또한, 제1 및 제2 집적화 수동 소자(IPD)(40, 50)는 복수의 인덕터, 캐패시터를 단일 칩에 집적화하고 있기 때문에, 개별 부품(칩 컨덴서나 칩 인덕터)으로 구성하는 데 비해, 실장 면적을 축소할 수 있다.

<96> 또한, 제1 및 제2 필터(20, 30) 및 제1 및 제2 집적화 수동 소자(40, 50)는 패키지(기판)에 페이스 다운으로 실장되어 있다. 플립 칩 실장(페이스 다운 실장)에 의해, 제1 및 제2 IPD(40, 50)와 패키지(10) 사이에, IPD 칩의 기판 및 패키지(10)로 채워져 있지 않은 공간이 생긴다. 이 때문에, 인덕턴스(70, 80)의 인덕터 LP1, LP2, LP1' 및 LP2'과 이상기의 인덕터 L1 내지 L4가 결합하는 것을 한층 억제하고, 특성의 열화를 한층 억제할 수 있다. 또한, 개별 부품을 실장할 때에 필요한 납땜용의 랜드 패턴이 불필요하다. 따라서, 실장 면적을 축소할 수 있다.

<97> (실시예 2)

<98> 다음에, 이상기를 구성하는 제1 및 제2 IPD(40, 50)의 바람직한 형태에 대해서 재차 검토한다. 이상기의 요구되는 성능은 정합 특성과 저삽입 손실이다.

<99> 우선, 정합 특성에 대해서 검토한다. 양호한 정합 특성을 얻기 위해서는, 도 22의 (A) 내지 도 22의 (D)에 도시한 3 구성 요소를 포함하는 집중 상수 소자를 이용하는 것이 바람직하다. 도 22의 (A)는 입력 단자와 출력 단자 사이에 캐패시터 C01을 직렬로 인덕터 L01, L02를 병렬로 접속한  $\pi$ 형 L-C-L 소자, 도 22의 (B)는 입력 단자와 출력 단자 사이에 캐패시터 C01, C02를 직렬로 인덕터 L01을 병렬로 접속한 T형 C-L-C 소자, 도 22의 (C)는 입력 단자와 출력 단자 사이에 인덕터 L01, L02를 직렬로 캐패시터 C01을 병렬로 접속한 T형 L-C-L 소자, 도 22의 (D)는 입력 단자와 출력 단자 사이에 인덕터 L01을 직렬로 캐패시터 C01, C02를 병렬로 접속한  $\pi$ 형 C-L-C 소자이다. 이러한 4 종류의 집중 상수 소자를 이용함으로써, 모든 임피던스에 정합할 수 있다.

<100> 다음에, 저삽입 손실에 대해서 검토한다. 저삽입 손실을 위해서는 직렬로 부가되는 구성 요소가 적은 것이 바람직하다. 또한, Q가 큰 쪽이 바람직하다. 일반적으로, 인덕터의 Q는 20 내지 40에 대해서, 캐패시터의 Q는 40 내지 60이다. 따라서, 직렬로 캐패시터가 하나 접속된 도 22의 (A)의  $\pi$ 형 L-C-L 소자가 이상기에 바람직한 형태이다.

<101> 도 23은 도 22의 (A)의 소자(3 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면이다. 도 9의 제1 필터(20) 및 제1 IPD(40)에 상당하는 회로를 도시한 도면이다. 도 23에서는, 도 9에 비해, 제1 필터(20)의 직렬 공진기 S1을 이용하여 제1 IPD(40)를 중단하고 있다. 그것 이외에는 도 9의 제1 필터(20) 및 제1 IPD(40)와 동일하여, 동일한 부재는 동일한 부호를 붙이고 설명을 생략한다. 도 24의 (A)는 도 23에 도시한 필터의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면이다. 전압 정재파 비 VSWR의 2를 도면 중 파선 V로 나타낸다. 일반적으로, VSWR은 2보다 작을 것이 요구되고 있다. 도 24의 (B)는 도 23에 도시한 필터의 통과 대역 부근의 통과 특성을 도시한다. 도 24의 (A) 및 (B)에서, 필터의 통과 대역의 저주파 수단을 1로, 고주파수단을 2, 통과 대역의 중심 주파수를 3의 백색 원으로 나타낸다. 이것을 각각 마커 1, 2 및 3이라고 부르기로 한다.

<102> 도 24의 (A)로부터 마커 1, 2 및 3의 VSWR은 2보다 작다. 즉, 통과 대역에 걸쳐 VSWR은 2보다 작다. 또한, 도 24의 (B)로부터 마커 1 내지 3의 감쇠량의 차는 0.3dB이다. 이와 같이, 도 23의 필터에 의해, VSWR이 작고, 대역이 플랫한 양호한 필터 특성을 얻을 수 있었다.

<103> 이상, 3 구성 요소를 이용한 이상기에 대해서 검토하였다. 또한, 구성 요소 수를 줄여 실장 면적을 저감하기 위해서, 2 구성 요소, 1 구성 요소의 이상기에 대해서 검토한다. 2 구성 요소의 집중 상수 소자로서는 도 25의

(A) 및 도 25의 (B)가 있다. 도 25의 (A)는 입력 단자와 출력 단자 사이에 캐패시터 C01을 직렬로 인덕터 L01을 병렬로 접속한 소자, 도 25의 (B)는 입력 단자와 출력 단자 사이에 인덕터 L01을 직렬로 캐패시터 C01을 병렬로 접속한 소자이다. 1 구성 요소의 집중 상수 소자로서는 도 25의 (C) 내지 도 25의 (F)가 있다. 도 25의 (C)는 입력 단자와 출력 단자 사이에 인덕터 L01을 병렬로 접속한 소자, 도 25의 (D)는 입력 단자와 출력 단자 사이에 캐패시터 C01을 병렬로 접속한 소자, 도 25의 (E)는 입력 단자와 출력 단자 사이에 인덕터 L01을 직렬로 접속한 소자, 도 25의 (F)는 입력 단자와 출력 단자 사이에 캐패시터 C01을 직렬로 접속한 소자이다.

<104> 3 구성 요소를 검토한 경우와 마찬가지로, 삽입 손실을 저감하기 위해서는 직렬로 접속되는 구성 요소는 적고, 캐패시터를 접속한 쪽이 바람직하다. 따라서, 2 구성 요소의 이상기로서는 도 25의 (A)의 인덕터를 병렬로 캐패시터를 직렬로 접속한 소자가 바람직하다. 또한, 1 구성 요소의 이상기로서는 도 25의 (C)의 인덕터를 병렬로 접속한 소자가 바람직하다.

<105> 도 26은 도 25의 (A)의 소자(2 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면이다. 도 26의 필터는, 제1 IPD(40)가 안테나 단자 Ant와 제1 필터(20) 사이에 직렬로 캐패시터 C1이 설치되고, 병렬로 인덕터 L1이 설치되어 있다. 그 밖의 구성은 도 23과 동일하여, 동일한 부재는 동일한 부호를 붙이고 설명을 생략한다.

<106> 도 27은 도 25의 (C)의 소자(1 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면이다. 도 27의 필터는, 제1 IPD(40)가 안테나 단자 Ant와 제1 필터(20) 사이에 병렬로 인덕터 L1이 설치되어 있다. 그 밖의 구성은 도 23과 동일하여, 동일한 부재는 동일한 부호를 붙이고 설명을 생략한다.

<107> 도 28의 (A) 및 (B)는 도 26에 도시한 필터(2 구성 요소의 소자를 이상기에 사용한 필터)의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면이다. 전압 정재파 비 VSWR의 2를 도면 중 파선 V로, 컨덕턴스  $g=1$ 을 도면 중 실선 G로 나타낸다(도 30의 (A) 및 (B)도 동일). 또한, 도 24와 마찬가지로, 필터의 통과 대역의 저주파수단, 고주파수단, 통과 대역의 중심 주파수를, 각각 마커 1, 2 및 3으로 한다(도 29의 (A) 내지 도 31의 (B)도 동일).

<108> 여기서, 안테나 단자 Ant로부터 제1 필터(20)측을 본 임피던스를 제1 필터(20)의 종단 저항으로 나눈 것을 규격화 임피던스 Z라고 한다. 그리고, 컨덕턴스  $g$ 는 규격화 임피던스 Z의 저항 성분  $Re\{Z\}$ 의 역수이다. 따라서, 어떤 마커가  $g=1$ 의 원 G의 내측에 있을 때에는, 그 마커의 주파수에서 안테나 단자 Ant로부터 제1 필터(20)측을 본 규격화 임피던스 Z의 저항 성분  $Re\{Z\}$ 가 1보다 작은 것을 나타낸다. 한편, 어떤 마커가  $g=1$ 의 원 G의 외측에 있을 때에는, 그 마커의 주파수에서 안테나 단자 Ant로부터 제1 필터(20)측을 본 규격화 임피던스 Z의 저항 성분  $Re\{Z\}$ 가 1보다 큰 것을 나타낸다.

<109> 도 28의 (A)는 마커 3의  $Re\{Z\}$ 가 1보다 작은(즉, 마커 3이  $g=1$ 의 원 W의 내측에 있는) 필터의 예이다. 이 경우, 마커 1이 VSWR=2의 원 V의 외측에 있다. 즉, 마커 1의 VSWR이 2보다 크다. 한편, 도 28의 (B)는 마커 3의  $Re\{Z\}$ 가 1보다 큰(즉, 마커 3이 원 W의 외측에 있는) 필터의 예이다. 이 경우, 마커 1 내지 3은 모두 VSWR=2의 내측에 있다. 즉, 마커 1 내지 3의 VSWR은 2 이하이다.

<110> 도 29의 (A) 및 도 29의 (B)는 도 26에 도시한 필터(2 구성 요소의 소자를 이상기에 사용한 필터)의 통과 대역 부근의 통과 특성을 도시한다. 도 29의 (A)는 도 28의 (A)의 필터(마커 3의  $Re\{Z\}$ 가 1보다 작음)의 통과 특성의 도면이다. 이 경우, 마커 1 내지 3의 감쇠량의 차는 0.7dB이다. 한편, 도 29의 (B)는 도 28의 (B)의 필터(마커 3의  $Re\{Z\}$ 가 1보다 큼)의 통과 특성의 도면이다. 이 경우, 마커 1 내지 3의 감쇠량의 차는 0.4dB이다.

<111> 도 30의 (A) 및 (B)는 도 27에 도시한 필터(1 구성 요소의 소자를 이상기에 사용한 필터)의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면이다. 도 30의 (A)는 마커 3의  $Re\{Z\}$ 가 1보다 작은 필터의 예이다. 이 경우, 마커 1 및 2의 VSWR이 2보다 크다. 한편, 도 30의 (B)는 마커 3의  $Re\{Z\}$ 가 1보다 큰 필터의 예이다. 이 경우, 마커 1 내지 3의 VSWR은 2보다 작다.

<112> 도 31의 (A) 및 도 31의 (B)는 도 27에 도시한 필터(1 구성 요소의 소자를 이상기에 사용한 필터)의 통과 대역 부근의 통과 특성을 도시한다. 도 31의 (A)는 도 30의 (A)의 필터(마커 3의  $Re\{Z\}$ 가 1보다 작음)의 통과 특성의 도면이다. 이 경우, 마커 1 내지 3의 감쇠량의 차는 0.8dB이다. 한편, 도 31의 (A)는 도 30의 (B)의 필터(마커 3의  $Re\{Z\}$ 가 1보다 큼)의 통과 특성의 도면이다. 이 경우, 마커 1 내지 3의 감쇠량의 차는 0.35dB이다.

<113> 도 28의 (A) 내지 도 31의 (B)로부터, 통과 대역의 중심 주파수(마커 3)에서 안테나 단자 Ant로부터 필터측을

본  $Re\{Z\}$ 가 1보다 작은 경우, 안테나 단자 Ant로부터 필터측을 본 반사 특성에서, 통과 대역의 저주파단(마커 1) 또는 고주파단(마커 2)의 VSWR이 2를 넘게 된다. 그리고, 통과 대역(마커 1 내지 3)의 감쇠량의 차가 크게 된다. 한편, 통과 대역의 중심 주파수(마커 3)에서 안테나 단자 Ant로부터 필터측을 본  $Re\{Z\}$ 가 1보다 큰 경우, 안테나 단자 Ant로부터 필터측을 본 반사 특성에서, 통과 대역(마커 1 내지 3)의 VSWR은 2 이하로 된다. 그리고, 통과 대역의 감쇠량의 차가 작게 된다.

<114> 이와 같이, 2 구성 요소를 이용한 이상기 또는 1 구성 요소를 이용한 이상기를 갖는 필터에서도, 통과 대역의 중심 주파수에서의 안테나 단자 Ant로부터 필터측을 본  $Re\{Z\}$ 를 1보다 크게 함으로써, 도 23에 도시한 3 구성 요소를 이용한 이상기를 갖는 필터와 마찬가지로의 특성(통과 대역에서 VSWR이 2보다 작고, 감쇠량의 차가 작음)을 얻을 수 있다.

<115> 그래서, 통과 대역의 중심 주파수에서의 안테나 단자 Ant로부터 필터측을 본  $Re\{Z\}$ 가 1보다 크게 되는 조건에 대해서 검토한다. 도 26 또는 도 27의 필터에서는, 통과 대역의 중심 주파수에서의  $Re\{Z\}$ 는, 이상기와 제1 필터(20)의 계면(도 26, 도 27의 a-a'면)으로부터 필터(20)를 본 규격화 임피던스  $Z_0$ 의 저항 성분(컨덕턴스의 역수)  $Re\{Z_0\}$ 와 동일하거나 크다. 이는, 도 26의 필터에서는, 우선, 직렬로 캐패시터 C1이 접속하고, 다음에, 인덕터 L1이 병렬로 접속되어 있기 때문이고, 도 26의 필터에서는 인덕터 L1이 병렬로 접속되어 있기 때문이다.

<116> 즉,  $Re\{Z\} \geq Re\{Z_0\}$ 이다. 따라서,  $Re\{Z_0\} > 1$ 을 만족하면,  $Re\{Z\} > 1$ 을 만족한다. 래더형 필터에서는, 필터 단부로부터 본 통과 대역의 중심 주파수에서의 규격화 임피던스  $Z_0$ 의 저항 성분은

<117> 
$$(Re\{Z_0\} \times R)^2 = 1 / ((2\pi f_0)^2 \times C_p \times C_s)$$

<118> 로 표현된다. 여기서,  $C_p$ 는 제1 필터(20)의 가장 이상기측의 병렬 공진기 P1의 용량값,  $C_s$ 는 제1 필터(20)의 가장 이상기측의 직렬 공진기 S1의 용량값, R은 제1 필터(20)의 종단 저항 및  $f_0$ 는 통과 대역의 중심 주파수이다.

<119> 여기에,  $Re\{Z_0\} > 1$ 의 조건을 대입하면,

<120> 
$$C_p \times C_s < 1 / (R \times 2\pi f_0)^2$$

<121> 로 된다.

<122> 도 32는 실시예 2에 따른 분파기의 회로 구성을 도시하는 도면이다. 실시예 2에 따른 분파기는, 1 구성 요소의 이상기를 갖는 분파기의 예이다. 실시예 1에 따른 도 9의 분파기에 대해서 제1 및 제2 IPD(40, 50)가 도 25의 (C)에서 도시한 1 구성 요소의 위상 정합 회로로 치환되어 있다. 또한, 도 18과 같이, 제1 및 제2 필터(20, 30)는 직렬 공진기 S1, S1'을 이용하여 제1 및 제2 IPD(40, 50)를 종단하고 있다. 제1 및 제2 필터(20, 30)의 안테나 단자 Ant(60)측의 직렬 공진기 S1, S1'의 용량값이 후술하는 값으로 되어 있다. 그 밖의 구성은 도 9와 동일하여 설명을 생략한다.

<123> 실시예 2에 따른 분파기는, 박막 벌크 탄성과 공진기 S1 내지 S4, P1 내지 P4를 래더형으로 접속 배치한 제1 필터(20)와, 박막 벌크 탄성과 공진기 S1' 내지 S4', P1' 내지 P4'을 래더형으로 접속 배치한 제2 필터(30)를 갖는다. 또한, 안테나 단자 Ant(공통 단자)와 제1 및 제2 필터(20, 30) 사이에 각각 설치되고, 제1 필터(20) 및 제2 필터(30) 간의 위상을 정합시키는 제1 위상 정합 회로(제1 IPD(40)) 및 제2 위상 정합 회로(제2 IPD(50))를 갖고 있다. 또한, 제1 및 제2 위상 정합 회로(IPD(40, 50))에 각각 포함되고, 그라운드와 공통 단자 사이에 접속되는 인덕터 L1, L2를 갖고 있다. 그리고, 제1 또는 제2 필터(20, 30)의 각각의 제1 또는 제2 IPD(40, 50)에 가장 가까운 직렬 공진기 S1, S1' 및 병렬 공진기 P1, P1'의 용량값을 각각  $C_s$  및  $C_p$ , 분파기의 종단 저항을 R, 대응하는 제1 또는 제2 필터(20, 30)의 통과 대역의 중심 주파수를  $f_0$ 라고 하였을 때,  $C_p \times C_s < 1 / (R \times 2\pi f_0)^2$ 이다.

<124> 이상의 구성에 의해, 안테나 단자로부터 제1 및 제2 필터(20, 30)를 보았을 때의 규격화 임피던스의 컨덕턴스 g가 1보다 크게 된다. 따라서, 통과 대역의 VSWR을 2보다 작게 할 수 있다. 또한, 통과 대역의 감쇠량의 차를 저감할 수 있다. 또한, 이상기(위상 정합 회로)의 구성 요소 수를 저감할 수 있어 실장 면적을 작게 할 수 있다.

<125> (실시예 3)

- <126> 도 33은 실시예 3에 따른 분파기의 회로 구성을 도시하는 도면이다. 실시예 3은 도 25의 (A)에서 도시한 2 구성 요소의 이상기를 갖는 분파기의 예이다. 실시예 2에 따른 분파기 외에, 제1 또는 제2 IPD(40, 50)(위상 정합 회로)에 포함되고, 안테나 단자 Ant(공통 단자)와 제1 또는 제2 필터(20, 30) 사이에, 각각 캐패시터 C1, C2를 갖고 있다. 그 밖의 구성은 실시예 2와 동일하여 설명을 생략한다. 이러한 구성에서도 실시예 2의 분파기와 마찬가지로의 효과를 발휘할 수 있다.
- <127> 다음에, 실시예 2 및 실시예 3에 따른 분파기의 제1 필터(20) 및 제2 필터(30)의 예에 대해서 설명한다. 또한, 제2 필터(30)는 제1 필터(20)와 마찬가지로기 때문에, 제1 필터(20)에 대해서 설명하고, 제2 필터(30)에 대해서는 설명을 생략한다. 실시예 2 및 실시예 3에서,  $C_p \times C_s$ 의 관계를 만족하는  $C_p$  및  $C_s$ 의 관계는 복수 생각할 수 있다. 그 중에서, 제1 필터(20)의 제1 IPD(40)에 가장 가까운 직렬 공진기 S1의 용량값을 작게 하는 것이 바람직하다. 이는, S1 이외의 용량값을 변경하면, 래더형 필터의 래더단 간의 임피던스의 차에 의해 신호의 반사가 생기기 때문이다.
- <128> 도 34의 (A)는 실시예 2 및 실시예 3에 따른 분파기의 제1 필터(20)의 상시도(하부 전극막(22)을 도시하기 위해서 압전막(23)은 2점 채선으로 나타냄), 도 34의 (B)는 X-X' 단면도이다. 하부 전극막(22), 압전막(23) 및 상부 전극막(24)이 겹치는 영역이 멤브레인 영역이다. 도면 중 도 34의 (A), 도 8의 (A)에서는, 조정층(26)은 멤브레인 영역과 일치하도록 형성되어 있다. 즉, 도 8의 (A) 및 도 34의 (A)에서는, 조정층(26)이 형성된 영역이 멤브레인 영역과 동일하다. 도 34의 (A) 및 도 34의 (B)에서는, 도 8의 (A) 및 도 8의 (B)에 대해서, 직렬 공진기 S1a의 멤브레인 영역의 면적이, 그 밖의 직렬 공진기 S2 내지 S4의 멤브레인 영역의 면적보다 작게 되어 있다. 즉, 제1 필터(20)의 제1 IPD(40)(제1 위상 정합 회로)에 가장 가까운 직렬 공진기 S1의 멤브레인 영역의 면적은, 제1 필터(20)에 포함되는 다른 어느 것의 직렬 공진기 S2 내지 S4의 멤브레인 영역의 면적보다 작다. 이에 의해, 직렬 공진기 S1의 용량값을 다른 공진기보다 작게 할 수 있다. 따라서, 실시예 2 및 실시예 3에 따른 분파기를 실현할 수 있다.
- <129> 실시예 2 및 실시예 3에서는, 제1 및 제2 IPD(40, 50)는 모두 2 구성 요소 또는 1 구성 요소의 위상 정합 회로이고, 제1 및 제2 필터(20, 30)는 모두  $C_p \times C_s < 1 / (R_x 2 \pi f_0)^2$ 를 만족하는 필터이다. 그러나, 어느 것이든 한쪽의 위상 정합 회로 및 필터가 상기 조건을 만족하는 위상 정합 회로 및 필터이어도 된다. 이 경우, 조건을 만족하는 쪽의 필터는, 통과 대역의 VSWR을 2보다 작게 하여, 통과 대역의 감쇠량의 차를 저감할 수 있다. 또한, 이상기(위상 정합 회로)의 실장 면적을 작게 할 수 있다.
- <130> 또한, 실시예 2 및 실시예 3에서는 위상 정합 회로로서 IPD(40, 50)를 이용하고 있지만, 위상 정합 회로로서 기능하면 IPD로 한정되는 것이 아니다. 또한, 통과 대역으로서 약 1.9GHz의 예이었지만, 이 주파수로 한정되는 것이 아니다.
- <131> 이상, 본 발명의 실시예를 설명하였다. 본 발명은 상기 실시예로 한정되는 것이 아니고, 본 발명의 범위 내에서 다른 실시예나 변형예 등을 포함한다.

**발명의 효과**

- <132> 소형이고 특성이 좋은 분파기를 제공할 수 있다.

**도면의 간단한 설명**

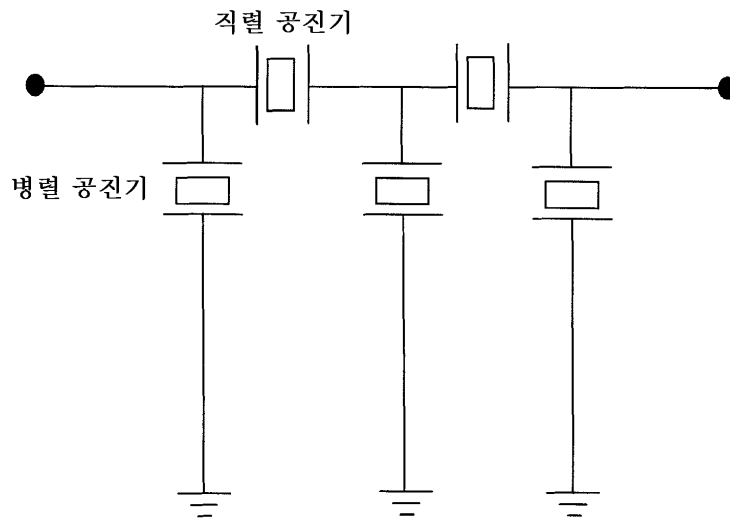
- <1> 도 1은 래더형 필터의 일 구성예를 도시하는 도면.
- <2> 도 2는 도 1에 도시하는 래더형 필터에 부가 인덕턴스를 설치한 구성을 도시하는 도면.
- <3> 도 3은 도 2에 도시하는 래더형 필터에 부가 인덕턴스를 설치한 구성을 도시하는 도면.
- <4> 도 4는 특허 문헌 2에 제안되어 있는 분파기를 도시하는 도면.
- <5> 도 5는 특허 문헌 3 및 4에 제안되어 있는 분파기를 도시하는 도면.
- <6> 도 6은 본 발명의 일 실시예에 따른 분파기의 기본 구성을 도시하는 블록도.
- <7> 도 7은 도 6에 도시하는 분파기의 단면도(A) 및 평면도(B).
- <8> 도 8은 도 6에 도시하는 제1 FBAR 필터의 평면도(A) 및 단면도(B).

- <9> 도 9는 실시예 1에 따른 분파기의 회로도.
- <10> 도 10은 실시예 1에서 이용되고 있는 제1 IPD의 평면도.
- <11> 도 11은 실시예 1에서 이용되고 있는 제1 및 제2 IPD에서 실현되는 필터의 구성예.
- <12> 도 12는 저역 통과 필터를 이용한 분파기의 통과 특성(A) 및 고역 통과 필터를 이용한 분파기의 통과 특성(B)을 도시하는 그래프.
- <13> 도 13은 저역 통과 필터를 이용한 분파기의 반사 특성(A) 및 고역 통과 필터를 이용한 분파기의 반사 특성(B)을 도시하는 그래프.
- <14> 도 14는 제1 및 제2 IPD에서 형성되는 하이 패스 필터의 다른 구성예.
- <15> 도 15는 제1 및 제2 IPD의 회로 구성과 이들을 종단하는 구성의 관계를 도시하는 도면.
- <16> 도 16은 제1 및 제2 IPD의 회로 구성과 이들을 종단하는 구성의 관계를 도시하는 도면.
- <17> 도 17은 제1 및 제2 IPD의 회로 구성과 이들을 종단하는 구성의 관계를 도시하는 도면.
- <18> 도 18은 제1 및 제2 IPD의 회로 구성과 이들을 종단하는 구성의 관계를 도시하는 도면.
- <19> 도 19는 도 15 및 도 16에 도시하는 구성의 변형예를 도시하는 도면.
- <20> 도 20은 제1 및 제2 IPD에 인덕턴스를 추가하는 구성을 도시하는 도면.
- <21> 도 21은 실시예 1에서 이용되고 있는 제1 IPD의 평면도(A) 및 단면도(B).
- <22> 도 22는 3 구성 요소로 이루어지는 집중 상수 소자를 도시한 도면으로서, 도 22의 (A)는  $\pi$ 형 L-C-L 소자, 도 22의 (B)는 T형 C-L-C 소자, 도 22의 (C)는 T형 L-C-L 소자, 도 22의 (D)는  $\pi$ 형 C-L-C 소자를 도시하는 도면.
- <23> 도 23은 도 22의 (A)의 소자(3 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면.
- <24> 도 24의 (A)는 도 23에 도시한 필터의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면, 도 24의 (B)는 도 23에 도시한 필터의 통과 대역 부근의 통과 특성을 도시한 도면.
- <25> 도 25는 2 구성 요소 또는 1 구성 요소를 포함하는 집중 상수 소자를 도시한 도면으로서, 도 25의 (A)는 병렬 L 직렬 C 소자, 도 25의 (B)는 병렬 C 직렬 L 소자, 도 25의 (C)는 병렬 L 소자, 도 25의 (D)는 병렬 C 소자, 도 25의 (E)는 직렬 L 소자, 도 25의 (F)는 직렬 C 소자를 도시하는 도면.
- <26> 도 26은 도 25의 (A)의 소자(2 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면.
- <27> 도 27은 도 25의 (C)의 소자(1 구성 요소의 소자)를 이상기에 이용한 필터의 회로 구성을 도시하는 도면.
- <28> 도 28은 도 26에 도시한 필터의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면으로서, 도 28의 (A)는 마커 3의  $\text{Re}\{Z\}$ 가 1보다 작은 필터의 예, 도 28의 (B)는 마커 3의  $\text{Re}\{Z\}$ 가 1보다 큰 필터의 예를 도시한 도면.
- <29> 도 29는 도 26에 도시한 필터의 통과 특성을 도시한 도면으로서, 도 29의 (A)는 도 28의 (A)의 필터, 도 29의 (B)는 도 28의 (B)의 필터의 통과 특성을 도시한 도면.
- <30> 도 30은 도 27에 도시한 필터의 안테나 단자 Ant로부터 본 필터의 반사 특성을 스미스 차트로 도시한 도면으로서, 도 30의 (A)는 마커 3의  $\text{Re}\{Z\}$ 가 1보다 작은 필터의 예, 도 30의 (B)는 마커 3의  $\text{Re}\{Z\}$ 가 1보다 큰 필터의 예를 도시한 도면.
- <31> 도 31은 도 27에 도시한 필터의 통과 특성을 도시한 도면으로서, 도 31의 (A)는 도 30의 (A)의 필터, 도 31의 (B)는 도 30의 (B)의 필터의 통과 특성을 도시한 도면.
- <32> 도 32는 실시예 2에 따른 분파기의 회로 구성을 도시하는 도면.
- <33> 도 33은 실시예 3에 따른 분파기의 회로 구성을 도시하는 도면.
- <34> 도 34의 (A)는 실시예 2 및 실시예 3에 따른 분파기에서 이용하는 제1 필터의 상시도, 도 34의 (B)는 X-X' 단면도.

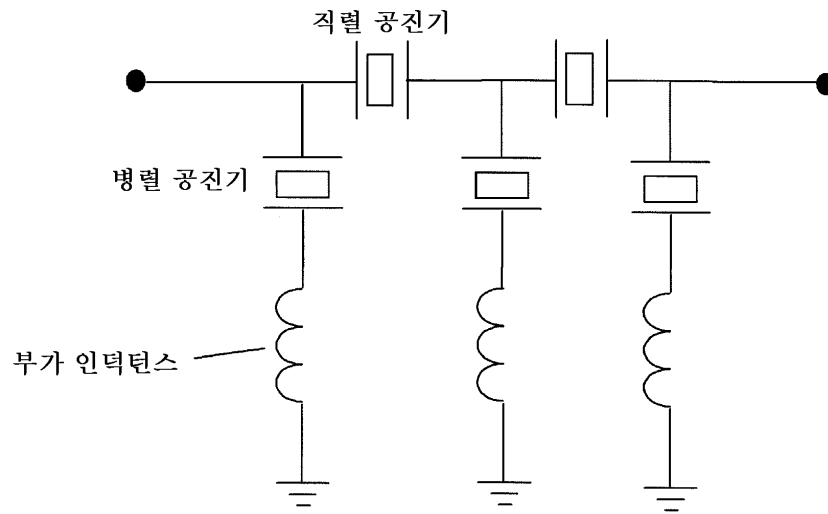
- <35> <도면의 주요 부분에 대한 부호의 설명>
- <36> 10 : 패키지(기판)
- <37> 12 : 캐비티
- <38> 14 : 도전 패턴
- <39> 15 : 범프
- <40> 16 : 그라운드→풋 패드
- <41> 18 : 캐스터레이션
- <42> 19 : 커버
- <43> 20 : 제1 FBAR 필터
- <44> 30 : 제2 FBAR 필터
- <45> 40 : 제1 IPD
- <46> 50 : 제2 IPD
- <47> 60 : 안테나 단자(공통 단자)
- <48> 62, 64 : 입출력 단자
- <49> 70, 80 : 부가 인덕턴스

**도면**

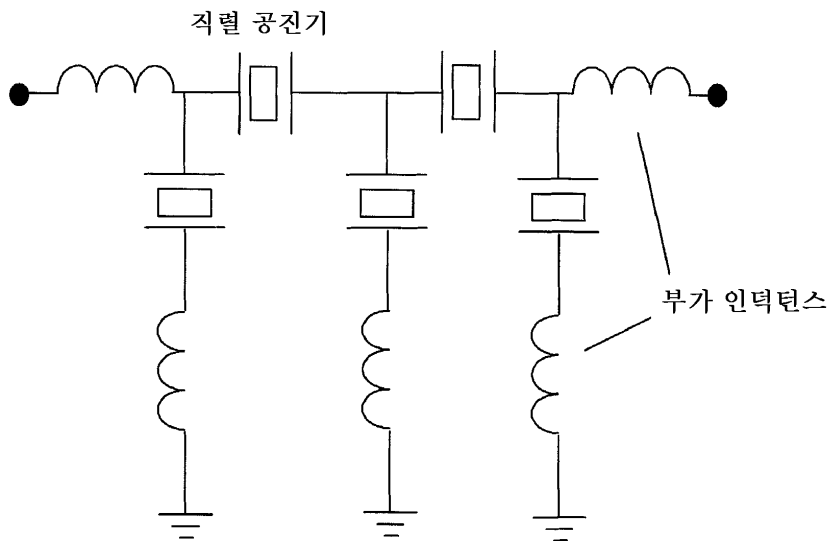
**도면1**



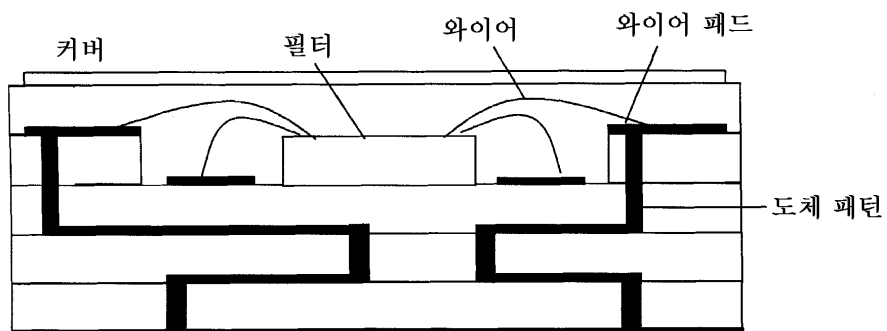
도면2



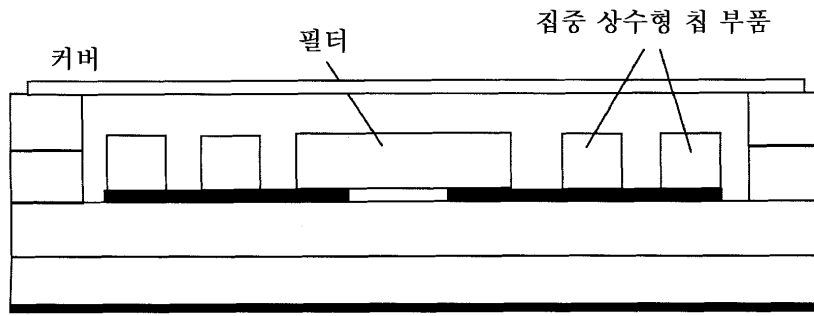
도면3



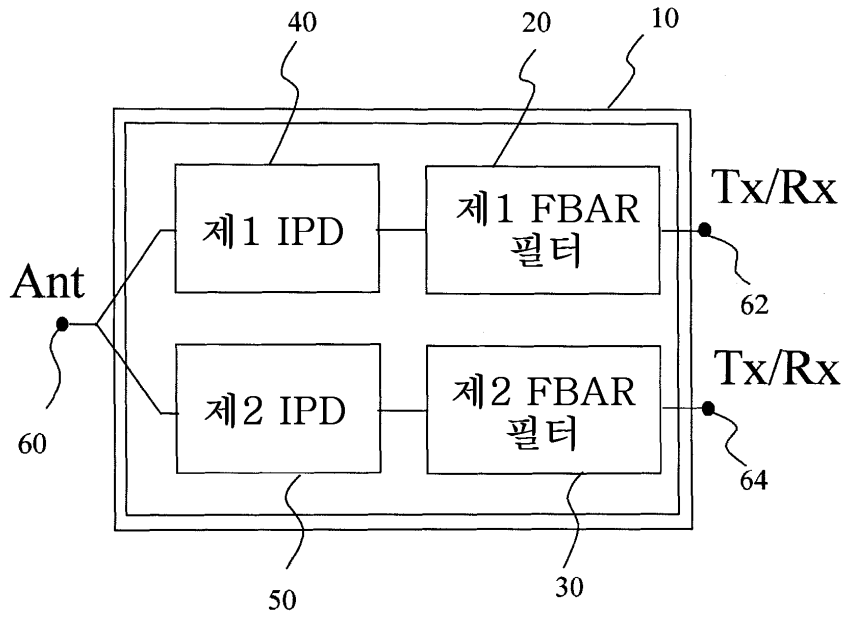
도면4



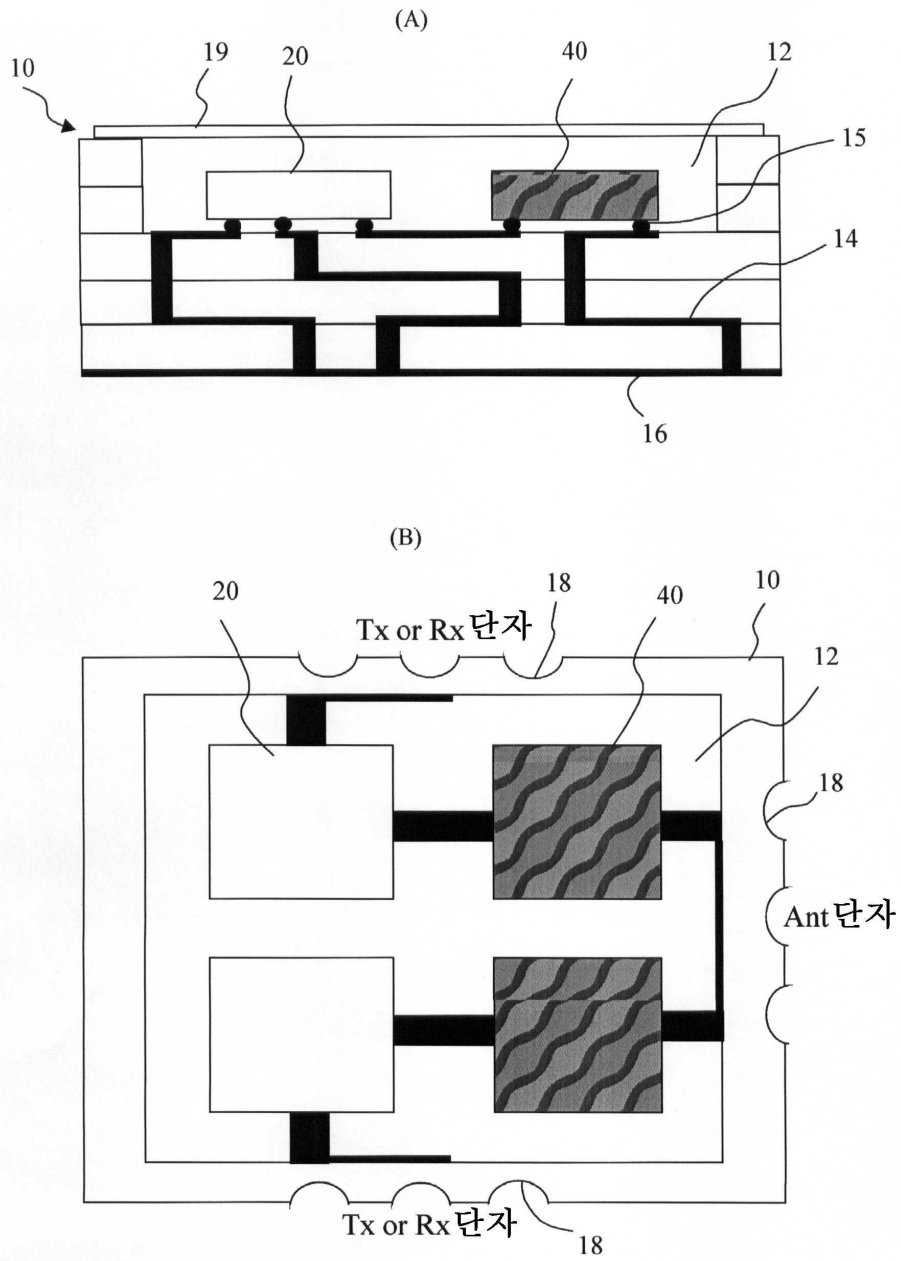
도면5



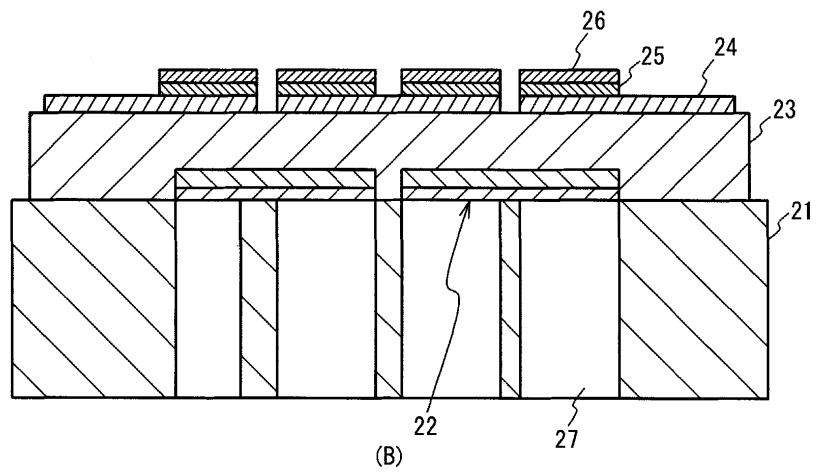
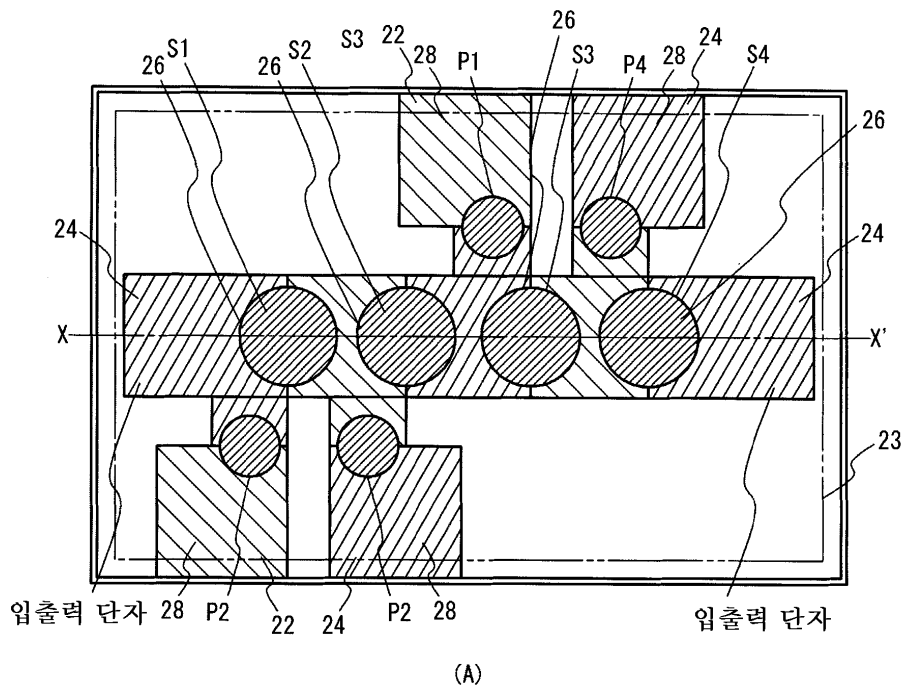
도면6



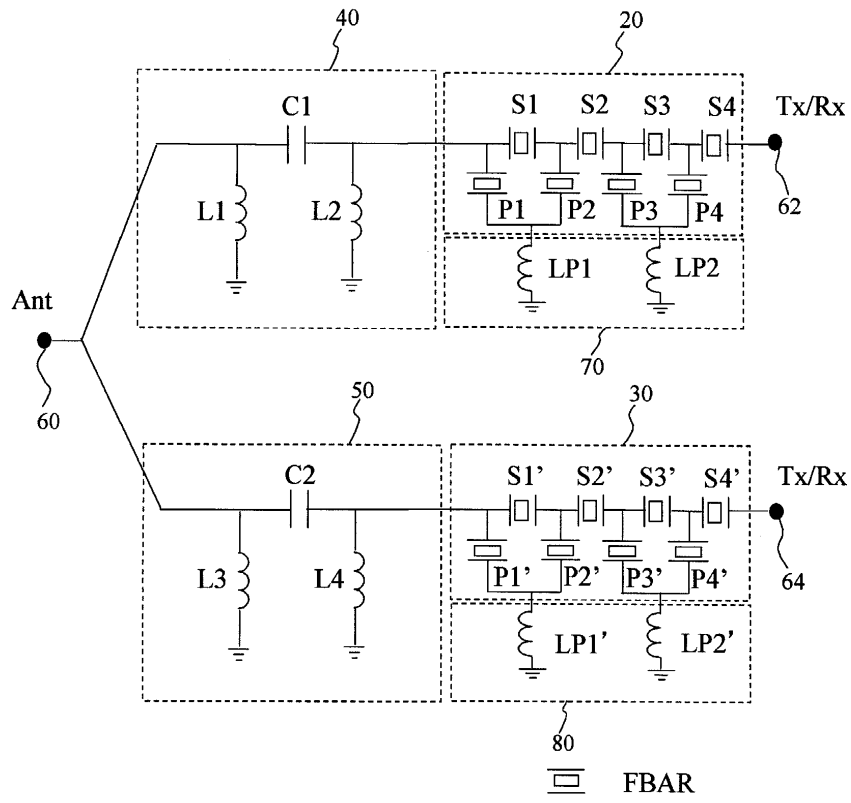
도면7



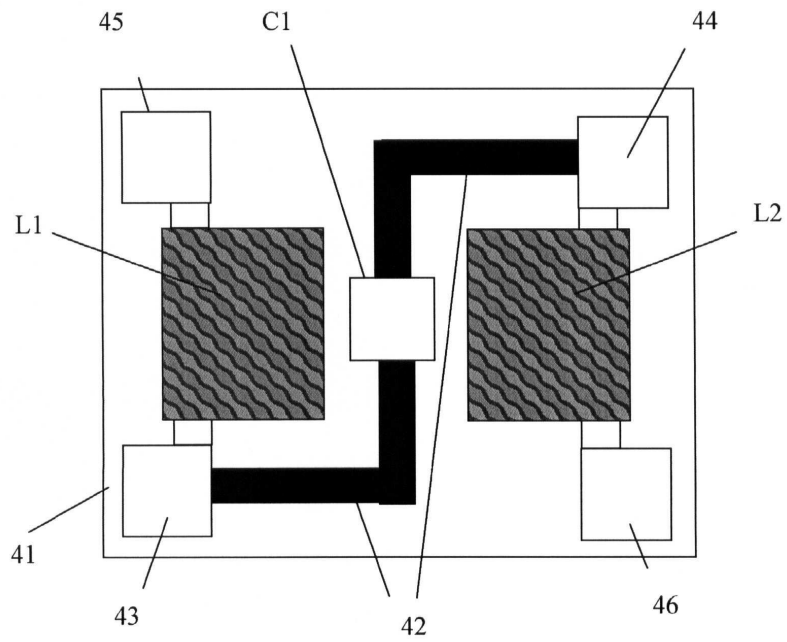
도면8



도면9

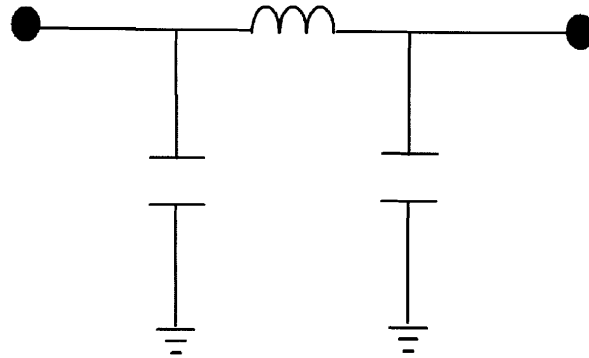


도면10

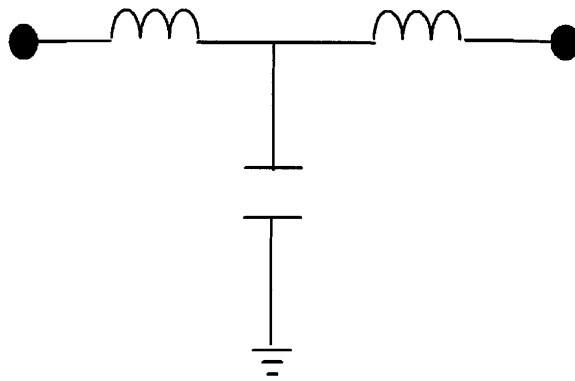


도면11

(A)



(B)

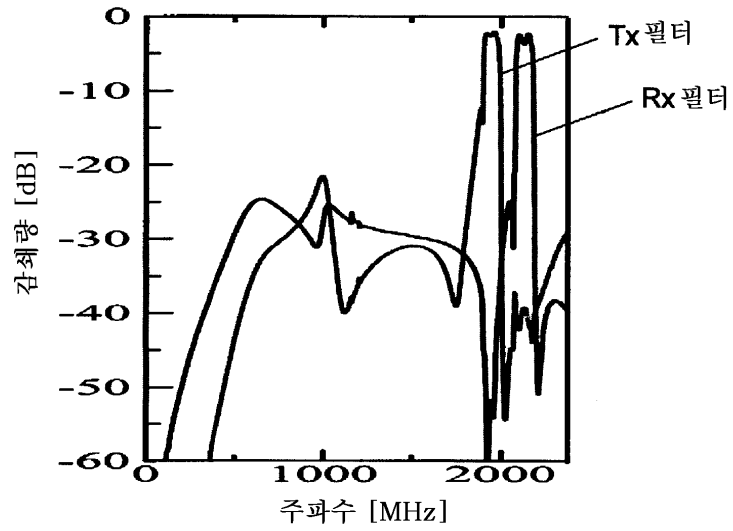


도면12

듀플렉서의 통과 특성

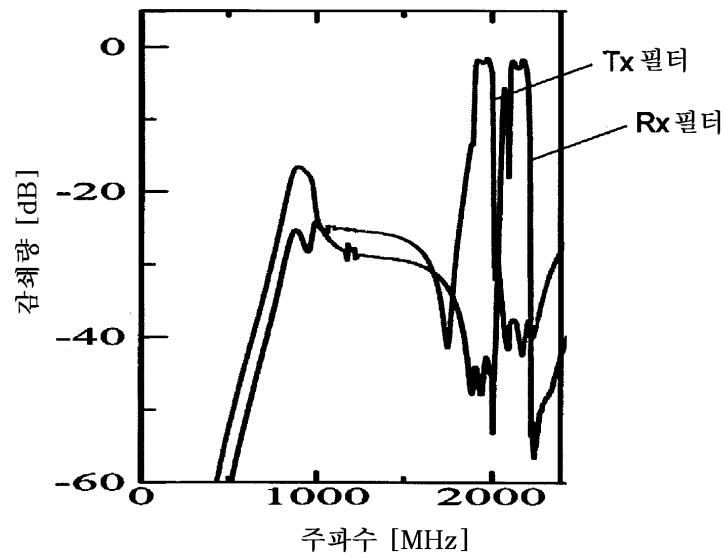
(A)

저역 통과형의 경우



(B)

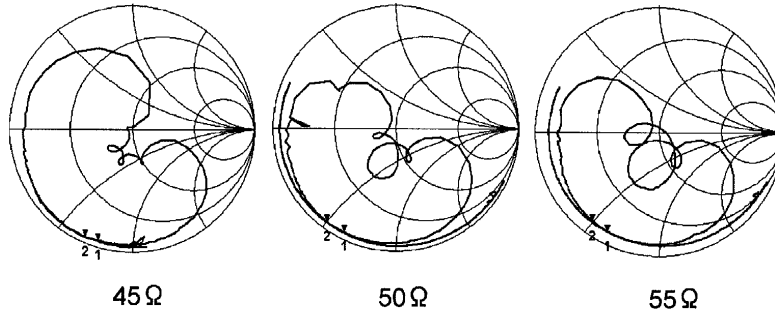
고역 통과형의 경우



도면13

(A)  
반사 특성

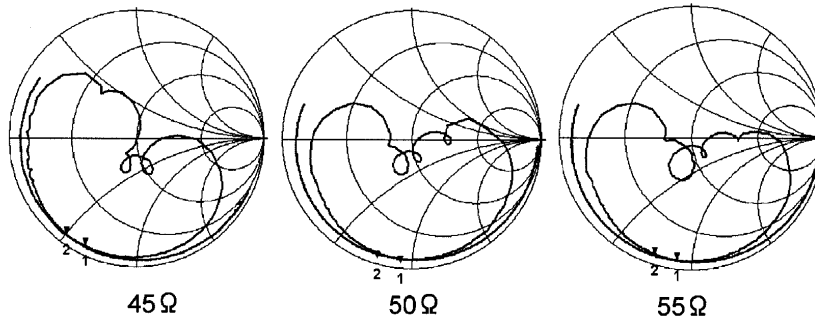
저역 통과 필터의 경우



(이상기의 특성 임피던스  $Z_0$ :45, 50, 55[Ω]일 때)

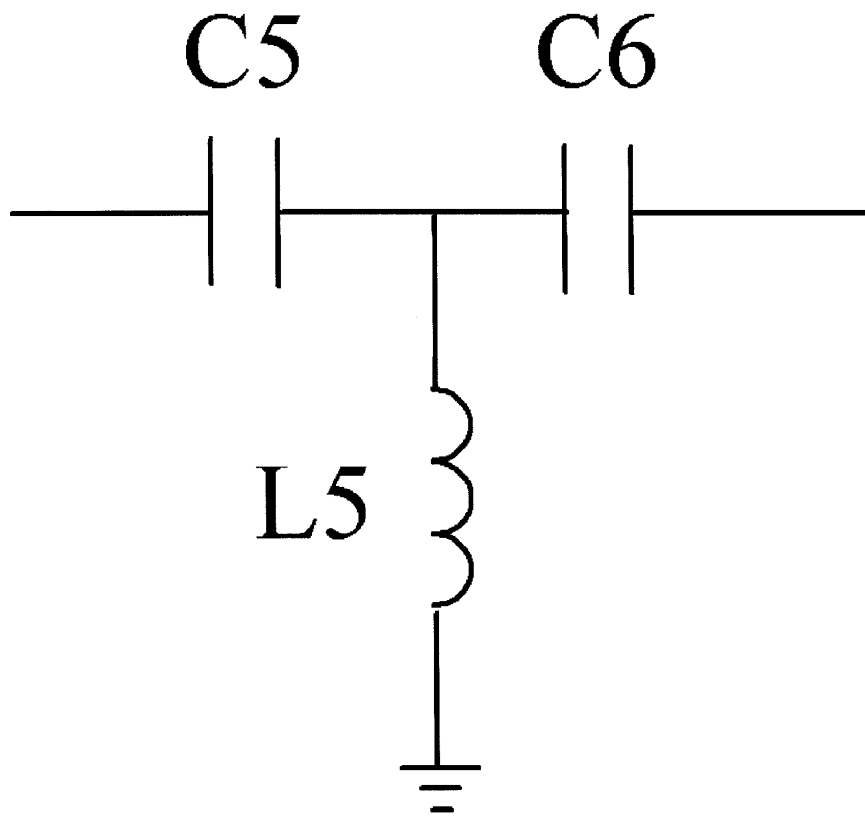
(B)

고역 통과 필터의 경우

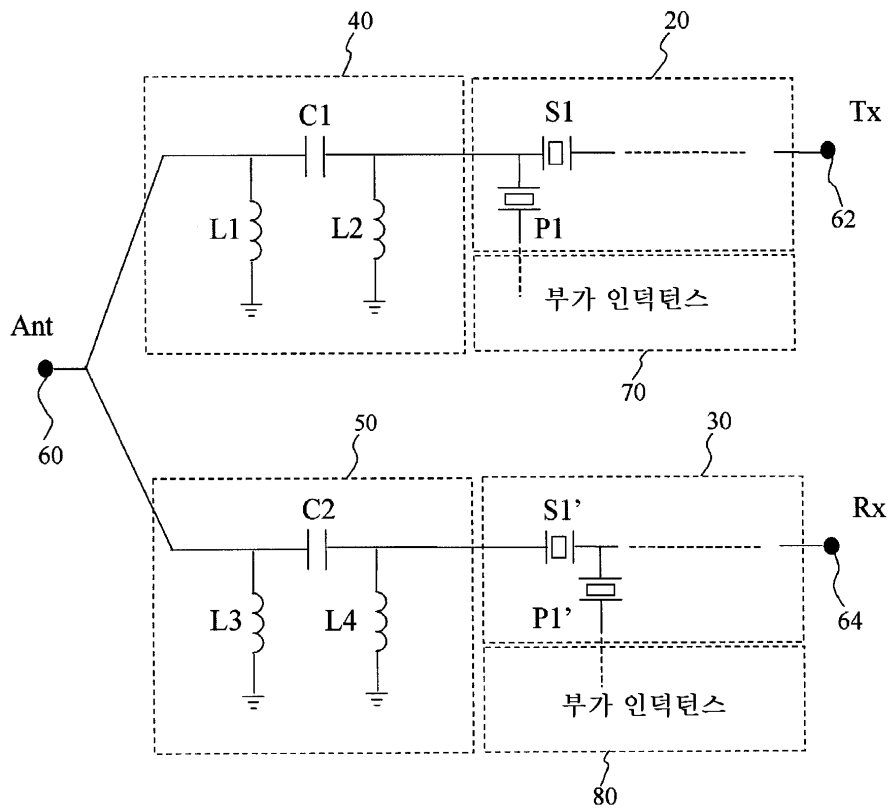


(이상기의 특성 임피던스  $Z_0$ :45, 50, 55[Ω]일 때)

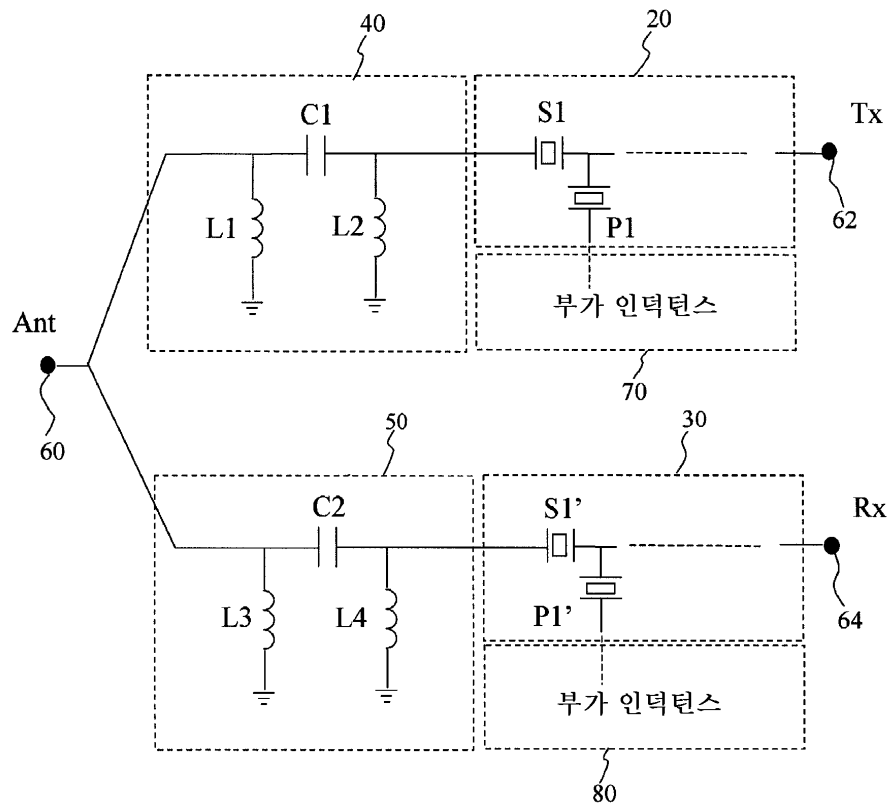
도면14



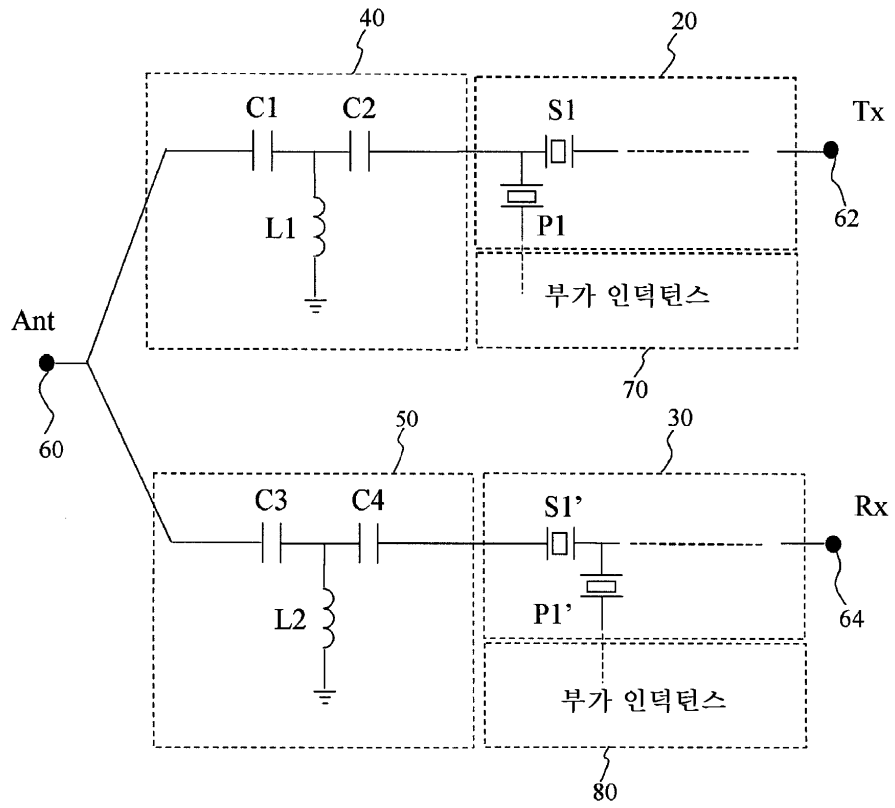
도면15



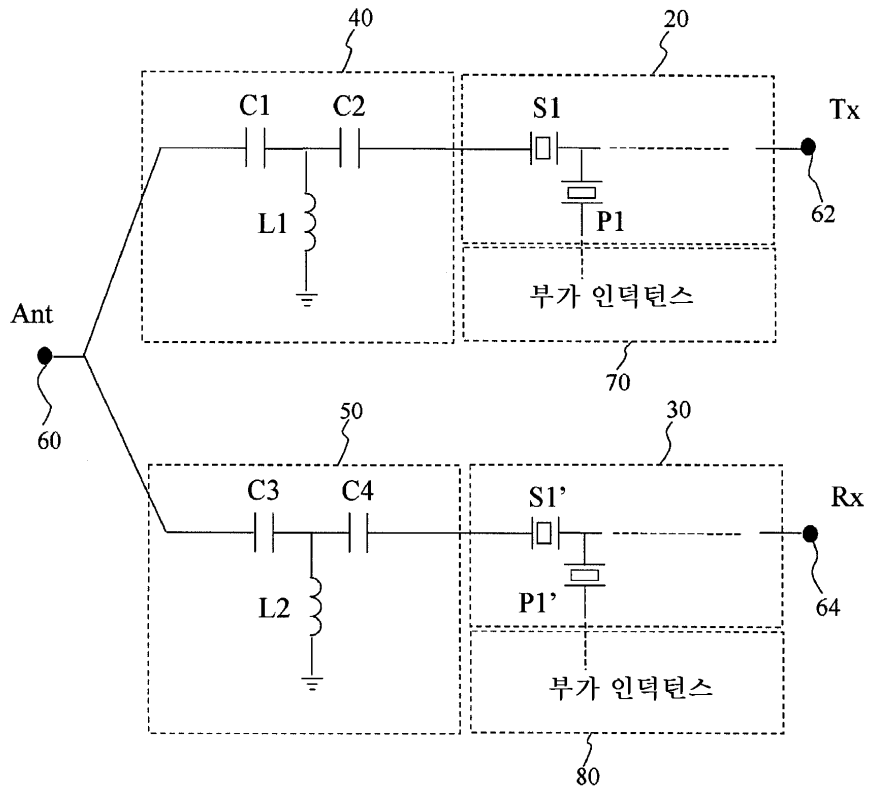
도면16



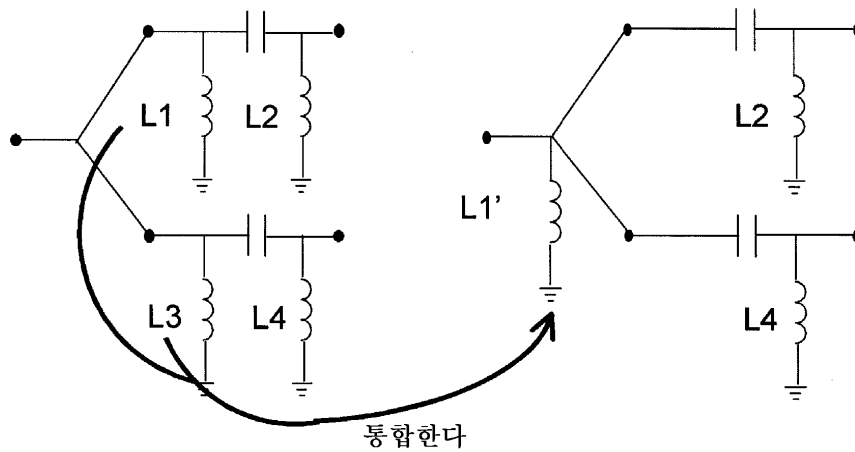
도면17



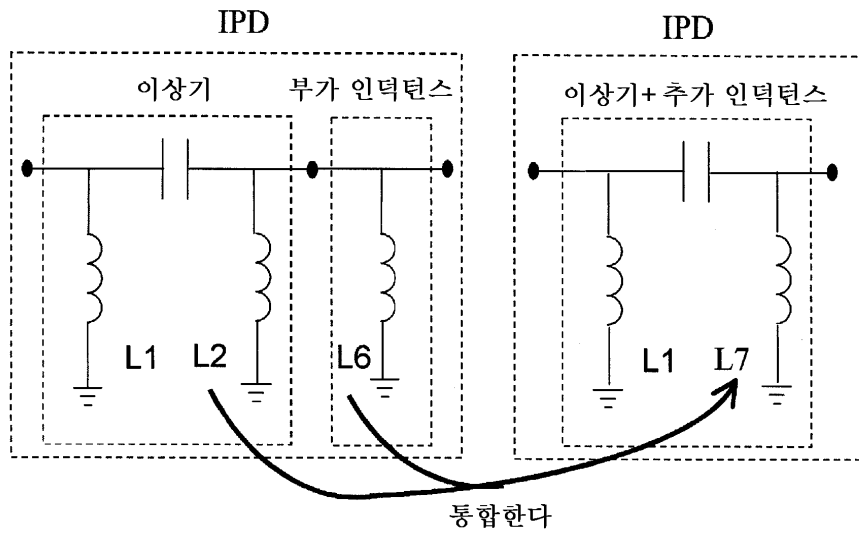
도면18



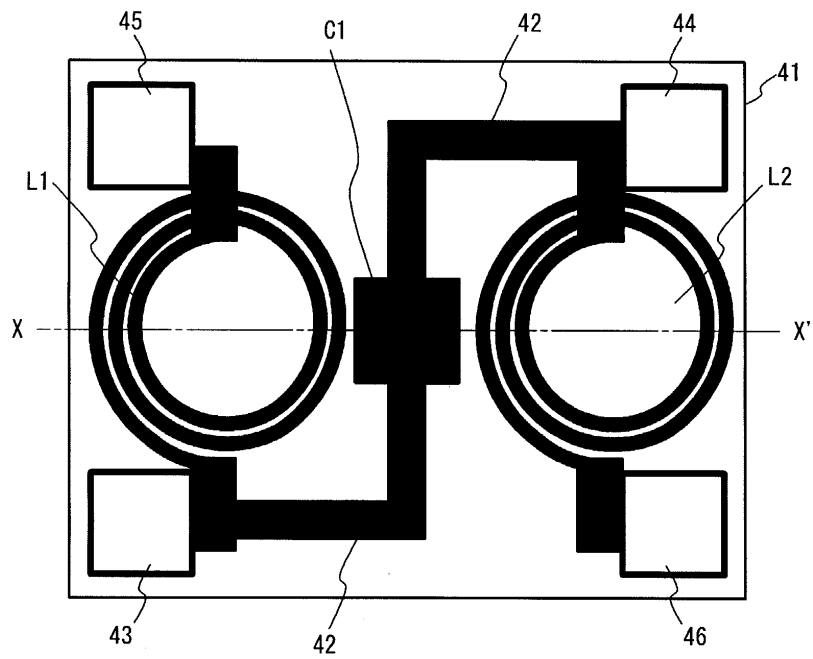
도면19



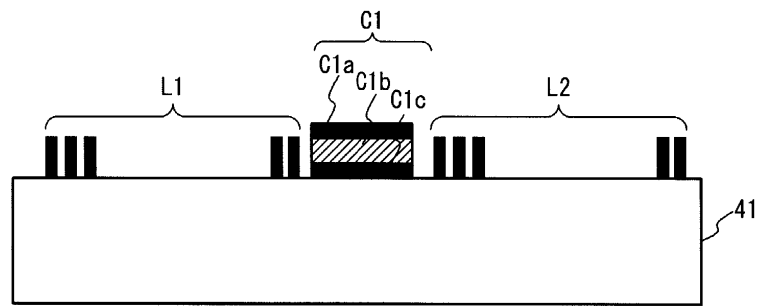
도면20



도면21

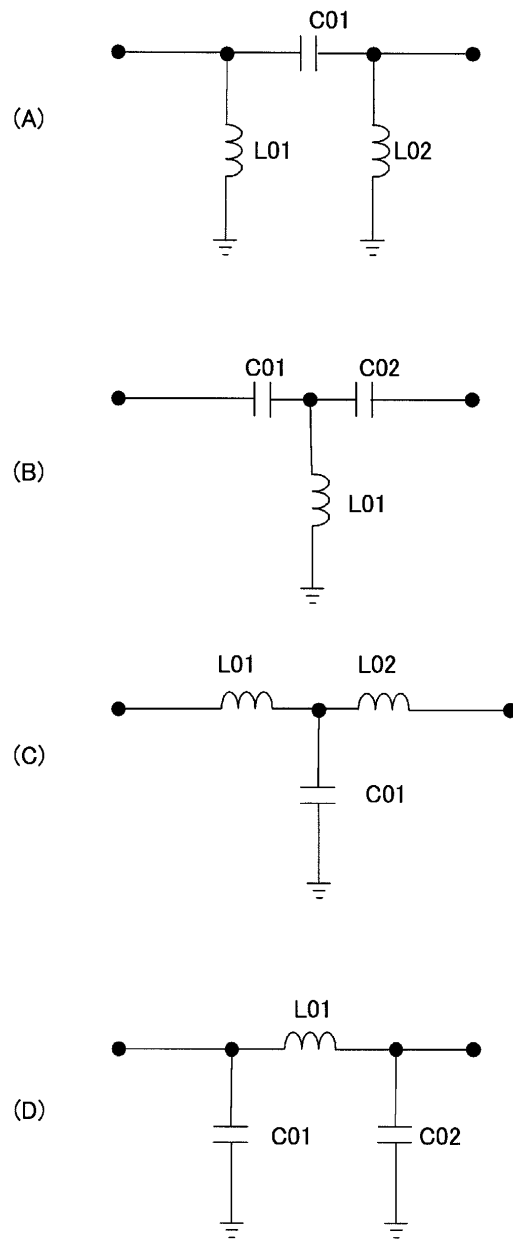


(A)

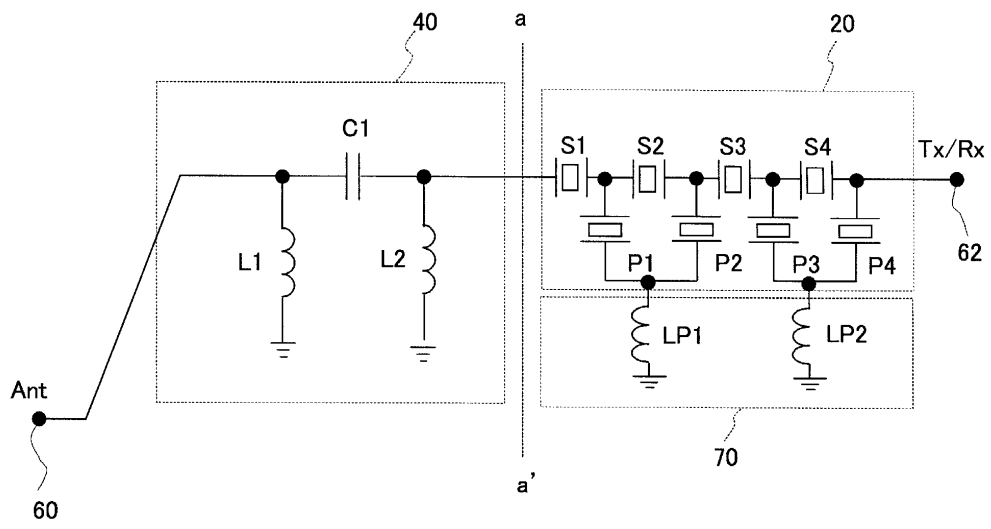


(B)

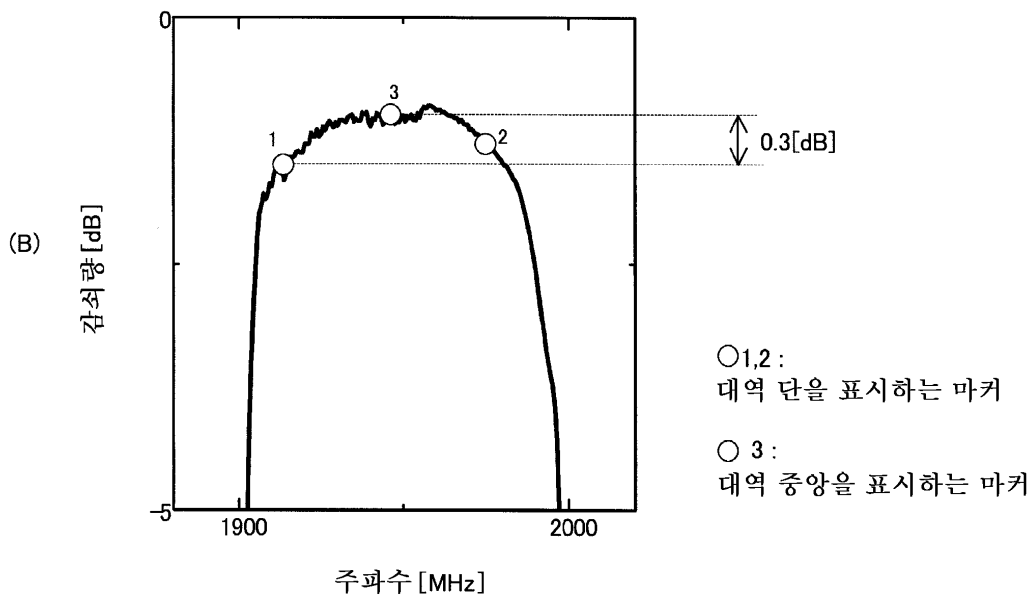
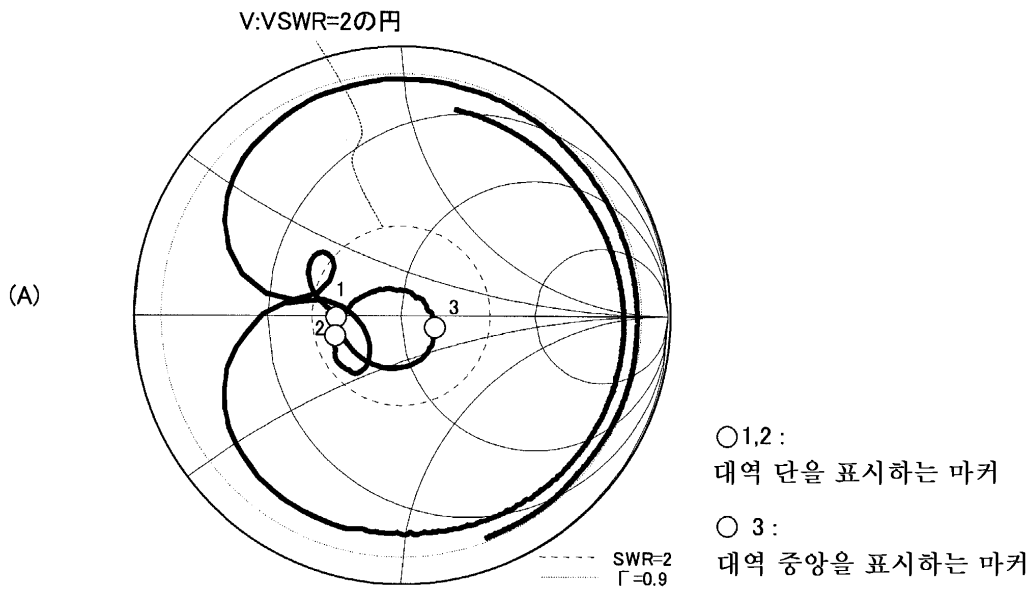
도면22



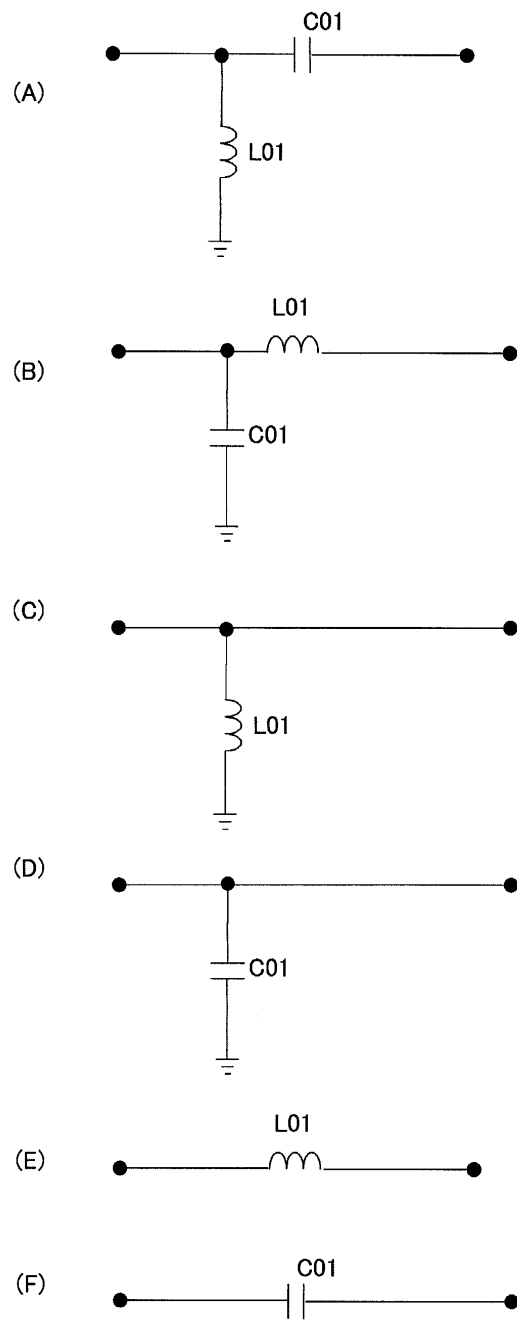
도면23



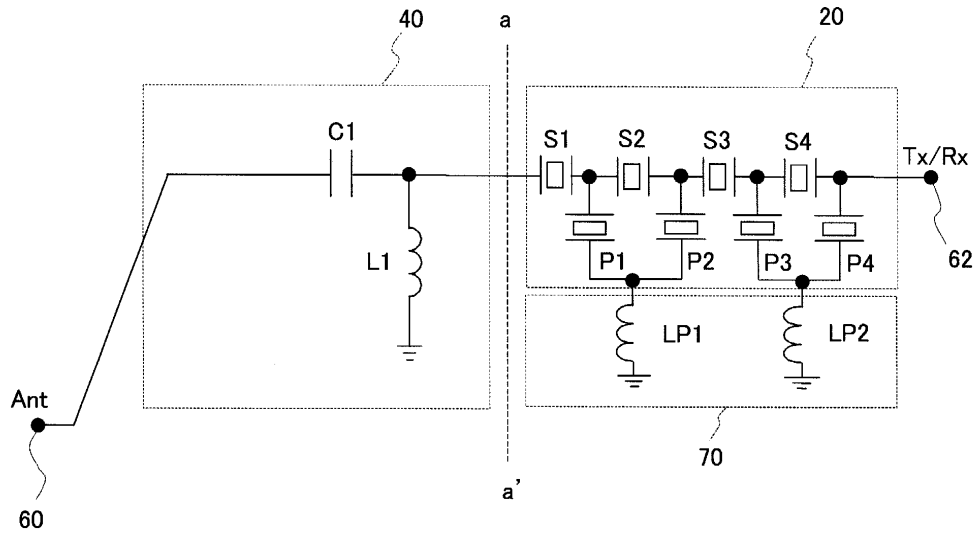
도면24



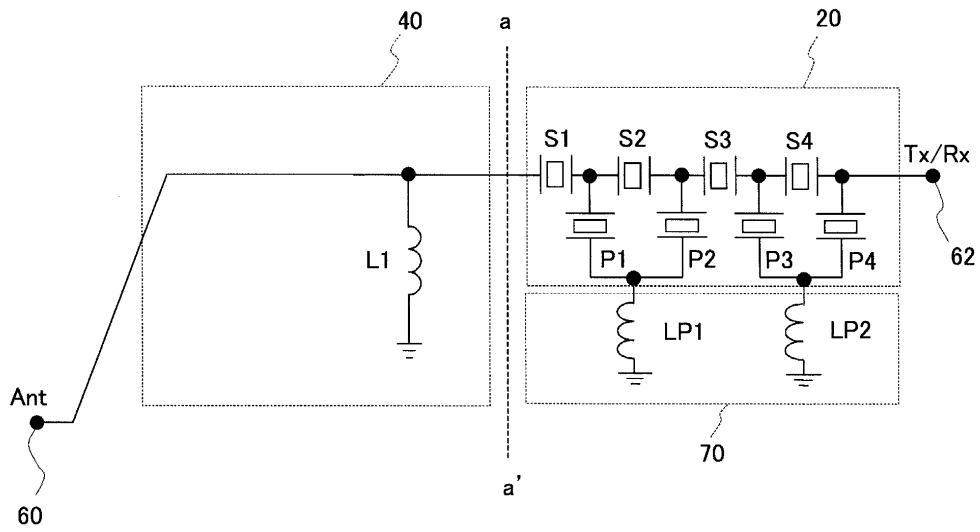
도면25



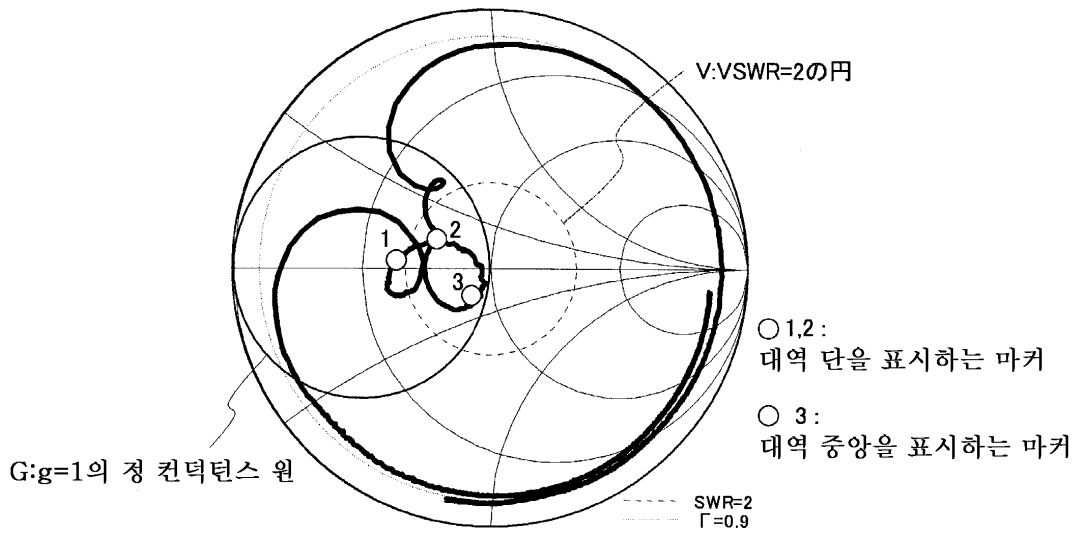
도면26



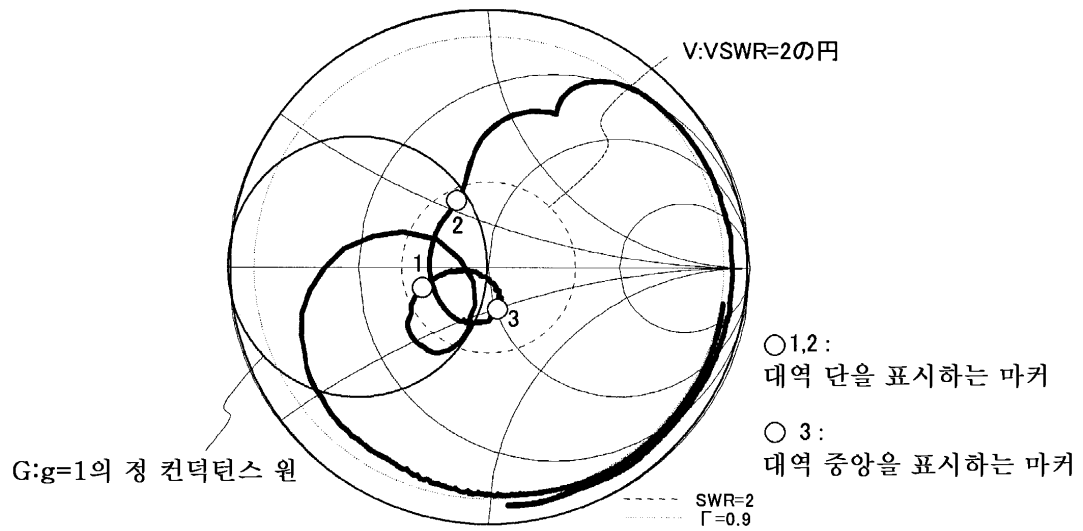
도면27



도면28

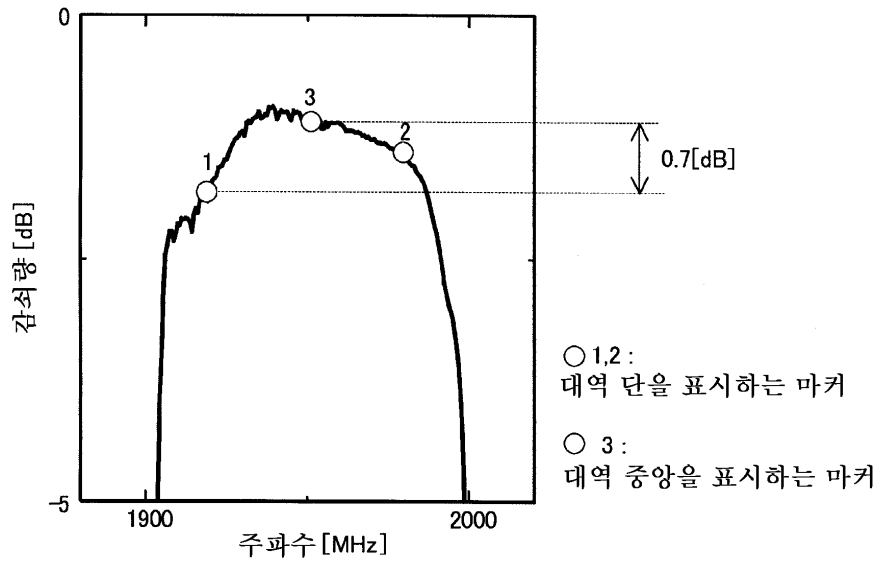


(A)대역 중앙에 있어서  $g > 1$

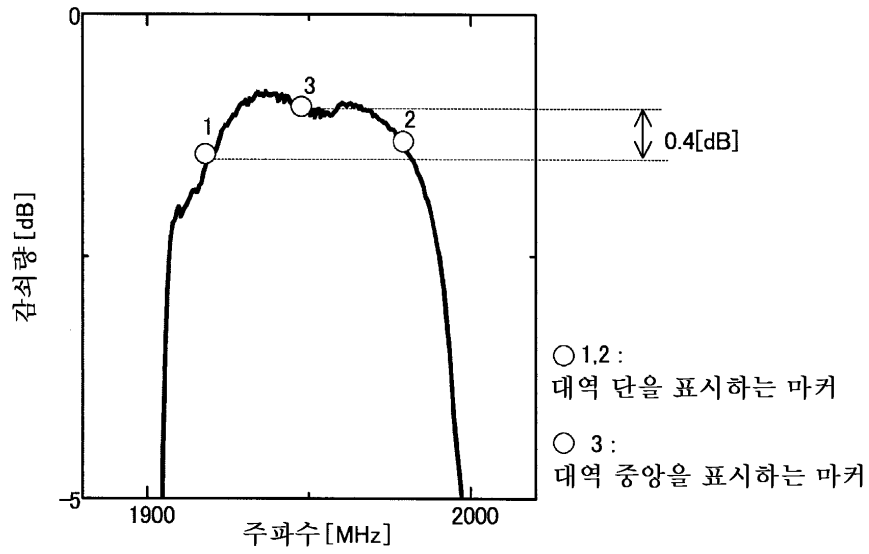


(B)대역 중앙에 있어서  $g < 1$

도면29

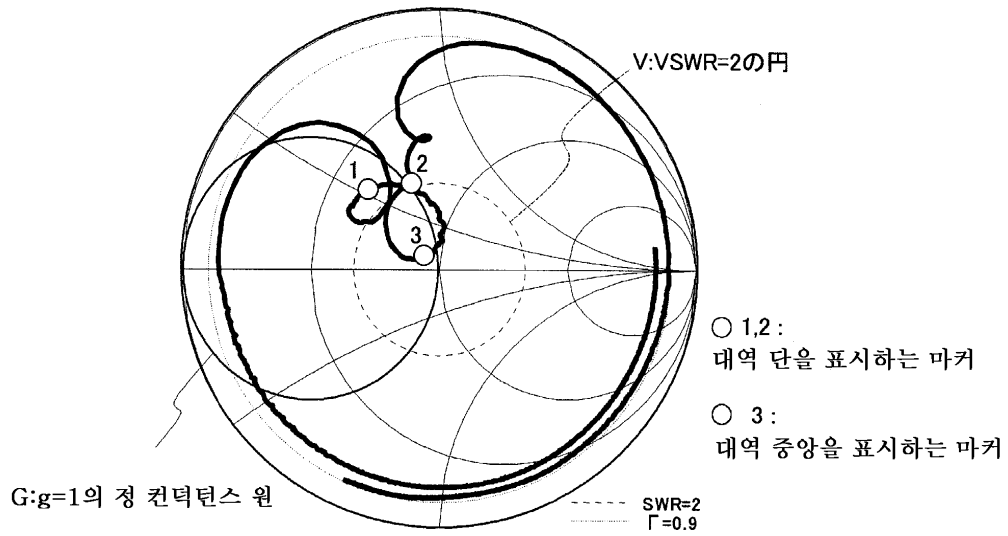


(A)

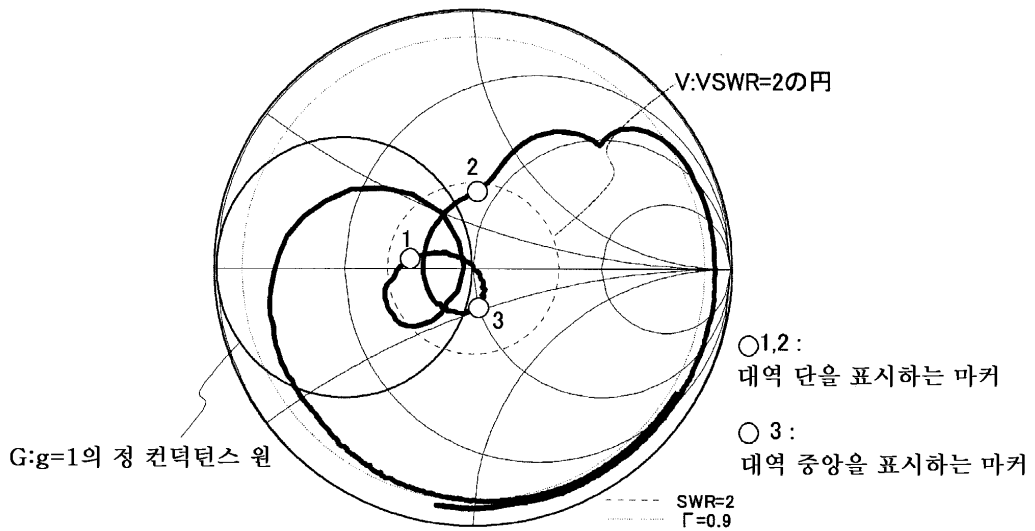


(B)

도면30

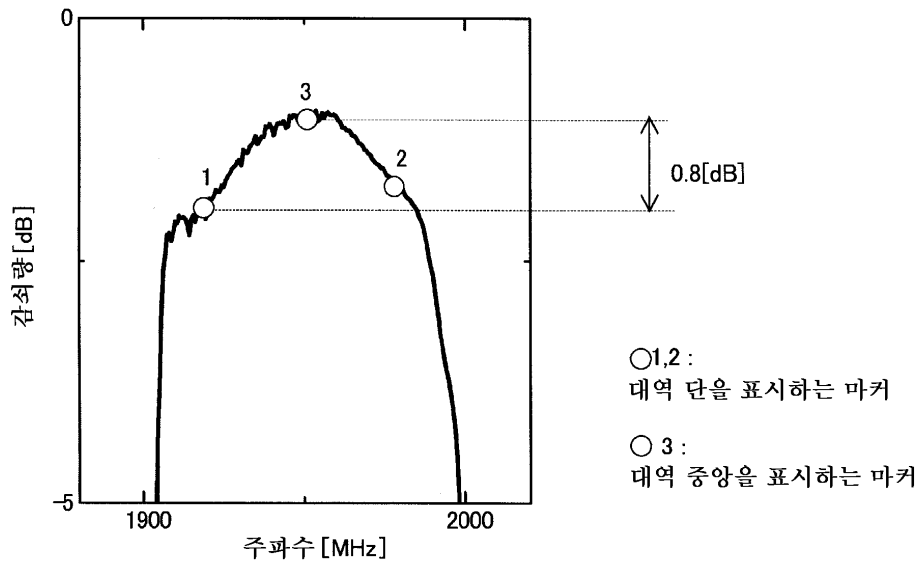


(A) 대역 중앙에 있어서  $g > 1$

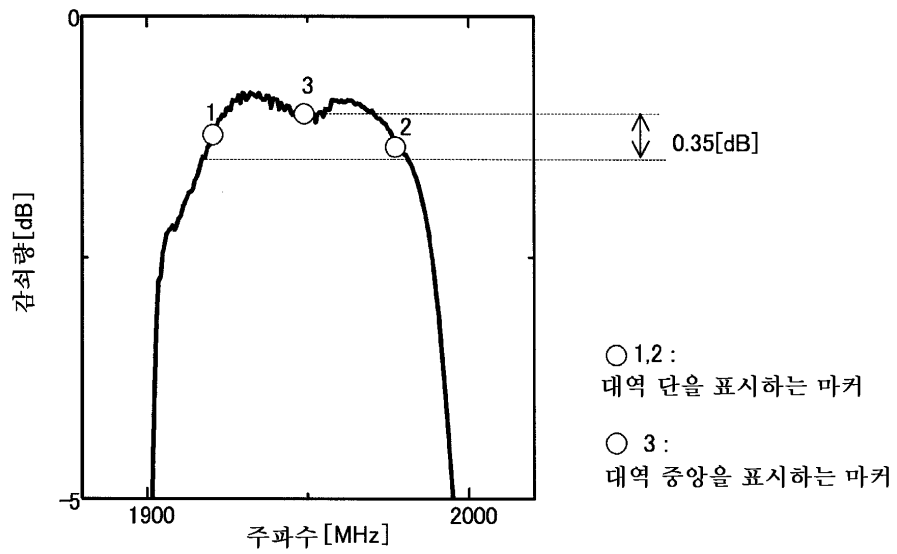


(B) 대역 중앙에 있어서  $g < 1$

도면31

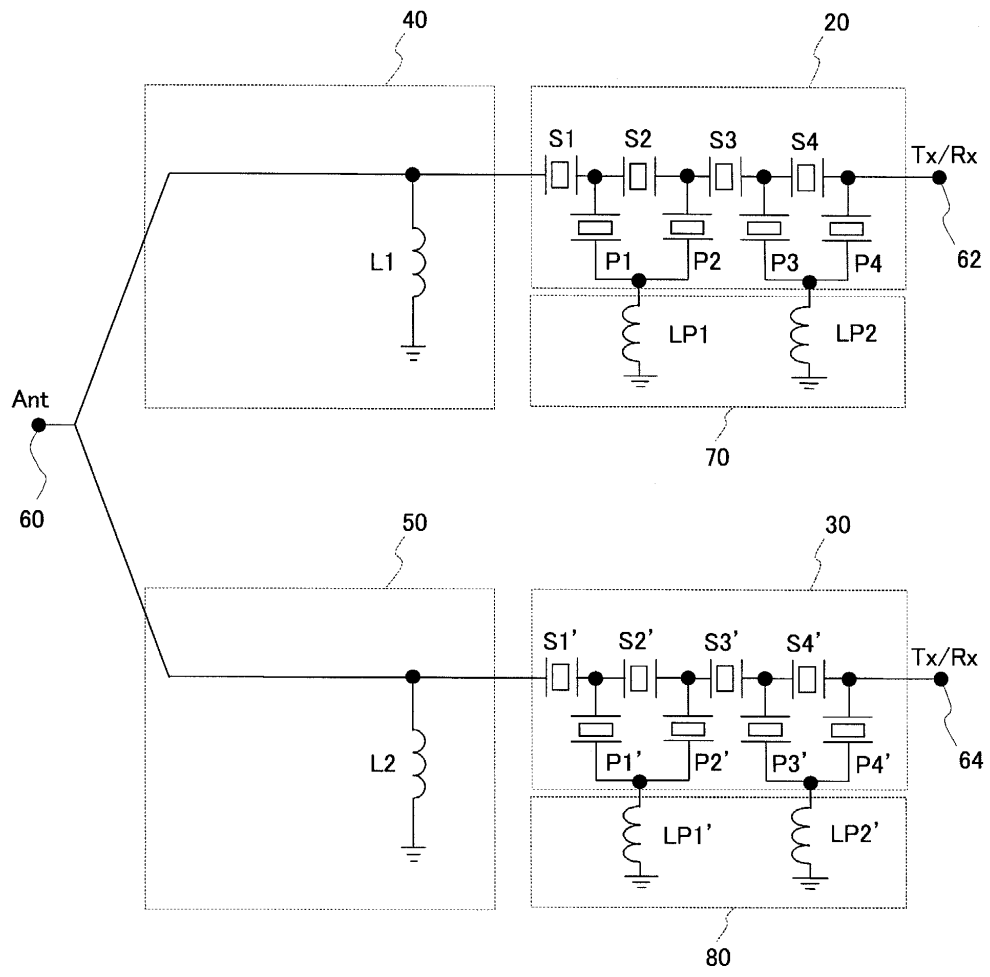


(A)

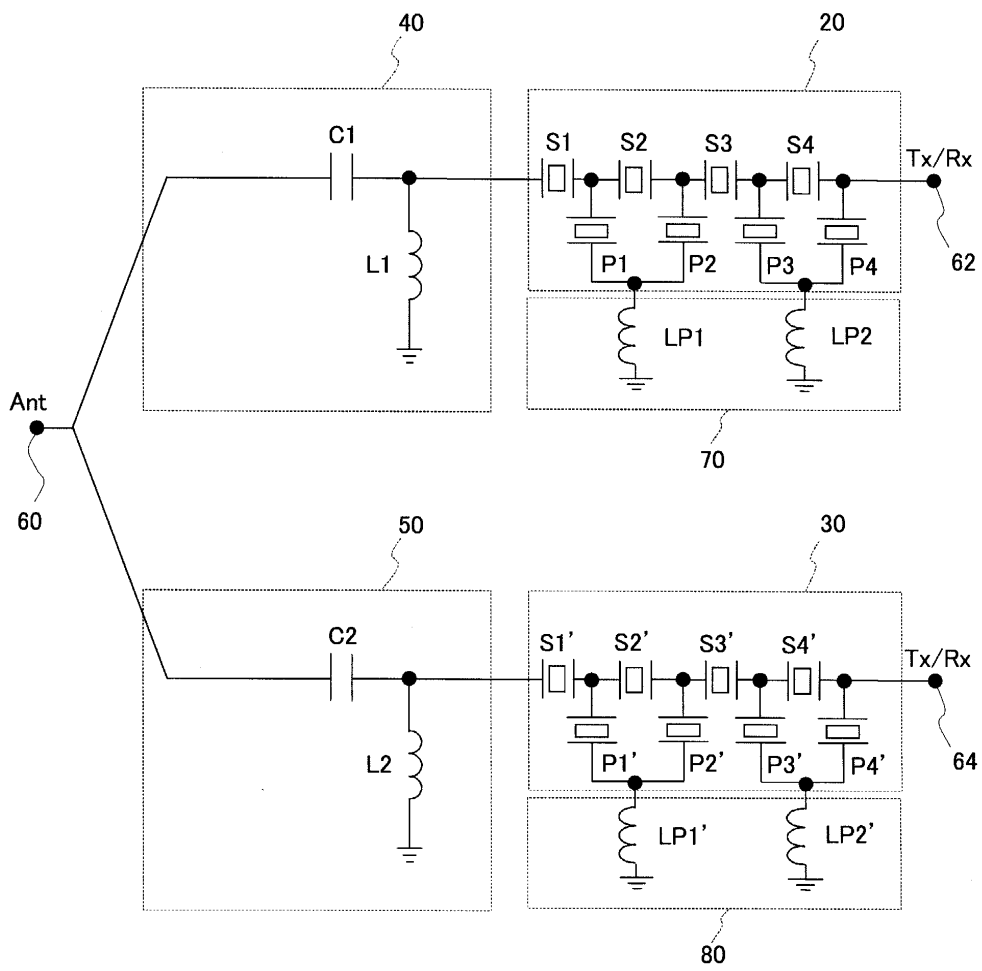


(B)

도면32



도면33



도면34

