



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월26일
(11) 등록번호 10-0875649
(24) 등록일자 2008년12월17일

(51) Int. Cl.
H01L 27/108 (2006.01)
(21) 출원번호 10-2006-0100792
(22) 출원일자 2006년10월17일
심사청구일자 2006년10월17일
(65) 공개번호 10-2008-0034615
(43) 공개일자 2008년04월22일
(56) 선행기술조사문헌
KR1019980035162 A*
KR1020000032886 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
김서민
서울 노원구 하계1동 280번지 미성아파트 5-1306
(74) 대리인
특허법인 신성

전체 청구항 수 : 총 8 항

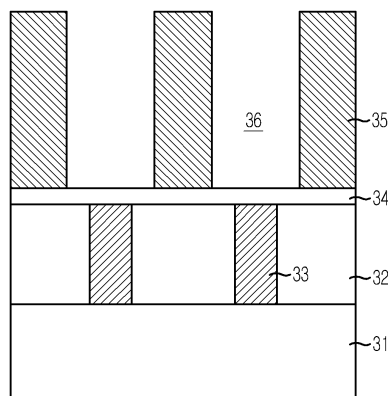
심사관 : 이우식

(54) 반도체 소자 제조방법

(57) 요약

본 발명은 실린더형 캐패시터를 형성하기 위한 필수 공정인 딥아웃 공정에서 리닝현상이 발생하는 문제점을 방지하고, 생산성향상 및 공정단가를 확보하는 반도체 소자의 제조방법을 제공하기 위한 것으로, 본 발명은 기판 상부에 하부전극을 위한 오픈부를 정의하는 제1도전층을 형성하는 단계, 상기 오픈부의 측벽에 제1유전막을 형성하는 단계, 상기 제1도전층보다 낮은 높이로 상기 오픈부의 표면을 따라 제2도전층을 형성하는 단계, 상기 오픈부의 내부표면을 따라 상기 제1유전막의 상부와 연결되는 제2유전막을 형성하는 단계, 상기 제2유전막 상에 상기 스토리지노드홀을 매립하도록 제3도전층을 형성하는 단계를 포함한다.

대표도 - 도2a



특허청구의 범위

청구항 1

기관 상부에 하부전극을 위한 오픈부를 정의하는 제1도전층을 형성하는 단계;
 상기 오픈부의 측벽에 제1유전막을 형성하는 단계;
 상기 제1도전층보다 낮은 높이로 상기 오픈부의 표면을 따라 제2도전층을 형성하는 단계;
 상기 오픈부의 내부표면을 따라 상기 제1유전막의 상부와 연결되는 제2유전막을 형성하는 단계; 및
 상기 제2유전막 상에 상기 스토리지노드홀을 매립하도록 제3도전층을 형성하는 단계를 포함하고,
 상기 제1도전층과 제3도전층은 캐패시터의 상부전극으로 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제1항에 있어서,
 상기 제1도전층을 형성하는 단계는,
 상기 반도체 기관 상부에 제1도전층을 형성하는 단계;
 상기 제1도전층 상에 하부전극을 위한 오픈부예정지역을 정의하는 감광막패턴을 형성하는 단계; 및
 상기 감광막패턴을 식각마스크로 상기 제1도전층을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제2항에 있어서,
 상기 제1도전층은 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제1항에 있어서,
 상기 제1유전막을 형성하는 단계는,
 상기 스토리지노드홀을 포함하는 전면에 제1유전막을 형성하는 단계; 및
 전면식각을 실시하여 상기 오픈부의 측벽에 제1유전막을 잔류시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제1항에 있어서,
 상기 제2도전층을 형성하는 단계는,
 상기 제1유전막을 포함하는 전면을 따라 제2도전층을 형성하는 단계;
 상기 오픈부를 채우도록 감광막을 코팅하는 단계;
 상기 감광막을 노광 및 현상으로 상기 제1유전막보다 낮게 상기 오픈부의 내부에만 잔류시키는 단계;
 상기 제1도전층보다 낮게 상기 제2도전층을 전면식각하는 단계; 및
 상기 감광막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제1항 또는 제3항에 있어서,

상기 제3도전층은 상기 제1도전층과 동일한 물질로 형성하되, 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

삭제

청구항 8

제1항 또는 제5항에 있어서,

상기 제2도전층은 폴리실리콘 또는 금속물질로 형성하고 캐패시터의 하부전극으로 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제8항에 있어서,

상기 금속물질은 티타늄질화막을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자의 캐패시터 제조방법에 관한 것이다.
- <12> 반도체 소자가 고집적화 되면서 메모리 셀(Memory Cell)면적은 빠른 속도로 감소하고 있다. 그러나, 신뢰성 있는 소자 동작을 위해서 메모리 셀당 요구되는 정전용량(Capacitance)은 30fF/cell로 매우 높고, 작아진 메모리 셀 면적에서 요구되는 정전용량을 맞추기 위해 캐패시터 구조를 기존의 콘케이브형(Concave Type) 캐패시터 구조에서 실린더형(Cylinder Type) 캐패시터 구조로 대체하는 방법이 제안되고 있다.
- <13> 실린더형 캐패시터는 하부전극(Bottom electrode material)의 안팎을 모두 캐패시터로 사용할 수 있어서 캐패시터 면적을 캐패시터의 내부뿐만 아니라 외부까지 확장시킴으로써 보다 큰 정전용량 확보 및 소자의 신뢰성을 확보할 수 있는 효과가 있다.
- <14> 도 1a 내지 도 1c는 종래 기술에 따른 실린더형 캐패시터의 제조방법을 설명하기 위한 공정 단면도이다.
- <15> 도 1a에 도시된 바와 같이, 소정공정이 완료된 반도체 기판(11) 상부에 절연층(12)을 형성한다. 여기서, 반도체 기판(11)은 반도체 기판 상부에 게이트패턴 및 비트라인의 소정공정이 완료된 것이다. 여기서, 절연층(12)은 산화막으로 형성한다.
- <16> 이어서, 절연층(12)을 선택적으로 식각하여 스토리지노드콘택홀을 형성하고 스토리지노드콘택홀에 도전물질을 매립하여 스토리지노드콘택플러그(13)를 형성한다.
- <17> 이어서, 식각방지막(14)과 희생층(15)을 순차로 형성하고, 희생층(15) 및 식각방지막(14)을 선택적으로 식각하여 하부전극을 위한 오픈부를 형성한 후, 오픈부의 표면을 따라 도전층을 형성하고 도전층을 분리하여 하부전극(16)을 형성한다. 여기서, 식각방지막(14)은 절연층 및 희생층(12, 15)과 식각선택비가 다른 물질로 형성하되 질화막으로 형성하고, 희생층(15)은 절연층(12)과 동일한 물질로 형성하되 산화막으로 형성한다.
- <18> 도 1b에 도시된 바와 같이, 딥아웃(Dip Out)을 실시하여 희생층(15)을 제거하여 실린더형 하부전극(16)을 형성한다.
- <19> 도 1c에 도시된 바와 같이, 하부전극(16) 상에 유전막(17)과 상부전극(18)을 순차로 적층하여 실린더형 캐패시

터를 형성한다.

- <20> 위와 같이, 종래 기술은 회생층(15)을 선택적으로 식각하여 하부전극을 위한 오픈부를 형성한 후, 하부전극(16)을 형성하고 회생층(15)을 딥아웃으로 제거하여 실린더형 하부전극(16)을 형성한다. 이때, 회생층(15)을 제거하는 딥아웃 공정은 실린더형 캐패시터를 형성하기 위한 필수적인 공정이다.
- <21> 그러나, 종래 기술은 회생층(15)을 습식딥아웃으로 제거하는 공정에서 산화막질의 회생층(15)을 녹이고 딥아웃을 실시한 용액이 마를때 하부전극(16)이 기울어져서 이웃하는 하부전극(16)과 맞닿는 리닝(leaning)현상이 발생한다.
- <22> 상기와 같은, 리닝현상은 반도체 소자의 디자인 룰이 작아짐으로 인해 패턴사이의 거리는 좁아지고, 하부전극(16)의 높이는 같거나 더 늘어나면서 더 심해지는 문제점이 있다. 특히, 상기와 같은 리닝현상은 어드레스(Address)에 따른 전하 저장이 되지 않는 불량 발생을 야기하는 문제점이 있다.
- <23> 또한, 웨이퍼 측면에서 보면 웨이퍼의 모서리(Edge)쪽에서 하부전극을 위한 오픈부를 정의하는 감광막패턴 형성을 위해 감광막의 노광 및 현상 공정에서 포커스가 맞지 않아 감광막패턴이 잘 형성되지 않고, 이로 인해 하부전극을 위한 오픈부가 작게 형성되거나 오픈불량(Not Open)의 문제가 발생한다. 이는 후속 하부전극 형성 후 회생층을 딥아웃으로 제거하는 공정에서 패턴 리프팅(Pattern Lifting)을 발생시킨다.
- <24> 위와 같은, 패턴 리프팅을 방지하기 위해서는 웨이퍼 모서리쪽에 형성된 다이(Die)의 크기에 맞추어 따로 감광막패턴을 형성해야하는 추가공정을 필요로 하다. 이러한 추가공정은 생산성하락과 공정단가를 증가시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 실린더형 캐패시터를 형성하기 위한 필수 공정인 딥아웃 공정에서 리닝현상이 발생하는 문제점을 방지하고, 생산성향상 및 공정단가를 확보하는 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <26> 본 발명에 의한 반도체 소자의 제조방법은 기판 상부에 하부전극을 위한 오픈부를 정의하는 제1도전층을 형성하는 단계, 상기 오픈부의 측벽에 제1유전막을 형성하는 단계, 상기 제1도전층보다 낮은 높이로 상기 오픈부의 표면을 따라 제2도전층을 형성하는 단계, 상기 오픈부의 내부표면을 따라 상기 제1유전막의 상부와 연결되는 제2유전막을 형성하는 단계, 상기 제2유전막 상에 상기 스토리지노드홀을 매립하도록 제3도전층을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <27> 특히, 제1도전층과 제3도전층은 캐패시터의 상부전극으로 사용하고, 폴리실리콘으로 형성하는 것을 특징으로 한다. 또한, 제2도전층은 캐패시터의 하부전극으로 사용하고, 폴리실리콘 또는 티타늄질화막으로 형성하는 것을 특징으로 한다.
- <28> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <29> 도 2a 내지 도 2i는 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정 단면도이다.
- <30> 도 2a에 도시된 바와 같이, 소정공정이 완료된 반도체 기판(31) 상부에 절연층(32)을 형성한다. 여기서, 반도체 기판(31)은 소자분리막과 웰(well)이 포함된 반도체 기판 상부에 게이트패턴 및 비트라인의 소정공정이 완료된 것이다. 또한, 절연층(32)은 반도체 기판(31)과 후속 캐패시터간의 층간절연막 역할을 하기 위한 것으로, 산화막으로 형성한다.
- <31> 이어서, 절연층(32)을 선택적으로 식각하여 스토리지노드콘택홀을 형성하고, 스토리지노드콘택홀을 매립하는 스토리지노드콘택플러그(33)를 형성한다. 여기서, 스토리지노드콘택플러그(33)는 스토리지노드콘택홀에 도전물질층을 매립하고 평탄화하여 형성하는데, 도전물질로는 예컨대 폴리실리콘으로 형성한다. 또한, 평탄화는 화학적기계적연마(Chemical Mechanical Polishing;CMP) 또는 전면식각(Etch Back)으로 실시한다.
- <32> 이어서, 스토리지노드콘택플러그(33)를 포함하는 결과물의 전면에 식각방지막(34)을 형성한다. 여기서, 식각방

지막(34)은 후속 하부전극을 위한 오픈부를 형성하는 공정에서 식각에 의해 절연층(32) 및 스토리지노드콘택플러그(33)가 손상되는 것을 방지하기 위한 식각방지막 역할을 하기 위한 것으로, 예컨대 질화막으로 형성한다.

<33> 이어서, 식각방지막(34) 상에 하부전극을 위한 오픈부(36)를 정의하는 상부전극용 제1도전층(35)을 형성한다. 여기서, 상부전극용 제1도전층(35)은 후속공정에서 캐패시터의 상부전극으로 사용하기 위한 것으로, 예컨대 상부전극용 제1도전층(35)은 폴리실리콘으로 형성한다.

<34> 이는, 종래에 산화막질의 희생층을 형성한 후 딥아웃으로 제거하는 공정에서 딥아웃에 사용된 용액에 의한 하부전극의 리닝현상을 방지하기 위해 희생층 대신 상부전극으로 사용될 상부전극용 제1도전층(35)을 미리 형성하는 것이다.

<35> 또한, 상부전극용 제1도전층(35)은 예정된 캐패시터의 높이 또는 후속 평탄화공정에서 손실되는 부분을 감안하여 예정된 캐패시터의 높이보다 높게 형성한다. 예컨대, 예정된 캐패시터의 높이가 10000Å이고 후속 평탄화공정에서 상부전극용 제1도전층(35)이 2000Å만큼의 손실이 예상될 경우 상부전극용 제1도전층(35)은 12000Å으로 형성한다.

<36> 위와 같이, 오픈부(36)를 정의하는 상부전극용 제1도전층(35)을 형성하는 공정은, 식각방지막(34) 상에 상부전극용 제1도전층(35)을 형성하고, 상부전극용 제1도전층(35) 상에 감광막을 코팅한 후 노광 및 현상으로 하부전극을 위한 오픈부예정지역을 정의하도록 패터닝한다. 이어서, 패터닝된 감광막을 식각마스크로 상기 상부전극용 제1도전층(35)을 식각하여 하부전극을 위한 오픈부(36)를 형성한다. 이어서, 감광막을 산소스트립공정으로 제거한다.

<37> 상부전극용 제1도전층(35)의 식각이 완료되는 시점에서 상부전극용 제1도전층(35)과의 식각선택비로 식각방지막(34)은 식각되지 않고 그대로 잔류한다.

<38> 도 2b에 도시된 바와 같이, 상부전극용 제1도전층(35) 상에 제1유전막(37)을 형성한다. 여기서, 제1유전막(37)은 후속 제2유전막과 연결되어 캐패시터의 유전막으로 사용하기 위한 것으로, 단층 또는 다층의 유전물질로 형성한다.

<39> 도 2c에 도시된 바와 같이, 제1유전막(37)을 식각하여 오픈부(36)의 측벽에만 제1유전막(37A)을 잔류시킨다. 여기서, 제1유전막(37A)의 식각은 전면식각으로 실시하되, 상부전극용 제1도전층(35)의 상부 및 오픈부(36)의 바닥에 형성된 제1유전막(37A)을 제거하여, 상부전극용 제1도전층(35)과 동일한 높이로 오픈부(36)의 측벽에만 제1유전막(37A)을 잔류시킨다.

<40> 또한, 제1유전막(37A)의 식각과 동시에 오픈부(36) 하부의 식각방지막(34A)도 함께 식각하여 하부 스토리지노드 콘택플러그(33)의 표면을 노출시킨다.

<41> 도 2d에 도시된 바와 같이, 제1유전막(37A)을 포함하는 전면을 따라 하부전극용 도전층(38)을 형성한다. 여기서, 하부전극용 도전층(38)은 캐패시터의 하부전극역할을 하기 위한 것으로, 예컨대 폴리실리콘 또는 금속물질로 형성하고 특히, 금속물질은 티타늄질화막으로 형성한다.

<42> 특히, 티타늄질화막과 같은 금속물질로 형성할 경우 폴리실리콘으로 형성한 상부전극용 제1도전층(35)과 식각선택비를 확보할 수 있어서 후속 전면식각 공정시 상부전극용 제1도전층(35)의 손실 및 두께조절을 더 용이하게 할 수 있는 장점이 있다.

<43> 도 2e에 도시된 바와 같이, 오픈부(36)의 내부에 상부전극용 제1도전층(35)보다 낮은 높이로 감광막(39)을 형성한다. 여기서, 감광막(39)은 후속 하부전극용 도전층(38) 식각시 오픈부(36) 바닥의 하부전극용 도전층(38)을 보호하는 보호층 역할을 하기 위한 것이다.

<44> 특히, 감광막(39)을 상부전극용 제1도전층(35)보다 낮은 높이로 형성하기 위해서 먼저 오픈부(36)의 내부를 채우도록 감광막(39)을 코팅하고 상부전극용 제1도전층(35)보다 낮은 높이가 되도록 노광 및 현상을 실시한다.

<45> 도 2f에 도시된 바와 같이, 하부전극용 도전층(38A)을 제1유전막(37A) 및 상부전극용 제1도전층(35)의 높이보다 낮게 식각한다. 여기서, 하부전극용 도전층(38A)의 식각은 전면식각을 실시한다.

<46> 특히, 하부전극용 도전층(38A)을 전면식각하는 것과 동시에 상부전극용 제1도전층(35A)도 일정높이 식각하여 상부전극용 제1도전층(35A) 상부로 제1유전막(37A)을 돌출시킨다. 그러나, 상부전극용 제1도전층(35A)은 하부전극용 도전층(38A)에 비해 식각되는 두께가 작다. 이는 상부전극용 제1도전층(35A) 상에 형성된 하부전극용 도전층(38A)의 두께까지 고려되기 때문이다. 또한, 하부전극용 도전층(38A)을 대신하여 금속물질을 사용할 경우 폴리

실리콘과 금속물질간의 식각선택비를 이용하여 식각두께를 조절할 수 있다.

- <47> 이때, 오픈부(36) 바닥의 하부전극용 도전층(38A)은 오픈부(36) 내부에 형성된 감광막(39)으로 보호되어 식각되지 않고, 또한 전면식각시 감광막(39)이 일부 소실된다고 해도 오픈부(36) 내부에 여전히 잔류하여 바닥의 하부전극용 도전층(38A)을 보호하기 때문에 전면식각시에 큰 영향을 미치지 않는다.
- <48> 위와 같이, 하부전극용 폴리실리콘층(38A)에 전면식각을 실시함으로써 스토리지노드콘택플러그(33)와 연결되는 하부전극(38A)이 형성된다. 즉, 희생층을 형성하지 않았기 때문에 딥아웃공정 없이 실린더형 하부전극(38A)을 형성할 수 있다.
- <49> 도 2g에 도시된 바와 같이, 오픈부(36) 내부의 감광막(39)을 제거한다. 여기서, 감광막(39)은 건식식각으로 제거되 바람직하게는 산소스트림으로 제거한다.
- <50> 이어서, 하부전극(38A)을 포함하는 전면을 따라 제2유전막(40)을 형성한다. 여기서, 제2유전막(40)은 제1유전막(37A)과 함께 캐패시터의 유전막역할을 하기 위한 것으로, 제1유전막(37A)과 동일한 물질로 형성하되 단층 또는 다층의 유전물질로 형성한다.
- <51> 도 2h에 도시된 바와 같이, 상부전극용 제1도전층(35A) 상부에 형성된 제2유전막(40)과 상부전극용 제1도전층(35A)의 상부로 돌출된 제1유전막(37A)을 식각한다. 여기서, 제1 및 제2유전막(37A, 40)의 식각은 평탄화공정으로 실시한다. 특히, 평탄화공정은 상부전극용 제1도전층(35A)의 표면이 드러나는 타겟으로 실시하되, 예컨대 화학적기계적연마(CMP) 또는 전면식각(Etch back)으로 실시한다.
- <52> 위와 같이, 평탄화공정을 실시함으로써 상부전극용 제1도전층(35A)의 상부로 돌출된 부분이 제거된 제1유전막(37B)의 상부와 하부전극(38A)상에 오픈부(36)의 내부표면을 따라 형성된 제2유전막(40A)이 연결되어 캐패시터의 유전막(101)이 형성된다.
- <53> 도 2i에 도시된 바와 같이, 유전막(101) 상에 오픈부(36)을 채우도록 상부전극용 제2도전층(41)을 형성한다. 여기서, 상부전극용 제2도전층(41)은 하부의 상부전극용 제1도전층(35A)과 연결되어 캐패시터의 상부전극(102) 역할을 하기 위한 것으로, 예컨대 폴리실리콘으로 형성한다.
- <54> 상기한 본 발명은, 하부전극을 위한 오픈부(36)를 정의하는 상부전극용 제1도전층(35)을 형성한 후 증착과 식각 및 평탄화공정을 차례로 실시하여 습식딥아웃 없이 실린더형 캐패시터를 함으로써, 딥아웃으로 인해 발생하는 하부전극의 리닝현상을 근본적으로 방지하면서 종래의 실린더형 캐패시터와 동일한 형태의 구현이 가능한 장점이 있다.
- <55> 또한, 오픈부 형성시 웨이퍼의 모서리에서 발생한 패턴불량으로 인해 희생층을 제거하는 딥아웃공정을 실시하지 않음으로써 패턴 리프팅(Pattern lifting)을 방지할 수 있을 뿐만 아니라, 패턴 리프팅을 해결하기 위해 실시된 감광막패턴 형성의 추가공정을 진행하지 않음으로써 공정마진을 확보하여 생산성향상 및 공정단가를 확보할 수 있는 장점이 있다.
- <56> 또한, 본 실시예는 상부전극용 제1 및 제2도전층으로 폴리실리콘을, 하부전극용 도전층으로 폴리실리콘 또는 티타늄질화막을 사용하였지만 본 발명의 기술적 사상은 폴리실리콘 또는 티타늄질화막 외에 상부전극 및 하부전극을 위한 도전물질에 모두 응용될 수 있다.
- <57> 이렇듯, 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

- <58> 상술한 본 발명은 딥아웃공정으로 인해 발생하는 리닝현상을 방지하면서도 실린더형 캐패시터와 동일한 형태로 구현할 수 있는 효과가 있다.
- <59> 또한, 딥아웃 공정시 웨이퍼 모서리에서 발생하는 패턴 리프팅을 방지할 수 있어서 추가공정을 실시하지 않음으로써 공정마진을 확보하여 생산성향상 및 공정단가를 확보할 수 있는 효과가 있다.

도면의 간단한 설명

- <1> 도 1a 내지 도 1c는 종래 기술에 따른 실린더형 캐패시터의 제조방법을 설명하기 위한 공정 단면도,

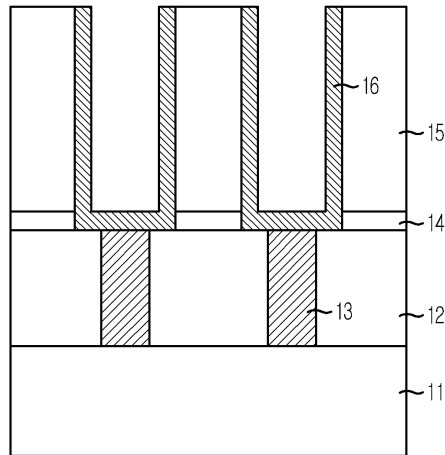
<2> 도 2a 내지 도 2i는 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정 단면도.

<3> * 도면의 주요 부분에 대한 부호의 설명

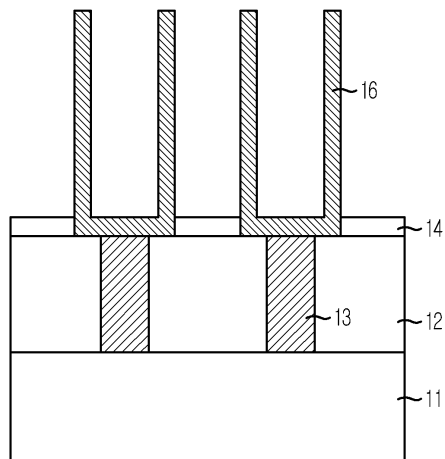
- | | |
|----------------------|----------------|
| <4> 31 : 반도체 기판 | 32 : 절연층 |
| <5> 33 : 스토리지노드콘택플러그 | 34 : 식각방지막 |
| <6> 35 : 상부전극용 제1도전층 | 36 : 스토리지노드홀 |
| <7> 37 : 제1유전막 | 38 : 하부전극용 도전층 |
| <8> 39 : 감광막 | 40 : 제2유전막 |
| <9> 41 : 상부전극용 제2도전층 | |
| <10> 101 : 유전막 | 102 : 상부전극 |

도면

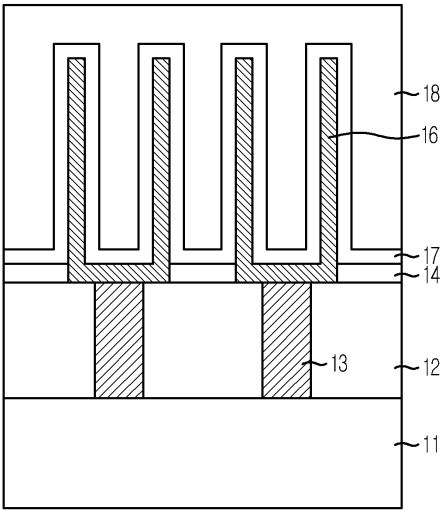
도면1a



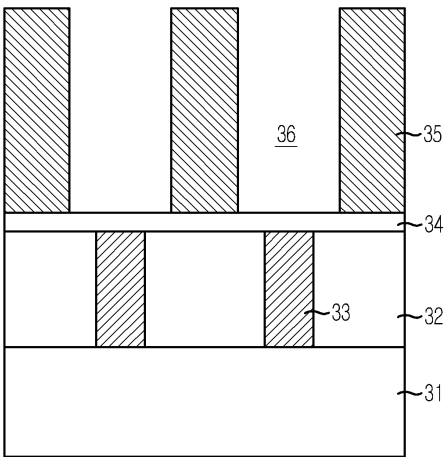
도면1b



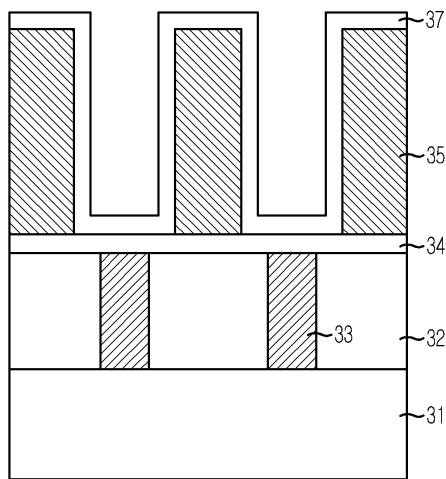
도면1c



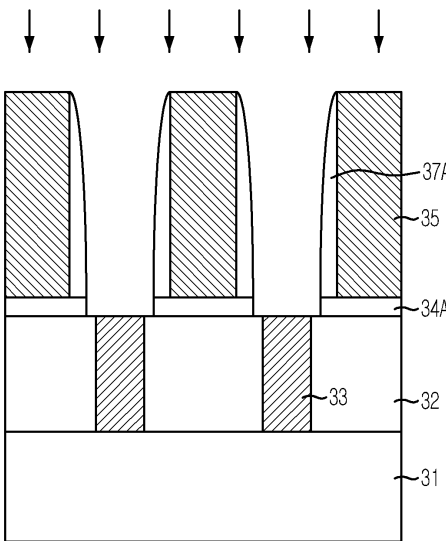
도면2a



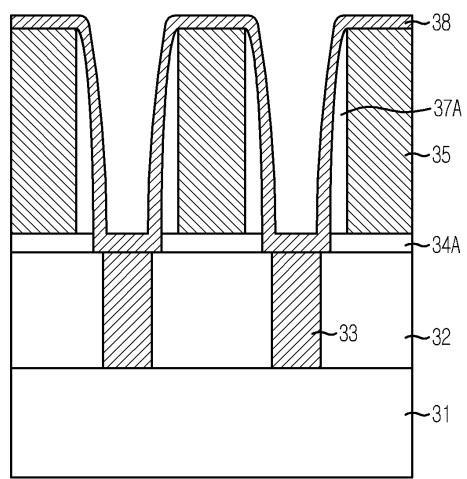
도면2b



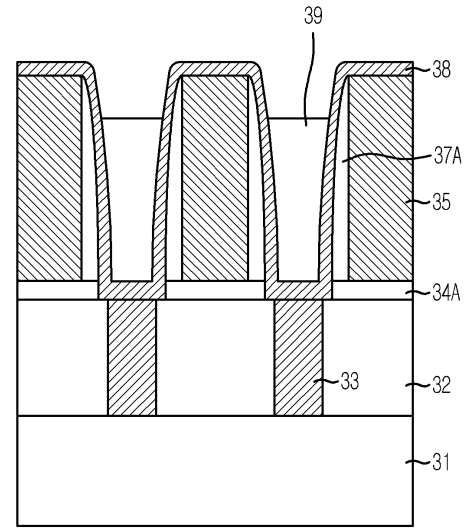
도면2c



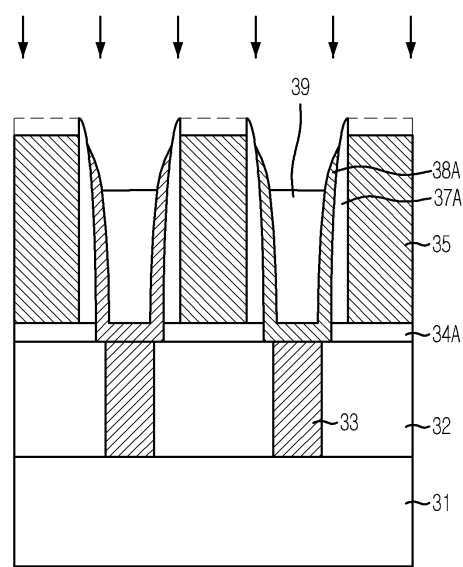
도면2d



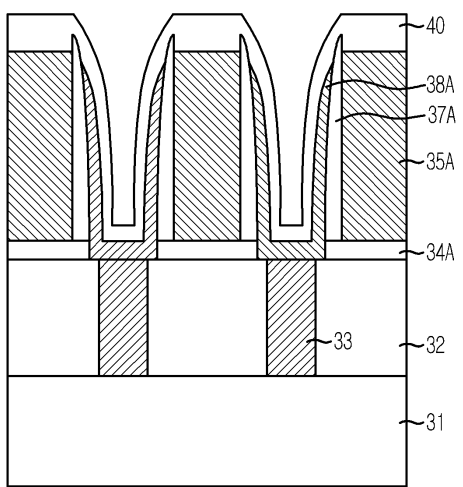
도면2e



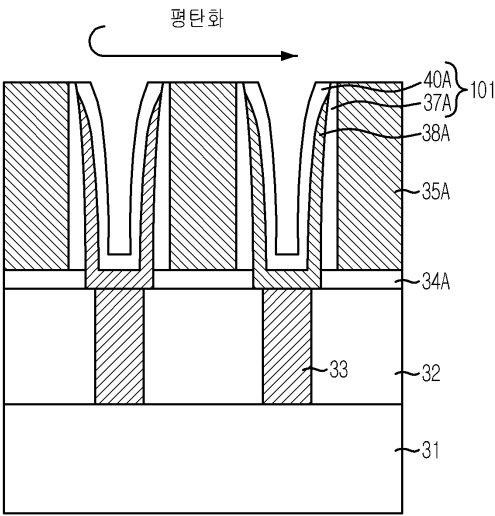
도면2f



도면2g



도면2h



도면2i

