

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>8</sup> (45) 공고일자 2006년01월24일  
H01L 21/70 (2006.01) (11) 등록번호 10-0544596

(24) 등록일자 2006년01월12일

(21) 출원번호 10-1999-0007659

(65) 공개번호 10-1999-0077700

(22) 출원일자 1999년03월09일

(43) 공개일자 1999년10월25일

(30) 우선권주장 09/038,383 1998년03월11일 미국(US)

(73) 특허권자 지멘스 악티엔게젤샤프트  
독일 뮌헨 80333 비텔스파허프라썬 2  
인터내셔널 비지네스 머신즈 코포레이션  
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 왕, 텡-하오  
미국 78681 텍사스 라운드록 밀러폴스 드라이브 8201

핑, 텡-칭  
미국 95132 캘리포니아 산호세 록우드 드라이브 2039

도브진스키, 데이브 엠.  
미국 12533 뉴욕 호프웰 정선 웨넌도우 로드 29

와이즈, 리차드 에스.  
미국 12533 뉴욕 호프웰 정선 마운틴 패스 로드 36

(74) 대리인 남상선

심사관 : 김수미

(54) 반도체 장치 제조시 블랙 실리콘 감소 방법 및 반도체 장치

요약

본 발명에 따라, 하드 에칭 마스크를 형성하기 이전에 웨이퍼의 비드 영역 및 웨이퍼의 측면에 보호성 소자층을 제공함으로써, 블랙 실리콘을 감소시킨다.

대표도

도 2d

명세서

## 도면의 간단한 설명

도 1은 DRAM 셀을 도시한다.

도 2는 본 발명에 따라, 집적 회로의 제조 동안에 블랙 실리콘의 형성을 방지하기 위한 실시예를 도시한다.

\*도면의 주요부분에 대한 부호의 설명\*

208 : 칩의 주 영역 210 : 소자층

250 : 패드 스택 260 : 하드 마스크 층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 방법에 관한 것으로, 보다 구체적으로는 블랙 실리콘의 형성을 감소시키기 위한 반도체 제조 방법에 관한 것이다.

집적 회로(IC) 또는 칩을 제조하는 데 있어서, 일반적으로 비아 또는 트렌치는 실리콘 웨이퍼와 같은 기판 내에 다양한 목적으로 형성된다. 비아 또는 트렌치는 기판 내부로의 에칭에 의해 형성된다. 예를 들어 딥 트렌치(DT)는 메모리 셀 어레이용 트렌치 캐패시터로서의 역할을 한다.

일반적으로 딥 트렌치(DT)는 우선 패드 스택을 웨이퍼의 기판 상부에 제공함으로써 형성된다. 패드 스택은 예를 들어 패드 옥사이드(112) 및 패드 나이트라이드(114)의 연속된 층을 포함한다. 패드 스택의 상부에는 예를 들어 TEOS로 이루어진 하드 마스크층(116)이 존재한다. 상기 하드 마스크층은 DT를 형성하기 위하여 사용되는 하드 에칭 마스크로서의 역할을 한다.

포토리지스트 층이 상기 하드 마스크의 상부에 증착되고 DT가 형성되는 영역을 선택적으로 노출시키기 위하여 패터닝된다. 일반적으로, 하드 마스크의 노출된 영역은 아래의 패드 스택 부분을 노출시키기 위하여, 반응성 이온 에칭(RIE)에 의해 제거된다. 하드 마스크를 제거하기 위한 이같은 에칭 단계는 하드 마스크 오픈 에칭으로 불린다. 상기 패드 스택의 노출된 부분은 실리콘 웨이퍼를 노출시키도록 제거된다. 노출된 실리콘 부분은 RIE에 의해 에칭되어 DT를 형성한다.

그러나, 종래의 마스크 오픈 및 DT 에칭은 평탄하지 않은 플라즈마 커버리지로 인하여, 나머지 웨이퍼 부분과 비교하여 웨이퍼의 에지 부분에서 상당한 비율로 하드 마스크 물질을 소비한다. 이따금 정곡 효과(bull's eye effect)로 알려진 이러한 현상은 하드 마스크 물질이 웨이퍼 에지로부터 고갈되게 한다. 에지 및 측면의 패드 스택은 다음 단계의 DT 에칭 동안에 마모되어 소실되며, 이러한 영역 아래의 웨이퍼 표면을 노출시킨다. DT 에칭이 계속됨에 따라, 상기 웨이퍼의 노출된 영역에는 침상(needle)의 표면이 형성된다. 이같은 침상의 표면은 "블랙 실리콘(black silicon)"으로 불린다. 블랙 실리콘의 설명은 본 명세서에 참조문으로 인용한 예를 들어 V. W. Herb의 "Solid State Technology" 1981년 4월 192쪽 및 G. K. Herb의 "Solid State Technology" 1989년 10월 104쪽에 개시되었다.

블랙 실리콘은 실리콘이 에칭됨에 따라 표면 상의 하드 마스크의 마이크로마스킹으로 인하여 형성된다. 다음 단계의 DT 에칭 동안, 하드 에칭 물질의 섬(island)은 웨이퍼 표면에 남아 있게 된다. 상기 섬은 아래에 놓인 실리콘이 에칭되는 것을 방지한다. 이와 같이, 섬에 의해 보호되지 않은 부분은 계속하여 에칭되는 반면에, 보호된 부분은 남아 있게 된다. RIE가 진행됨에 따라, 보호된 부분은 침상 또는 스파이크를 형성한다.

RIE 동안의 블랙 실리콘의 형성은 웨이퍼의 처리에 있어서의 어려움을 야기한다. 예를 들어 블랙 실리콘 스파이크는 쉽게 부러질 수 있으며, 제조 수율에 악영향을 미칠 수 있다.

블랙 실리콘 형성을 방지하는 종래의 방법은, 하드 마스크 오픈 RIE 동안에 웨이퍼 에지를 보호하도록 웨이퍼 에지를 커버할 수 있는 클램프 링을 사용하는 것이다. 그러나, 상기 클램프 링의 사용은 클램프 핑거 새도우 효과를 야기하며, 상기 새

도우 효과는 리소그래피 분해능 또는 안정성 및 에칭 균일도에 영향을 미친다. 결과적으로 칩 수율이 감소된다. 부가적으로, 클램프 링의 사용은 톨에 장착된 정전 척(ESC)의 사용을 방지하는데, 상기 정전척은 높은 밀도의 플라즈마 에칭 톨에서 요구된다.

**발명이 이루고자 하는 기술적 과제**

앞의 설명으로부터, 블랙 실리콘을 형성하지 않고 반도체 장치를 제조하는 향상된 기술을 제공하는 것이 본 발명의 목적이다.

**발명의 구성 및 작용**

본 발명은 반도체 장치의 제조 동안에 블랙 실리콘 형성을 감소시키는 방법에 관한 것이다. 블랙 실리콘의 형성은 웨이퍼의 측면 및 비드(bead)에 보호성 소자 층을 제공함으로써 감소될 수 있다. 일 실시예에 있어서, 보호성 소자 층은 웨이퍼 표면 상에 컨포멀하게 증착되고 칩의 주 영역으로부터 상기 층을 제거하도록 패터닝된다. 이어 패드 스택 및 하드 마스크가 웨이퍼 상에 증착된다. 반드시 그러하지는 않더라도, 소자 층은 하드 마스크를 형성하기 위하여 사용된 물질로 형성된다. 웨이퍼의 비드 및 측면에서의 보호성 소자층은 DT 에칭 동안 추가의 보호를 제공하여, 블랙 실리콘의 형성을 감소 또는 방지한다.

본 발명은 집적 회로(IC)의 제조 동안에 블랙 실리콘의 형성을 방지하기 위한 것이다. 예를 들어 IC는 RAM, DRAM, SDRAM, SRAM, ROM 등과 같은 메모리 회로를 포함한다. 또한 IC는 프로그램 가능한 논리 어레이(PLA), ASIC, (DRAM에 실장된) 통합 DRAM 논리 IC 또는 임의의 다른 회로 소자와 같은 논리 소자를 포함한다.

일반적으로 다양한 IC가 실리콘 웨이퍼와 같은 기판 상에 병렬로 제조된다. 제조 이후에, 상기 웨이퍼는 IC를 다수개의 개별적인 칩으로 분할하기 위하여 다이싱된다. 상기 칩은 예를 들어 컴퓨터 시스템, 셀룰러 폰, 무선 개인 정보 이동 단말기(PDA) 및 다른 제품에서 사용하기 위한 최종 제품으로 패키징된다.

설명을 목적으로, 종래의 DRAM 셀에 대한 설명이 제시되었다. 도 1을 참조하여, 트랜치 캐패시터 DRAM 셀이 도시되었다. 이같은 DRAM 셀은, 본 명세서에 참조문으로 인용한 예를 들어 Nesbit 등의 "자기 정렬된 매몰 스트립(BEST)을 가지는  $0.6\mu\text{m}^2$  256Mb 트랜치 DRAM 셀( $0.6\mu\text{m}^2$  256Mb Trench DRAM Cell With Self-Aligned Buried Strap(BEST))" IEDM 93-627에 개시되었다.

도시된 바와 같이, DRAM 셀은 기판(101)내에 형성된 트랜치 캐패시터(160)를 포함한다. 상기 트랜치는 일반적으로 n도펀트로 강하게 도핑된 폴리실리콘(폴리 : poly)(161)으로 충전된다. 상기 폴리는 캐패시터의 제 1 플레이트로서의 역할을 하며, 이것은 "스토리지 노드"로 불린다. n형 도펀트로 도핑된 매몰 플레이트(165)는 트랜치의 하부 영역을 둘러싼다. 트랜치의 상부 영역에는 기생 누설을 감소시키기 위한 칼라(168)가 존재한다. 노드 유전체(163)는 캐패시터의 상기 두 플레이트를 절연시킨다. n형 도펀트를 포함한 매몰 웰(170)은 어레이 형태로 DRAM 셀의 매몰 플레이트를 접속시킨다. 매몰 웰 상부에 p-웰(173)이 존재한다. 상기 p-웰은 수직 누설을 감소시키는 역할을 한다.

DRAM 셀은 또한 트랜지스터(110)를 포함한다. 상기 트랜지스터는 게이트(112) 및 n형 도펀트를 포함하는 확산 영역(113,114)을 포함한다. 상기 확산 영역은 소오스 및 드레인으로 언급된다. 소오스 및 드레인의 명칭은 트랜지스터의 동작에 의존한다. 트랜지스터의 캐패시터로의 접속부는 "노드 확산"으로 언급되는 확산 영역(125)을 통해 달성된다. "워드 라인"으로 언급되는 게이트는 또한 일반적으로 폴리(366) 및 나이트라이드(368)층을 포함한다. 대안적으로, 층(357)은 워드 라인 저항을 감소시키기 위하여 폴리 층과 그 상부의 몰리브덴( $\text{MoSi}_x$ ), 탄탈륨( $\text{TiSi}_x$ ), 텅스텐( $\text{WSi}_x$ ), 티타늄( $\text{TiSi}_x$ ) 또는 코발트( $\text{CoSi}_x$ )와 같은 실리사이드로 이루어진 폴리사이드 층이다.

일 실시예에 있어서, 폴리사이드 층은 폴리 층과 그 상부의  $\text{WSi}_x$ 로 이루어진다. 나이트라이드 라이너(369)는 게이트 스택 및 기판을 커버링한다. 나이트라이드 층(368) 및 나이트라이드 라이너는 연속된 처리 동안 에칭 정지층 또는 연마 정지층으로서의 역할을 한다.

얇은 트렌치 절연물(STI)(180)은 DRAM 셀을 다른 셀 또는 소자로부터 절연시키기 위하여 제공된다. 도시된 바와 같이, 워드 라인(120)은 트렌치의 상부에 형성되고 STI에 의해 그들로부터 절연된다. 워드 라인(120)은 "전송 워드 라인"으로 언급된다. 이같은 구조는 폴딩된 비트 라인 구조(folded bitline architecture)로 언급된다. 오픈 또는 오픈 폴딩된 비트 라인 구조 또는 셀 설계와 같은 다른 구조도 역시 사용될 수 있다.

인터레벨 유전층(189)이 워드 라인 상부에 형성된다. 비트 라인을 나타내는 도전 층은 상기 인터레벨 유전층의 상부에 형성된다. 비트 라인 콘택 개구부(186)가 인터레벨 유전층내에 제공되어, 소오스(113)를 비트 라인(190)에 접속시킨다.

이같은 다수의 셀이 어레이로 형성된다. 셀 어레이는 워드 라인 및 비트 라인에 의해 상호 접속된다. 셀을 액세스 하는 것은 셀의 대응 워드 라인 및 비트 라인을 활성화시킴으로써 달성된다.

도 2a를 참조하여, 집적 회로가 형성되는 기판(201)이 도시된다. 상기 기판은 예를 들어 실리콘 웨이퍼를 포함한다. SOI(Silicon On Insulator), SOS(Silicon On Sapphire), 게르마늄, 갈륨, 비소 또는 III-V 화합물과 같은 다른 타입의 기판도 역시 사용될 수 있다.

소자층(210)이 웨이퍼 상에 형성된다. 도시된 바와 같이, 소자 층은 측면 및 바닥을 포함한 웨이퍼 표면을 컨포멀하게 커버링한다. 바람직하게, 소자 층은 DT 에칭을 위해 사용되는 하드 마스크 물질과 유사한 물질로 이루어진다. 일 실시예에 있어서, 상기 소자층은 산화물로 이루어진다. 다른 하드 마스크 물질도 역시 상기 소자층을 형성하는 데에 사용될 수 있다.

산화물은 예를 들어 저압 화학적 기상 증착(LPCVD)과 같은 화학적 기상 증착(CVD) 기술을 사용한 TEOS를 분해함으로써 형성될 수 있다. 또한 다른 컨포멀한 산화물 증착 기술이 사용될 수도 있다. TEOS 층의 두께는 DT 에칭 동안 웨이퍼 에지의 노출을 방지하기에 충분한 정도이다. 일반적으로 TEOS의 두께는 약 1000 내지 2000 Å이다. 이러한 두께는 예를 들어 에칭 화학 작용, 에칭 효율, 하드 마스크 물질 및 DT의 깊이에 의존하여 변화될 수 있다.

도 2b를 참조하여, 웨이퍼의 적어도 에지 및 측면이 보호되는 반면에, IC가 형성되는 영역(208)은 보호되지 않는다. 용어 "칩의 주 영역"은 IC가 형성되는 웨이퍼의 영역을 언급하기 위하여 사용되었다. 보호된 웨이퍼의 에지 부분은 일반적으로 비드 영역으로 언급된다. 비드 영역의 폭은 일반적으로 3mm의 폭이지만 웨이퍼상의 특정한 칩의 설계 및 레이아웃과 관련하여 변화될 수도 있다.

일 실시예에 있어서, 새도우 링과 같은 웨이퍼 지지물(205)이 웨이퍼의 에지를 보호하기 위하여 사용된다. 이같은 웨이퍼 지지물은 예를 들어 새도우 링이 장착된 AMAT Omega, Mxp 또는 Mxp+ 에칭 툴에서 발견된다. 또한 수정된 클램프 링이 비드 영역을 보호하기 위하여 사용될 수도 있다.

대안적으로, 웨이퍼의 에지 및 비드 영역을 보호하기 위하여 레지스트 층이 사용되어 패터닝될 수도 있다. 이것은 비드를 제거하지 않고 레지스트 층을 증착하는 단계를 포함하여 상기 레지스트가 비드 및 에지 영역을 보호하도록 한다. 블랭크 마스크가 상기 레지스트를 선택적으로 노출시키기 위하여 사용되어, 칩의 주 영역의 레지스트가 현상 동안에 제거되도록 한다.

도 2c를 참조하여, 칩의 주 영역(208)의 TEOS 층(210)의 보호되지 않은 영역은 웨이퍼에 대해 선택적으로 제거된다. 소자층의 제거는 실리콘에 대하여 TEOS를 선택적으로 제거하기 위한 적합한 화학제를 사용한 예를 들어 RIE, 습식 에칭 또는 화학적 건식 에칭(CED: Chemical Dry Etch)에 의해 달성된다. 바람직하게, 습식 에칭 또는 CED는 RIE 처럼 실리콘에 대한 손상을 야기하지 않는 것으로 사용된다. RIE가 사용될 때, 후속의 열처리 또는 별도의 어닐링은 실리콘 손상을 치유하는 역할을 수행한다.

도 2d를 참조하여, 패드 스택(250)은 칩의 주 영역의 웨이퍼 상부에 형성된다. 패드 스택은 일반적으로 패드 산화물 층 및 패드 정지 층으로 이루어진다. 상기 패드 산화물층은 예를 들어 열적 산화에 의해 증착된다. 상기 패드 산화물층은 스트레스를 감소시키고 패드 정지층과 웨이퍼와의 사이의 접착력을 증진시키기 위해 충분한 정도의 두께를 갖는다. 일반적인 패드 산화물의 두께는 약 5 내지 20nm이며, 바람직하게는 10nm이다.

패드 산화물 상부에 패드 정지층이 존재한다. 패드 정지층은, 효율적인 에칭 또는 CMP 정지층으로 역할을 하기 위하여, DT를 증진시키는 데에 사용된 것과 같은 다른 물질에 대하여 충분한 선택도를 가지는 물질로 이루어진다. 일 실시예에 있어서, 패드 정지층은, 트렌치를 증진시키기 위하여 사용되는 폴리실리콘에 대한 상대적으로 낮은 에칭 비율에 기인하여 실

리콘 나이트라이드( $\text{Si}_3\text{N}_4$ )로 이루어진다. 패드 정지층을 형성하기 위하여, 다른 적합한 에칭 또는 CMP 정지 물질이 사용될 수도 있다. 상기 나이트라이드 층은 예를 들어 저압 화학적 기상 증착(LPCVD)에 의해 증착된다. 플라즈마 강화 화학적 기상 증착(PECVD)과 같은 나이트라이드 층을 증착하기 위한 다른 방법이 사용될 수도 있다. 일반적으로, 패드 나이트라이드 층은 약 100-300nm의 두께를 가지며, 바람직하게는 200 -300nm의 두께를 가진다. 그러나, 상기 두께는 응용 및 CMP 수행 또는 에칭 효율 뿐만 아니라 나이트라이드와 나이트라이드를 패터닝하기 위해 사용된 레지스트 사이의 선택도에 의존하여 변화될 수 있다.

상술한 바와 같이, 패드 스택이 패드 산화물과 패드 정지층으로 이루어지더라도, 추가의 층이 응용에 의존하여 포함될 수 있다.

패드 스택의 형성 이후에, 하드 마스크 층(260)은 웨이퍼 표면 상에 증착된다. 실시예에 있어서 하드 마스크는 TEOS로 형성된 산화물로 이루어진다. 도시된 바와 같이, TEOS 층은 LPCVD에 의해 형성되며, 웨이퍼의 측면 및 바닥을 포함한 웨이퍼의 표면을 커버링한다. 실리콘에 대해 높은 에칭 선택도를 가지는 다른 물질이 하드 에칭 마스크로 사용될 수도 있다. 이 같은 물질은 예를 들어 보로실리케이트 글래스(BSG)를 포함한다. 상기 하드 에칭 마스크는 DT용 마스크로서의 역할을 한다. 하드 마스크 층의 두께는 예를 들어 약 700nm이다. 물론 이러한 두께는 DT의 깊이 및 사용된 에칭 처리에 의존하여 변화될 수 있다.

하드 마스크층은 일반적인 리소그래피 기술을 사용하여 DT가 형성되는 영역을 한정하기 위해 패터닝된다. 이같은 기술은 포토레지스트층을 증착하는 단계 및 상기 레지스트층을 노출 소오스 및 마스크를 사용하여 선택적으로 노출시키는 단계를 포함한다. 포지티브 또는 네가티브 타입의 레지스트에 의존하여 노출된 부분 또는 노출되지 않은 레지스트 부분이 현상 동안에 제거된다. 결과적으로, DT 영역의 하드 마스크는 레지스트 층에 의해 보호되지 않는다. 이어 하드 마스크 물질은 패드 스택의 나머지 층과 함께 제거되어, 아래의 실리콘 웨이퍼를 노출시킨다. 예를 들어 패드 스택 층의 보호되지 않은 부분은 반응성 이온 에칭(RIE)에 의해 제거된다.

패드 스택이 패터닝된 후, DT 에칭이 DT를 형성하기 위하여 수행된다. 예를 들어 DT 에칭은 RIE를 사용한다. 소자층(210)이 웨이퍼의 에지를 추가적으로 보호하기 때문에, DT 에칭은 웨이퍼를 관통하지 않는다. 결과적으로, 블랙 실리콘의 형성이 방지된다.

DT가 형성되는 영역을 한정하기 위하여, 하드 마스크 층은 일반적인 리소그래피 기술을 사용하여 패터닝된다. 이같은 기술은 포토레지스트 층을 증착하는 단계 및 노출 소오스 및 마스크를 사용하여 상기 포토레지스트를 선택적으로 노출시키는 단계를 포함한다. 레지스트의 타입의 포지티브 또는 네가티브 타입의 레지스트인 것에 의존하여 레지스트의 노출된 부분 또는 노출되지 않은 부분이 현상 동안에 제거된다. 결과적으로, DT 영역의 하드 마스크는 레지스트 층에 의해 보호되지 않는다. 이어 하드 마스크 물질은 DT 영역의 다른 패드 스택 층과 함께 제거되어 아래의 실리콘 웨이퍼를 노출시킨다. 패드 스택 층은 예를 들어 RIE에 의해 제거된다.

패드 스택이 패터닝된 후, DT 에칭은 DT를 형성하기 위해 수행된다. DT 에칭은 예를 들어 RIE를 사용한다. 산화물 층(210)은 웨이퍼의 비드 영역 및 웨이퍼의 측면을 보호한다. 결과적으로, DT 에칭은 비드 영역 및 측면에서 웨이퍼를 관통하지 않으며, 이러한 영역에서의 블랙 실리콘의 형성을 방지한다.

IC의 나머지 부분의 형성을 형성하기 위한 공정이 계속된다. 예를 들어 상기 공정은 DRAM 칩을 제조하기 위하여 지지 장치와 함께 도 1에 개시된 다수의 DRAM 셀을 형성하는 단계를 포함한다.

본 발명이 특정하게 도시되었고 다양한 실시예를 참조하여 설명되었을지라도, 수정 및 변형물이 본 발명의 범주를 이탈하지 않고 본 발명에 속한다는 것이 당업자에게 인지될 수 있을 것이다. 이에 따라 본 발명의 범주는 상술한 상세한 설명에 의존하지 않고 첨부된 청구범위를 참조하여 결정된다.

### 발명의 효과

본 발명에 따라, 하드 에칭 마스크를 형성하기 이전에 웨이퍼의 비드 영역 및 웨이퍼의 측면에 보호성 소자층을 제공함으로써, 반도체 제조시 블랙 실리콘의 형성을 감소 및 방지할 수 있다.

### (57) 청구의 범위

**청구항 1.**

블랙 실리콘 형성을 감소시키기에 적당한 공정을 포함한 반도체 웨이퍼로부터 반도체 장치를 제조하는 방법으로서,

상기 웨이퍼의 표면위에 컨포멀한 마스크 층을 형성하는 단계;

칩의 주 영역에서 상기 마스크 층을 선택적으로 제거하기 위해 상기 마스크 층을 패터닝하여 적어도 비드 영역에 상기 마스크 층이 남아 있도록 하는 단계;

상기 칩의 주 영역에 패드 산화물 층 및 패드 정지 층을 포함하는 패드 스택을 형성하는 단계; 및

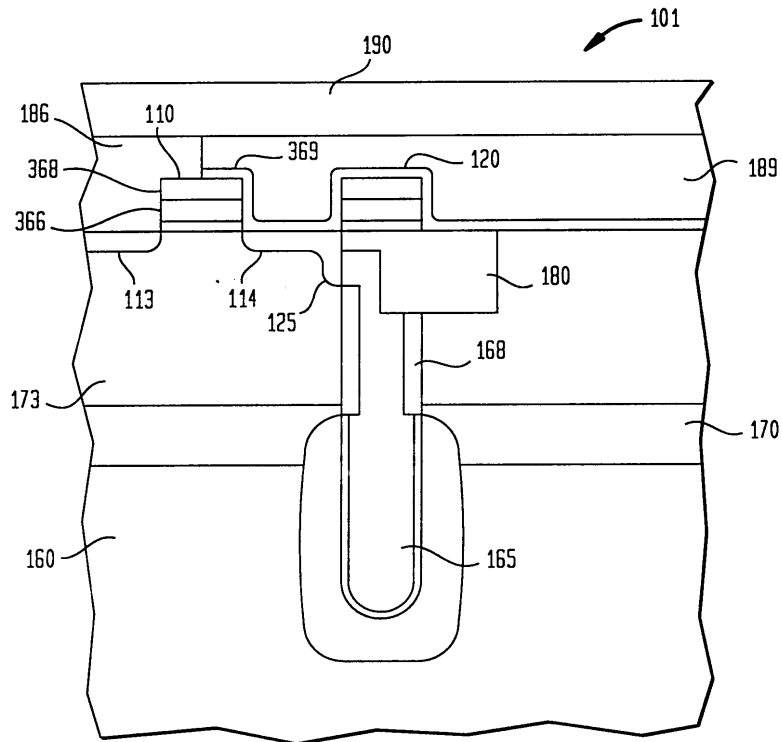
적어도 상기 패드 스택 및 상기 비드 영역 상부의 상기 마스크 층을 커버링하는 추가의 하드 마스크 층을 형성하는 단계를 포함하는 반도체 장치 제조 방법.

**청구항 2.**

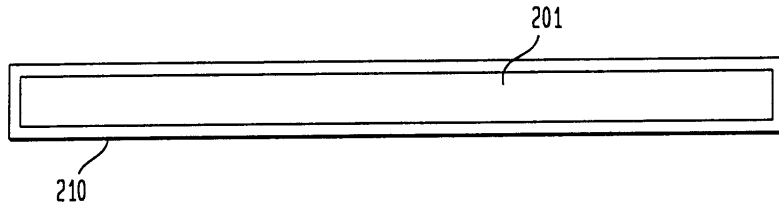
제 1 항에 따른 방법을 사용하여 제조된 반도체 장치.

도면

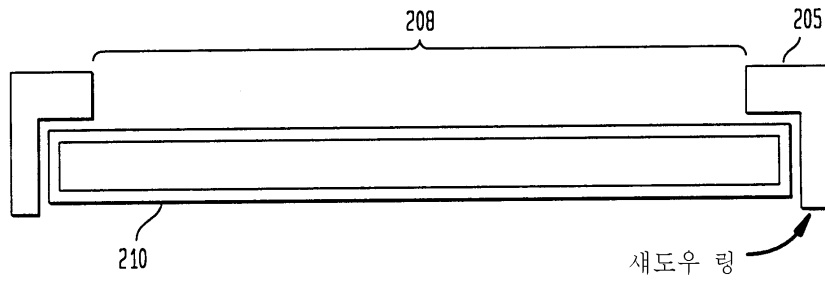
도면1



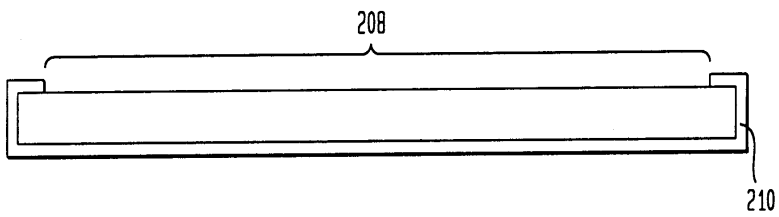
도면2a



도면2b



도면2c



도면2d

