(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H02J 7/00

(45) 공고일자 2001년09월03일
(11) 등록번호 10-0300210
(24) 등록일자 2001년06월15일

(21) 출원번호 10-1997-0044694
(22) 출원일자 1997년08월30일

(65) 공개번호 특1998-0041864
(43) 공개일자 1998년08월17일

(30) 우선권주장 08/755,279 1996년11월22일 미국(US)

(73) 특허권자 내셔널 세미콘덕터 코포레이션
클라크 3세 존 엠.
미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미콘덕터 드라이브

(72) 발명자 데이비스 티모시 돈
미국 텍사스주 76016 아링톤 #1023 스페니시 트레일 2443

(74) 대리인 특허법인코리아나

심사관 : 이경홍

(54) 시스템 및 배터리 전력을 중재하는 저전력 실시간 클록 회로

요약

본 발명은 시스템 전원 전압 범위가 배터리 전원의 전압 범위와 겹치는 시스템들에 대한, 전력 중재 회로, 로우 배터리 전압 검출에 대한 회로 및 배터리 지원 회로의 동작에 관한 것이다. 전압 레귤레이터는 배터리 전원의 전압 범위가 시스템 전원의 전압 범위 미만이 되도록 배터리 전압을 조정하는데 사용된다. 이 레귤레이터는 실리콘 밴드갭 참조 방법론에 기초하며 배터리 수명이 현저하게 영향받지 않도록 소량의 전류를 소비한다. 또한, 레귤레이터는 배터리보다 출력 전압이 더 작게 변화한다. 온도 및 전원 전압 보상 전압은 서브임계 전류원, 기생 바이폴라 장치들, 및 전압 버퍼링의 조합에 의해 생성되고, 시스템의 배터리 지원 회로에 대한 전압원을 제공하는데 사용된다. 조정된 전압은 시스템 전원보다 낮은 값으로 설정되고 전력 중재 회로에 대한 배터리 전원 입력의 역할을 한다. 조정된 전압은 배터리 및 시스템 전원 전압 범위들이 겹치더라도 본 발명의 내부 전력 중재 설계가 존재하는 중재 회로들에 대응하게 한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1a 내지 1c 는 종래 포터블 또는 연속 동작 시스템에 대한 (1a) 전력 중재, (1b) 로우(low) 배터리 전압 검출, 및 (1c) 저전력 발진 회로를 도시한 블록도.

도 2a 내지 2d 는 저전력 실시간 클록의 형태로 구현되는 본 발명의 (2a) 전력 중재기, (2b) 로우 배터리 전압 검출, (2c) 저전력 발진기, (2d) 전원 모니터 회로를 도시한 블록도.

도 3 은 본 발명의 실시간 클록 회로의 주요 구성요소를 도시한 블록도.

도 4 는 본 발명의 실시간 클록 회로의 전압 레귤레이터에 관한 개략도.

도 5 는 도 4 의 레귤레이터에 포함된 스타트업 회로의 개략도.

도 6 은 본 발명의 실시간 클록 회로의 전력 비교기 모듈에 관한 개략도.

도 7 은 도 6 의 전력 절환 회로에 관한 개략도.

도 8 은 본 발명의 실시간 클록 회로의 서브임계 전류원에 관한 개략도.

도 9 는 도 8 의 전류원 내에 포함된 스타트업 회로에 관한 개략도.

도 10 은 본 발명의 실시간 클록 회로의 저전력 발진기 회로에 관한 개략도.

도 11 은 본 발명의 실시간 클록 회로의 로우 배터리 검출 회로에 관한 개략도.

도 12 는 본 발명의 실시간 클록 회로의 VRT(Valid RAM and Tim) 제어 회로에 관한 개략도.

도면의주요부분에대한부호의설명

22 : 시스템 전원 (SYSVDD)

24 : 배터리 전원 (VBAT)

152 : 전력 비교기 모듈

154 : 서브임계 전류원

156 : 저전력 발진기

158 : 로우 배터리 검출 회로

160 : VRT 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저전력 레벨에서 동작하도록 설계되고, 백업 전원으로서 배터리를 이용하는 시스템에 관한 것으로, 특히, 시스템 전원의 전압 범위가 배터리의 전압 범위와 겹치는 경우에 시스템 전원과 배터리 전원사이를 절환하는 전력 중재(arbitration) 회로를 포함하는 실시간 클록 회로에 관한 것이다.

포터블 및 연속 동작 전자 시스템은 종종 저전력 레벨에서 동작하도록 설계된 회로를 포함한다. 통상적으로, 배터리는 시스템 전원에 의해 제공된 보충물에 백업 전원으로서 포함된다. 상기 시스템은 또한 두 개의 전원사이를 중재하는 회로를 포함하고, 전력이 시스템 전원 또는 배터리에 의해서 제공되는 지를 선택하고, 적절한 전원을 선택하기 위한 스위칭 메커니즘을 제공한다.

상기 시스템은 또한 통상적으로 배터리 전압이 임계 레벨이하로 저하되는 경우 경고 신호를 제공하도록 배터리 전압을 모니터하는 회로를 포함하고 또한 전원으로서 배터리를 이용하여 저전력 상태로 머신을 동작하게 하는 저전력 및 저전압 발진기를 포함할 수도 있다. 시스템 전원에 대한 통상적인 전압 범위는 5 볼트 (± 10%) 이고 배터리 전원에 대한 통상적인 전압 범위는 3 볼트 (± 20%) 이다.

도 1a 내지 1c 는 종래 포터블 또는 연속 동작 시스템에 대한 (1a) 전력 중재기, (1b) 로우 배터리 전압 검출, 및 (1c) 저전력 발진기 회로를 도시하는 블록도이다. 도 1a 에 도시한 바와 같이, 전력 중재 회로 (20) 는 입력으로서 시스템 전원 (V_{Sys}) (22) 및 배터리 전원 전압 (V_{Batt}) (24) 을 갖는다. 전원들 (22 및 24) 는 어느 입력이 더 높은 지를 지시하는 출력 신호를 생성하도록 구성된 비교기 (26) 에 입력된다. 비교기 (26) 로부터의 출력 신호는 인버터 (28) 에 공급되며 제어 신호로서 트랜지스터 (32) 의 게이트에 공급된다. 인버터 (30) 의 출력은 제어 신호로서 트랜지스터 (30) 의 게이트에 공급된다. 중재 회로 (20) 는 시스템 내부 전력 버스에 대한 전원 전압 (V_{PP}) 으로서 V_{Sys} (22) 또는 V_{Batt} (24) 중 더 높은 하나를 선택하도록 기능한다. 시스템 전원 전압(22) 은 시스템이 전력이 공급되는 경우 선택되고, 배터리 전원 전압 (24) 은 시스템의 전력이 다운 상태에 있는 경우 선택된다. 다른 전원 전압이 고 전압이하로 수 밀리볼트 저하되는 경우, 내부 버스 (34) 는 더 높은 전원에 접속된다. 이런한 방법으로, 영구(permanent) 전력이 내부 버스상에서 유지된다.

도 1b 의 저배터리 전압 검출 회로 (36) 은 배터 전압 (V_{Batt})(24)이 소정의 레벨 V_{ref} (40) 이하로 저하되는 경우 경고 신호 (38)를 제공하도록 동작한다. 도 1b 의 예에서, V_{ref} (40) 는 비교기 (42) 내에 포함된 MOS 트랜지스터의 턴온 전압 (V_T) 의 거의 두배로 설정된다. 도면에 도시한 바와 같이, V_{Batt} (24) 및 V_{ref} (40) 은 V_{Batt} (24) 가 V_{ref}(40) 이하로 저하되는 경우 로우 배터리 전원 검출 경고 신호 (38) 를 출력하는 비교기 (42) 에 대해 입력의 역할을 한다.

도 1c 의 저전력 발진기 회로 (44) 는 상태 머신 또는 카운터 (48) 와 같은 장치의 동작을 위해서 발진기 (46) 의 형태로 실시간 클록 신호를 제공하도록 기능한다. 이 경우에 있어서 (시스템 전압 또는 배터리 전압중 어느 하나와 동일한) 내부 버스 (34) 상에 인가된 전압(V_{pp}) 은 발진기 (46) 및 임의의 다른 배터리 지원(battery-backed) 회로에 대해 전원의 역할을 한다.

도 1a 의 전력 중재 회로는 시스템 전원 전압이 배터리 전원 전압과 겹치지 않을때 신뢰성있는 전원을 제공한다. 이것은 중재 회로가 더 높은 전원 전압을 확실하게 확인할 수 있기 때문이다. 그러나, 이러한 중재 회로에 있어 " 더 높은 전원 전압" 을 이용하는 형태는 예를 들어, 3.3 볼트 ±10% 의 시스템 전압 및 3 볼트 ±20% 의 배터리 전압을 갖는 시스템에서 발생할 수는 있는 바와 같이, 시스템 전원 전압 범위와 배터리 전원 전압 범위가 겹치는 경우에 신뢰할 수 없다. 저전압 시스템의 이런 형태들에서 더 공통적이기 때문에, 전압 중재의 다른 방법 및 로우 배터리 전원 검출이 개발되어야 한다.

도 1a 내지 1c 의 회로의 또 다른 특성은 대부분의 적용을 위해서 회로가 고속 논리 장치로 집적되어야 하기 때문에, 회로의 구성 요소는 고속 디지털 프로세스에서 유용한 소자로 제한된다는 것이다. 이것은 회로를 형성하는데 사용될 수 있는 유용한 구조 및 방법상에 제약이 되며 회로설계에 영향을 미친다.

발명이 이루고자 하는 기술적 과제

소망하는 바는 시스템 전원 전압 범위가 배터리 전원의 전원 전압 범위와 겹치는 시스템들에 대해, 전력 중재 회로, 저 배터리 전력 검출 회로, 및 배터리 지원 회로의 동작에 관한 것이다. 본 발명의 이들 및 다른 이점은 도면과 함께 본 발명의 상세할 설명을 숙독함으로써 상기 기술에 숙련된 자들에게 명백하게 된다.

발명의 구성 및 작용

본 발명은 시스템 전원 전압 범위가 배터리 전원의 전압 범위와 겹치는 시스템들에 대해, 전력 중재 회로, 로우 배터리 전압 검출 회로 및 배터리 지원 회로 동작에 관한 것이다. 본 발명은 실 시간 클록의 인가를 참조로 하여 설명되지만, 그 원리는 저전력에서 동작하는 다른 시스템에 적용될 수도 있으며 전력의 백업 배터리 전원을 포함한다. 본 발명은 배터리 전원의 전압 범위가 시스템 전원의 전압 범위 미만이 되도록 배터리 전압을 조정하도록 동작하는 전압 레귤레이터를 사용한다. 레귤레이터는 실리콘 밴드갭 참조 방법에 기초하고 전류의 소모량이 매우 적기 때문에 배터리 수명이 거의 영향을 받지 않는다. 또한, 레귤레이터는 배터리보다 출력 전압이 변화가 더 적다. 온도 및 전원 전압 보상 전압은 서브임계 전류원, 기생 바이폴라 트랜지스터 및 전압 버퍼링의 조합에 의해서 생성되고, 시스템의 배터리 지원 회로에 대해 전압원을 제공하는데 사용된다. 조정된 전압은 시스템 전원보다 더 낮은 값으로 설정되고 전력 중재 회로에 대해 배터리 전원 입력의 역할을 한다. 조정된 전압은 배터리 및 시스템 전원 전압 범위가 겹치더라도 본 발명의 내부 전력 중재 설계가 현존 중재 회로와 등가가 되도록 허용한다.

본 발명의 다른 목적 및 이점은 첨부된 도면과 다음의 상세한 설명으로부터 명백해질 것이다.

비록 본 발명을 저전력 실시간 클록의 환경에서 설명하더라도, 본 발명의 원리 및 방법은 시스템 전압 전원과 배터리 전원의 전압 범위가 겹치는 경우 시스템 전원과 배터리 전원사이를 구별하는 수단을 요구하는 다른 형태의 시스템에 적용될 수 있음을 이해해야 한다.

기록된 바와 같이, 본 발명의 저전력 실시간 클록 회로는 시스템 전원과 배터리 전원의 전압 범위가 겹치는 환경에서 동작하도록 설계된다. 이런한 상태에서 통상적인 " 더 높은 전원 전압" 중재 방법은 적절하게 동작하지 않는다. 이 전위 문제는 배터리 전원의 전압 범위가 시스템 전원의 전압 범위 미만이 되도록 배터리 전압을 조정함으로서 극복된다. 표준 레귤레이터는 본 발명의 응용에 대하여 소망했던 것 보다 더 큰 비율로 전류를 소비하므로, 적합하지 않다. 이것은 배터리의 수명을 현저하게 감소시키며 본 발명의 목적에 어긋나는 효과를 갖기 때문이다. 이 문제를 해결하기 위해서는 정상 비율의 몇분의 1 (대략 1/1000) 로 전류를 소비하는 전압 레귤레이터를 설계해야 한다. 게다가, 전압 레귤레이터는 본 발명에 의해서 실현되는 요구물이며 코어 COMS 공정에 적합한 방법으로 단일 기판상에 고속 디지털 회로로 집적될 필요가 있다.

본 발명의 중요한 특징은 그의 제조능력에 관한 것이다. 기록된 바와 같이, 본 발명에 의해 충족되어야 하는 제약사항은, 코어 고속 디지털 CMOS 공정에 알려진 단계 이외의 부가적인 공정 단계가 요구되지 않는 방식으로, 단일 기판상에 고성능의 저전력 실시간 클록 회로와 고전력 디지털 회로가 집적화되어야 한다는 것이다. 이러한 특성은 다수의 고성능 디지털 프로세스가 유닛당 높은 값의 트랜스컨덕턴스를 갖는 장치, 매우 낮은 저항 재료 및 단지 기생적인 최적화되지 않은 바이폴러 트랜지스터를 수용하도록 설계되기 때문에 중요하다. 이러한 프로세스들은 전력 소비를 고려하여 속도에 우선순위를 두는 경향이 있다.

반면에, 효율을 위해서, 본 발명의 저전력 실시간 클록 회로는 고성능 디지털 프로세싱 방법에 기초하는 등가 회로와 비교되는 4 또는 5 배의 크기로 전력 소비가 감소하도록 설계된 기술들을 요구하고 그리고 이용한다. 이 목표를 달성하는데 이용된 설계 기술은 저전력 실시간 클록 회로를 도시하는 도면들에 반영되고, 레이 아웃 매칭 단위 장치(예를 들어, 도 4 의 레지스터 RBG), 도 8 의 레지스터 네트워크, 및 도 8 의 P 채널 전류 분배 네트워크를 포함한다. 설계 방법론은 더욱 예측이 가능한 방법(랜덤 V_T 또는 저항의 변화에 덜 민감하다) 으로 동작하는 로우(low) 바이어스 회로를 생성한다. 본 발명에서 사용되는 또 다른 설계 기술은 매칭된 트랜지스터들의 설계기술은 매칭된 트랜지스터들의 설계 기술(예를 들어, 도 9 의 일련의 p 채널 장치) 이다. 이것은 기생 저항을 더 바람직하게 제어함으로서 고임피던스 동작의 범위를 확장하는데 조력한다.

도 2a 내지 2d 는 저전력 실시간 클록 형태로 구현된 본 발명의 (2a) 전력 중재 회로, (2b) 로우 배터리 전압 검출, (2c) 저전력 발진기, (2d) 전원 모니터 회로를 도시한 블록도이다. 도 2a 에 나타난 바와 같이, 전력 중재 회로 (100) 는 입력들로서 시스템 전원 전압 (V_{Sys}) (22) 및 전압 레귤레이터 (102) 의 출력인 기준 전압 (V_{Ref}) (104)을 갖는다. 전압 레귤레이터 (102) 는 V_{Ref} 가 시스템 전원 전압 범위의 하한보다 낮도록 구성된다. 전압 레귤레이터 (102) 에 대한 입력은 배터리 전원 전압 V_{Batt} (24) 이다. 전압 (22 및 104) 은 어느 입력이 더 높은 지를 지시하는 출력 신호를 생성하도록 구성된 비교기 (26) 에 입력된다. 비교기 (26) 로부터의 출력 신호는 인버터 (28) 와 트랜지스터(32)의 게이트에 제어 신호로서 공급된다. 인버터 (30) 의 출력은 제어 신호로서 트랜지스터 (30) 의 게이트에 공급된다. 전력 중재 회로 (100) 는 시스템 내부 전력 버스(34)에 대한 전원 전압 (V_{PP}) 으로서 V_{Sys} (22) 또는 V_{Ref} (104) 중 더 높은 것을 선택하도록 기능한다.

도 2b 의 로우 배터리 전압 검출 회로 (110) 는 전원 전압 (112) 이 전압 레귤레이터 (102) 에 의해 생성된 기준 전압 (V_{Ref}) (104) 이하로 저하되는 경우 경고 신호 (38) 를 제공하도록 동작한다. 전원 전압 (V_{Power})(112) 은 도 2b 에 도시된 형태의 회로 (110)에 있어서 배터리 전원 전압(V_{Batt}) (24) 또는 시스템 전원 전압(V_{Sys})(22) 중 어느 하나를 나타낸다. 도면에 나타난 바와 같이, V_{Power} (112) 및 V_{Ref} (104) 는 비교기 (42) 에 대해 입력의 역할을 하고, 상기 비교기는 V_{Power} (112) 가 V_{Ref} 이하로 저하되는 경우 로우 배터리 전원 검출 경고 신호 (38) 를 출력한다. 전압원 (114) 은 V_{Power} 입력에 전압 저하가 발생하는 경우 잘못된 전원 전압원의 조기 검출을 제공하도록 동작하는 V_{offset} 을 제공한다.

도 2c 의 저전력 발진기 회로 (120) 는 발진기 (46) 의 형태로 상태 머신 또는 카운터 (48) 와 같은 장치의 동작을 위한 실시간 클록 신호를 제공하도록 기능한다. 이런 경우에 내부 버스상에 공급된 (시스템 전압 또는 기준 전압중 임의의 하나와 동일한) 전원 전압 V_{PP} (34) 은 발진기 (46) 및 임의의 다른 배터리 지원 회로에 대하여 전원의 역할을 한다.

도 2d 의 연속 영구 전원 모니터 회로(30)는 영구 전력 고장 검출 설계의 도 2b 의 로우 전력 검출 회로를 이용한다. 저장 소자 (132) 는 로우 배터리 및 로우 시스템 전원 검출회로들의 출력을 모니터한다. 영구 전력으로부터 동작되는 파워업 리세트회로는 시스템 및 배터리 전력 양측 모두의 총 손실을 기록하고, 이러한 조건하에서 신호 (134) 를 생성한다. 이것은 시스템 동작 동안 배터리 전원의 상태를 단지 샘플링하는 대부분의 종래 시스템과는 대조적으로 전력 시스템의 연속적인 모티터링을 제공한다. 영구 전원의 연속적인 모니터링은 시스템 또는 배터리 지원 동작 동안 데이터의 보전을 확인하고 총 전력 손실동안 데이터 충돌의 가능성을 사용자에게 경고한다. 이런 형태의 회로가 가능한 응용물들은 데이터 보전이 중요한 포터블 보호 장치를 포함한다.

도 2d 의 전원 모니터 회로 (130)에 있어서, 영구 파워업 리세트 신호 (134) 는 하나의 입력으로서 OR 게이트 (136) 에 제공한다. OR 게이트 (136) 에 대한 제 2 입력은 입력으로서 로우 배터리 전원 검출 신호 (140) 및 로우 시스템 전원 검출회로 (142) 를 갖는 AND 게이트 (138) 의 출력으로부터 제공된다. 신호 (140 및 142) 는 도 2b 에 도시된 로우 배터리 전원 검출 및 로우 시스템 전원 검출 회로 (110) 의 출력들로서 제공된다. OR 게이트 (136) 의 출력이 하이인 경우, 로우 배터리 및 로우 시스템 전원 전압 양측 모두의 상태 또는 시스템 및 배터리 전력 양측 모두의 총 손실 중 어느하나를 지시한다. 이것은 저장 소자 (132) 를 리셋시킨다. 저장 소자 (132) 의 정상출력은 VRT(Valid RAM and Time) 상태를 지시하는 상태신호이다.

도 3 은 본 발명의 실시간 클록 회로의 주요 구성요소들을 도시한 블록도이다. 도면에 도시된 바와 같이, 전력 비교기 모듈 (152) 은 2 개의 주요 입력, 즉, (도면에서는 " SYSVDD" 로 명명되어 있고 전력 비교기 모듈(152) 의 노드 " RTCVDD" 로 입력되는) 시스템 전원 전압 (22) 및 (도면에서는 " RTCVREF" 로 명명되어 있고 전력 비교기 모듈(152) 의 노드 " VATT" 로 입력되는) 기준 전압 (104) 을 갖는다. 기준 전압(104)은 저항 (162) (도면에서는 " RBAT " 로 명명됨) 에 의한 배터리 전원 전압 (24) 을 조정함에 의해 생긴 그 신호를 사용하여 입력 전압으로 VBATINT 를 갖는 전압 레귤레이터 (150) 의 출력에서 생성된다. RBAT (162) 는 배터리 전원 전압 (24) 및 상기 회로망의 나머지 백차지(backcharge) 제한을 제공한다. 전압 레귤레이터 (150) 는 또 다른 입력으로서 절대 온도에 비례하는 전류를 제공하는 서브임계 전류원 (154) 에 의해서 생성된 전류를 갖는다. 이 전류는 시스템의 배터리 지원 회로에 대해 충분한 전력을 공급하도록 버퍼링된 전원 전압 보상전압 및 온도를 생성하기 위해 전압 레귤레이터(150)의 구성요소와 상호 작용한다.

전압 레귤레이터 (150) 의 사용은 로우 배터리 전압 상태에 대해 시스템에 경고하기 위한 편이 수단을 제공한다. 이 로우 배터리 전원 검출은 저배터리 전원 검출 회로 (158) 에 의해서 실행된다. 로우 배터리 전원 검출 회로 (158) 에 대한 입력은 (도면에 " RTCVREF" 로 명명되고 로우 배터리 전원 검출 회로 (158) 의 노드 " VREFIN" 에 입력되는) 전압 레귤레이터 (150) 에 의해 생성된 기준 전압 (104) 및 (도면에 " VBATINT" 로 명명되고 로우 배터리 전원 검출 회로 (158) 의 노드 " VBATT" 에 입력하는) 조정된 배터리 전원 전압 (24) 이다. 로우 배터리 전원 검출 회로 (158) 는 배터리 전압이 기준 전압과 거의 동일한 전압으로 저하되는 경우를 감지하고 이런 경우에 (도면에 " LBD" 로 명명되는) 경고 신호를 출력한다.

저전력 발진기 (156) 는 입력으로서 (도면에서 " VOSC" 로 명명되고 저전력 발진기 (156)의 노드 " VBIAS" 로 입력되는) 서브 임계 전류원 (154) 에 의해서 생성된 발진기 전압 신호를 갖는다. 저전력 발진기 (156) 의 출력은 상태 머신 또는 카운터와 같은 다른 회로의 동작을 제어하는데 이용되는 (도면에서 " RTCCLK" 로 명명된) 실시간 클록 신호이다.

VRT(Valid RAM and Time) 제어 회로 (160) 는 시스템 전원 전압이 조정된 기준 전압의 소정량내로 저하되는 경우를 검출하는데 사용된다. 「로우 배터리 전압 검출 회로 (158) 로부터의」 로우 배터리전압 검출 신호와 로우 시스템 전원 전압의 조합은 VRT 제어 회로 (160) 의 저장 소자가 백업 전원으로서 신뢰성 있는 배터리 전원의 손실을 표시하게 한다. (도면에서 " RUNNING" 로 명명된) 서브임계 전류원 (154) 로부터의 신호는 저장 소자를 위한 파워업 초기화로서 동작한다.

도 4 는 본 발명의 실시간 클록 회로의 전압 레귤레이터 (150) 를 개략적으로 도시한 도면이다. 전압 레귤레이터 (150) 는 도 3 의 서브임계 전류원 (154) 에 의해 생성된 절대 온도에 비례하는 전류를 입력(" IBIASBG" 로 명명된 노드에서) 으로서 갖는 스테이지를 포함한다. 전압 레귤레이터 (150) 의 상기 스테이지는 2 개의 전압 성분, 즉 (1) 양의 온도 계수를 갖는 제 1 전압 성분, (2) 음의 온도 계수를 갖는 제 2 전압 성분을 생성한다. 2 개의 전압 성분이 적절한 비율로 합산되면, 합산된 성분의 각각의 온도 변화가 거의 상쇄될 수 있다. 전류원이 전원 전압에 (제 1 순위로) 영향받지 않도록 설계되기 때문에, 노드 IBIASBG 에서 생성된 전압은 대략 전원 및 온도의 양측 모두에 무관하다.

또한, 전압 레귤레이터(150) 는 소망된 동작 범위로 2 개의 전압 성분 합을 버퍼링하고 스케일링하는 전압 폴로어를 포함하고, 레귤레이터로 입력된 전압이 기준 전원에 의해 동작하는 회로에 의해 로드되는 것을 방지한다. 전압 레귤레

이터 (150) 는 시스템 전원 전압 범위보다 낮은 값으로 배터리 전압을 조정하기 위해 실리콘 밴드갭 참조 기술을 이용한다. 전압 레귤레이터 (150) 는 전율의 소모량이 거의 없도록 하여 (종종 마이크로 암페어 미만) 배터리 수명이 거의 영향 받지 않도록 한다. (도 5 에 더 상세하게 도시된) 서브임계 전류원(154) 에 의해 생성된 (도면에서 " IBIASBG" 로 명명된) 전류는 온도 및 전원 전압 보상 전압을 제공하기 위해 저항 RBG (200) 및 측면의 PNP 트랜지스터 (204) 와 상호작용한다. 배터리 지원 회로에 대해 충분한 전력을 공급하기 위해서 저항 디바이더에 의해 그 후에 버퍼링되고 스케일링된다.

상술한 바와 같이, 상기 레귤레이터는 실리콘 밴드갭 참조 기술에 기초한다. 밴드갭은 조정되지 않은 배터리에서 존재하는 전압의 범위보다 매우 협소한 전압 범위로 배터리 전압 변화를 조정한다. 또한, 이것은 시스템 전원 (예를 들어, 3.3 볼트 ± 10%) 으로부터 배터리 전원을 구별가능하게 하는 범위로 배터리 전압을 변환시키는 역할을 한다. 출력 기준 전압 (104) 은 통상적으로 2.3 볼트이다.

전압 레귤레이터 (150) 에 포함된 밴드갭 기준은 양의 온도계수를 갖는 성분 및 음의 온도계수를 갖는 성분을 포함한 전압을 제공한다. 상기 성분들은 거의 온도에 무관한 전압을 획득하기 위해 적절한 비율로 함께 합산된다.

전압 레귤레이터 (150) 에서, 기생하는 측면의 PNP 트랜지스터 (204) 의 베이스 에미터 전압은 음의 온도계수 성분을 공급한다. 상술한 서브임계 전류원은 노드 (IBIASBG)에서 절대 온도(PTAT)에 비례하는 전류를 트랜지스터(204) 및 밴드갭 저항 (200) 으로 공급한다. 서브임계 전류원 저항과 밴드갭 저항 (200) 의 비율은 온도에 대한 기준 전압의 변화의 영향을 최소화 하기 위한 적절한 비율로 2 개의 전압 성분을 합산하는 방식으로 선택된다. 서브 임계 전류원, 저항 (200), 및 트랜지스터 (204) 의 동작에 의해서 생성된 전압은 노드 IBIASBG 에서 존재하는 1.1 내지 1.2 볼트 에 거의 2 배인 기준 전압 (104) 값을 결정한다.

전압 레귤레이터 (150) 내에 포함된 전압 폴로어 스테이지는 노드 IBIASBG 에 존재하는 전압을 버퍼링하고 스케일링하도록 동작한다. 전압 폴로어 스테이지는 노드 IBIASBG 에서 입력 기준 전압에 거의 2 배인 구동 전압 (본 예에서는 기준 전압 (104) 으로서 거의 2.3 볼트를 발생함) 을 출력하는 전류 제한 동작 증폭기이다. 2 배 전압곱은 각 쌍에 대해 제로인 Vbs를 갖는 매칭된한 세트의 p 채널 트랜지스터들에 의해 성취된다. 이것은 전형적인 저항 재료의 전류 로딩 없이 전압 감지를 가능하게 한다.

전압 폴로어 스테이지에 의해 사용된 스케일링 방법은 도 4 에 나타낸 RIDV 장치 (206) 를 사용한다. 고성능 코어 CMOS 공정에서, (10 Meg 보다 더큰 값을 갖는) 매우 큰 저항들은 경제적이거나 또는 신뢰성 있는 형태로 제조되는 것이 어렵다. 기준 전압의 스케일링을 위해, 저항들은 출력 전압을 감지하기위해 그리고 출력 전압을 안정화하기 위해 피드백 제어 메커니즘을 제공하기 위해 필요하다. 배터리 기준에 대하여, 매우 큰 저항들은 과도한 전력 소비를 방지하고 배터리 수명을 연장하는데 필요하다. 도 4의 회로에서, 전압 스케일링은 각 쌍에 대해 Vdg=0 이고 Vbs=0 을 갖는 매칭된 한세트의 라지(large) - L P 채널 트랜지스터들에 의해 실행된다. 장치들이 직렬로 접속되어 있으므로, 동일한 전류는 이들을 통해 흐른다. 교차 결합되어 매칭된 단위 장치들을 이용하는 매칭된 레이아웃으로, 각 쌍은 매칭된 전압만큼 강하된다. 이것은 편리한 2 분할 전압 기능을 제공한다. 도 4 에 도시된 개념(concept)은 물론 n 분할 전압 기능으로 확장될 수 있다(여기서, n 은 정수).

또한, 전압 레귤레이터 (150) 는 시스템 전원 전압이 없는 경우에 발생할 수 있는 제로 전압 출력 및 제로 전류 입력의 부트스트랩 상태를 방지하는데 사용되는 스타트업 회로 (210) 를 포함한다. 이것은 서브임계 전류원 전원이 몇몇 상황에서 밴드갭의 출력이 될 수 있기 때문에 이용된다.

도 5 는 도 4 의 레귤레이터 (150) 에 포함된 스타트업 회로 (210) 의 개략적인 도면이다. 스타트업 회로 (210) 는 서브임계 전류원이 개시되었는지를 감지한다. 이것은 밴드갭이 초기화되지 않으면 상기 서브임계 전류원이 개시되지 않을 수 있기 때문에 중요하다. 전류원이 개시되지 않은 것을 스타트업 회로 (210) 가 감지하면, 밴드갭 출력은 배터리 전압 레벨로 직접 구동된다. 전류원이 초기화되는 경우, 밴드갭 출력이 조정된다.

도 6 은 본 발명의 실시간 클록 회로의 전력 비교기 모듈 (152) 의 개략적인 도면이다. 전력 비교기 모듈 (152) 는 (도면에 " RTCVDD" 로 명명된) 시스템 전원 전압과 기준 전압 (104) 으로서 전압 레귤레이터 (150) 에 의해 생성된 (도면에서 " VBATT" 로 명명된) 조정된 배터리 전원 전압사이를 중재한다.

전력 비교기 모듈 (152) 은 시스템 전원 전압 또는 조정된 배터리 전압중 어느 하나에 (도면에서 " VPP" 로 명명된) 내부 공급 레일을 접속시키기 위해서 전류 제한 비교기를 사용한다. RTCVD=VBATT 인 경우 비교기들은 RTCVD 또는 VBATT 중 더 높은 전압에 VPP 를 접속한다. 부가적인 비교기는 (도면에서 칩인에이블에 대해 " CE" 로 명명된) 강하 전력에 대한 조기 검출을 제공하기 위해 저항 디바이더를 사용한다. CE 신호는 RTCVDD 가 조정된 배터리 전압의 거의 1.2 배인 경우 로우로 절환된다. 전력 비교기 모듈(152) 은 전력 비교기 모듈(152) 의 비교기 스테이지들로부터(도면에 " RHBL" 로 명명된) 제어 신호의 수신시에 VPP 를 시스템 전원 또는 조정된 배터리 전원에 접속시키는 전력 절환 회로 (220) 를 포함한다. 도 7 은 도 6 의 전력 절환 회로 (220) 의 개략적인 도면이다.

도 8 은 본 발명의 실시간 클록 회로의 서브 임계 전류원 (154) 에 대한 개략도이다. 상술한 바와 같이, 서브 임계 전류원 (154) 은 레귤레이터에 (도면에 " IODTBG" 로 명명된, PTAT) 절대온도에 비례하는 전류를 생성시킨다. 또한, 서브 임계 전류원(154) 은 실시간 클록 회로의 다수의 아날로그부로 분배되어 잘 제어된 작은 크기의 바이어스 전류(도면에서 " IODT__" 로 명명됨)를 제공한다. 이것은 저전력 회로 모듈의 설계를 용이하게 한다.

도 8 에 도시된 회로에 있어서, " RDT" 로 명명된 노드를 통해 흐르는 출력 전류 (I_{out}) 는 아래와 같이 표시될 수 있다.

I_{out} = [kT/q * ln ((100/4)/(25/4))/1.1 Meg]에서,

k = 볼쯔만 상수

q = 전하

T = 절대 온도이다

실온에서, I_{out} 은 거의 36 나노암페어와 같다. 도 8 의 저항 네트워크가 거의 그와 같은 값을 가지므로 1.1 Meg 제수 (divisor) 라는 용어가 생긴다. 또한, 서브임계 전류원(154) 은 조건에 만족하고 출력 전류를 분배하는 전류 미러 및 바이패스 커패시터를 포함한다. 「도면에서 명명된 구성요소 (232 및 234) 인」 전류 생성 스테이지에서의 N 채널 장치들은 서브임계 영역내에서 동작한다. 전류 미러내의 나머지 P 채널 장치들은 상기 회로의 나머지에 다양한 비율로 생성된 전류를 분배하도록 동작한다. P 채널 장치들은 서브임계 영역내에서 동작하지 않도록 설계된다. 이것은 생성된 기준 전류를 더 정확히 스케일링하고 매칭하도록 기능한다. 또한, 통상적으로 부트스트랩 회로들내에 존재하는 스타트업 회로 (230) 가 서브 임계 전류원(154) 에 포함된다. 서브임계 전류 회로 (154) 에는 (도 3 에서 " VPP" 로 명명된) 중재 전원에 의해 전력이 공급되고, (제 1 순위로) VPP 값의 변화에 무관하게 설계된다.

도 9 는 도 8 의 서브 임계 전류원 (154) 에 포함된 스타트업 회로(230)의 개략도이다. 이 회로는 도 5를 참조하여 설명된 스타트업 회로와 동작이 유사하고 또한 (도면에서 " RUNNING" 으로 명명된) 디지털 신호를 생성한다.

도 10 은 본 발명의 실시간 클록 회로의 저전력 발진기 회로 (156) 의 개략도이다. 저 전력 발진기 (156) 는 전류 제한되는 3 단계의 발진기로서 구현된다. 상기 회로는 미국 특허 제 5,528,201 호에 " Pierce Crystal Oscillator Having Reliable Startup for Integrated Circuits" 라는 타이틀로 기술되는 방식과 유사한 방식으로 병렬 커패시터(240)에 의해 보상되며, 그 내용은 본원에 참고로 참조된다.

저 전력 발진기 (156) 의 저전력 특성은 발진기 증폭 대역폭 (본 실시예에서 거의 32 KHz)을 제한하기 때문에, 멀티플렉서 (250) 는 테스트를 목적으로 병렬 경로를 제공한다. 테스터는 (도면에서 " RTCCLK" 로 명명된) 발진기 클록 신호 출력을 토글하고 실시간 클록 카운터 정확도(functionality)를 검증하기 위해 (예를 들면, 대략 5 MHz 로) 노드 (X1) 을 통해 더 빠른 외부 클록을 구동하는데 사용될 수 있다.

도 11 은 본 발명의 실시간 회로 회로의 로우 배터리 전원 검출 회로 (158) 에 대한 개략도이다. 잘 알려진 바와 같이, 배터리 전압 레벨 모니터링은 임의의 배터리 지원 시스템의 중요한 특징이다. 로우 배터리 전원 검출 회로 (158) 는 2 개의 비교기를 포함한다. 제 1 비교기는 (도면에서 " VBATT" 로 명명된) 배터리 전압이 (도면에서 " VREFIN" 으로 명명된) 조정된 배터리 전압의 약 100 밀리 볼트내로 저하되는 것을 검출한다. 이것은 전압원으로서 시스템 전원을 사용하는 정상 동작동안에 로우 배터리 상태를 사용자에게 알리는데 이용된다. 제 2 비교기는 (도면에서 " VSYSS" 로 명명된) 시스템 전압이 조정된 배터리 전압 (VREFIN)의 약 100 밀리 볼트내로 저하되는 경우를 검출한다. 상기 비교기들이 로우 배터리 및 시스템 전압 양측 모두를 검출한 경우, (도 12 에서 상세하게 도시된) VRT(Valid RAM and Time) 제어 회로 (160) 의 저장 소는 신뢰성 있는 배터리 지원 전원의 손실과 같은 상기 상태를 반영한다.

도 12 는 본 발명의 실시간 클록 회로의 VRT(Valid RAM and Time) 제어 회로 (160) 의 개략도이다. 알려진 바와 같이, 도 11 의 비교기들은 로우 배터리 및 시스템 전압 양측 모두를 검출하는 경우, VRT 제어 회로 (160) 의 저장 소자는 상기 상태를 반영한다. 도 8 의 서브 임계 전류원 (154) 로부터의 신호(도면에서 “RUNNING”로 명명됨)는 저장 소자 (260) 에 대해 파워업 초기화로서 동작한다.

본 발명의 저 전력 실시간 클록 회로는 시스템 전원 및 배터리 전원이 겹치는 전압 범위를 갖는 환경내에서 동작되도록 설계된다. 이것은 종래의 고속 고전력 CMOS 설계 방법들을 사용하여 구현된 표준 레귤레이터들에 비하여 큰 감소율로 전류를 소모하는 특별히 설계된 전압 레귤레이터를 사용하여 시스템 전원 전압 범위 레벨 이하의 레벨로 배터리 전압을 조정함으로서 성취된다. 표준 CMOS 공정에서 저전력 소비와 호환성의 조합은 본 발명이 고성능 디지털 회로들을 포함하는 저전력 배터리 지원 장치들내에 사용하는데 이상적이도록 한다.

본원에서 사용된 용어와 표현은 설명을 위해서 사용된 것이고 제한적인 것이 아니며, 이러한 용어 및 표현은 상술한 형태들 및 그 부분들을 포함한다라고 의도되며, 청구된 발명의 범위 내에서 다양한 변경이 가능한 것으로 인식되어야 한다.

발명의 효과

본 발명은 저전력 레벨에서 동작하도록 설계되고, 백업 전원으로서 배터리를 이용하고, 시스템 전원의 전압 범위가 배터리의 전압 범위를 겹치는 경우에 시스템 전원과 배터리 전원사이를 절환하는 전력 중재 회로를 포함하는 실시간 클록 회로에 관한 것이다.

(57) 청구의 범위

청구항 1.

제 1 및 제 2 전압원 중 어느 것을 출력 전압원으로 제공할 것인지를 결정하는 전력 중재(arbitration) 회로에 있어서, 상기 제 1 및 제 2 전압원은 겹치는 전압 범위를 갖는 제 1 및 제 2 전압 신호를 각각 생성하고,

상기 전력 중재 회로는,

온도에 비례하는 크기를 갖는 전류를 생성하며, 트랜지스터의 서브임계 영역내에서 동작하는 트랜지스터를 포함하는 전류 생성 스테이지를 더 구비하는 전류원;

입력으로서 상기 제 1 전압 신호를 수신하고 출력으로서 전압 범위를 갖는 기준 전압 신호를 생성하도록 구성되는 레귤레이터;

입력들로서 상기 레귤레이터에 의해서 출력된 상기 기준 전압 신호와 상기 제 2 전압 신호를 가지며, 출력으로서 두 개의 비교기 입력중 더 큰 것을 지시하는 제어 신호를 생성하는 비교기; 및

입력으로서 상기 제어 신호를 가지며, 상기 출력 전압원으로서 상기 비교기 입력들중 지시된 하나를 제공함으로써 상기 제어 신호에 응답하는 스위치를 구비하며,

상기 기준 전압 신호의 전압 범위는 상기 제 2 전압 신호의 전압 범위와 겹치지 않고,

상기 레귤레이터는,

입력으로서 상기 전류원에 의해서 생성된 전류를 가지며, 출력으로서 양의 온도 계수를 갖는 전압을 생성하는 제 1 전압 강하 소자; 및

입력으로서 상기 전류원에 의해서 생성된 전류를 가지며, 출력으로서 음의 온도 계수를 갖는 전압을 생성하는 제 2 전압 강하 소자를 더 구비하는 것을 특징으로 하는 전력 중재 회로.

청구항 2.

제 1 항에 있어서, 상기 제 1 전압 신호는 배터리에 의해서 제공되는 것을 특징으로 하는 전력 중재 회로.

청구항 3.

제 1 항에 있어서, 상기 레귤레이터는,

상기 전류원의 출력이 없는 상태에서, 상기 레귤레이터의 출력으로서 상기 제 1 전압 신호를 제공하는 스타트업 회로를 더 구비하는 것을 특징으로 하는 전력 중재 회로.

청구항 4.

제 1 항에 있어서, 상기 제 1 전압 강하 소자는 제 1 값을 가지며, 상기 제 2 전압 강하 소자는 제 2 값을 가지며, 또한 상기 제 1 및 제 2 값은 제 1 및 제 2 전압 강하 소자의 출력의 합이 온도에 거의 무관하도록 선택되는 것을 특징으로 하는 전력 중재 회로.

청구항 5.

제 1 항에 있어서, 상기 기준 전압 신호의 상기 전압 범위는 상기 제 2 전압 신호의 전압 범위 미만인 것을 특징으로 하는 전력 중재 회로.

청구항 6.

출력 전압원으로서 제공되는 제 1 및 제 2 전압원 중 어느 하나를 결정하고, 상기 제 1 전압 신호로부터 도출된 기준 전압 신호와 상기 제 2 전압 신호중 더 큰 것을 출력으로 생성하는 전력 중재 회로로서, 상기 제 1 및 제 2 전압원은 겹치는 전압 범위를 갖는 제 1 및 제 2 전압 신호를 각각 생성하고, 또한 상기 기준 전압 신호는 상기 제 2 전압 신호의 범위와 겹치치 않는 범위를 갖는, 상기 전력 중재 회로;

입력으로서 상기 전력 중재 회로의 출력을 가지도록 구성되며, 출력으로서 클록 신호를 생성하는 발진기; 및

입력들로서 상기 기준 전압 신호 및 상기 제 1 전압 신호를 가지며, 출력으로서 상기 제 1 전압 신호가 상기 기준 신호 미만인 경우에 저전원 검출 신호를 생성하는 제 1 저전력 전원 검출 회로를 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 7.

출력 전압원으로서 제공되는 제 1 및 제 2 전압원 중 어느 하나를 결정하고, 상기 제 1 전압 신호로부터 도출된 기준 전압 신호와 상기 제 2 전압 신호중 더 큰 것을 출력으로 생성하는 전력 중재 회로로서, 상기 제 1 및 제 2 전압원은 겹치는 전압 범위를 갖는 제 1 및 제 2 전압 신호를 각각 생성하고, 또한 상기 기준 전압 신호는 상기 제 2 전압 신호의 범위와 겹치치 않는 범위를 갖는, 상기 전력 중재 회로;

입력으로서 상기 전력 중재 회로의 출력을 가지도록 구성되며, 출력으로서 클록 신호를 생성하는 발진기; 및

입력들로서 상기 기준 전압 신호 및 상기 제 2 전압 신호를 가지며, 출력으로서 상기 제 2 전압 신호가 상기 기준 전압 신호 미만인 경우에 저전원 검출 신호를 생성하는 제 2 저전원 검출 회로를 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 8.

출력 전압원으로서 제공되는 제 1 및 제 2 전압원 중 어느 하나를 결정하고, 상기 제 1 전압 신호로부터 도출된 기준 전압 신호와 상기 제 2 전압 신호중 더 큰 것을 출력으로 생성하는 전력 중재 회로로서, 상기 제 1 및 제 2 전압원은 겹치는 전압 범위를 갖는 제 1 및 제 2 전압 신호를 각각 생성하고, 또한 상기 기준 전압 신호는 상기 제 2 전압 신호의 범위와 겹치치 않는 범위를 갖는, 상기 전력 중재 회로와;

입력으로서 상기 전력 중재 회로의 출력을 가지며, 출력으로서 클록 신호를 생성하는 발진기;

입력으로서 상기 제 1 전압 신호를 수신하고 출력으로서 기준 전압 신호를 생성하는 레귤레이터로서, 상기 기준 전압 신호의 범위가 상기 제 2 전압 신호 범위와 겹치지 않는, 상기 레귤레이터;

입력들로서 상기 레귤레이터에 의해 출력되는 상기 기준 전압 신호 및 상기 제 2 전압 신호를 가지며, 출력으로서 두 개의 비교기 입력중 더 큰 것을 지시하는 제어 신호를 생성하는 비교기; 및

입력으로서 상기 제어 신호를 가지며, 상기 출력 전압원으로서 상기 비교기 입력들 중 지시된 하나를 제공함으로써 제어 신호에 응답하는 스위치를 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 9.

제 8 항에 있어서, 상기 전력 중재 회로는,

온도에 비례하는 크기를 가지는 전류를 생성하는 전류원을 더 구비하며, 상기 트랜지스터의 서브임계 영역내에서 동작하는 트랜지스터를 포함하는 전류 생성 스테이지를 더 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 10.

제 9 항에 있어서, 상기 레귤레이터는,

입력으로서 상기 전류원에 의해서 생성된 상기 전류를 가지며, 출력으로서 양의 온도 계수를 갖는 전압을 생성하는 제 1 전압 강하 소자; 및

입력으로서 상기 전류원에 의해서 생성된 전류를 가지며, 출력으로서 음의 온도 계수를 가지는 전압을 생성하는 제 2 전압 강하 소자를 더 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 11.

제 9 항에 있어서, 상기 레귤레이터는,

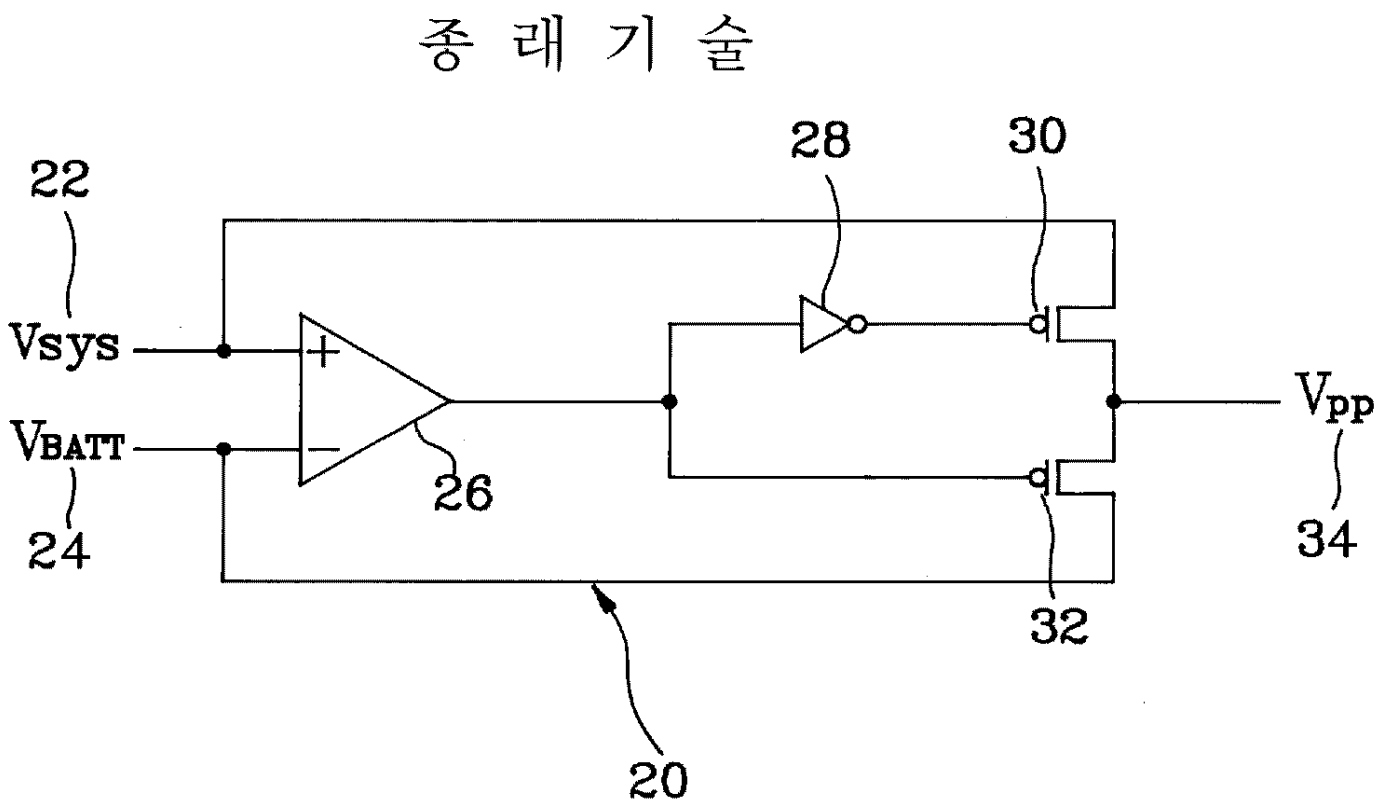
상기 전류원의 출력이 없는 상태에서 상기 레귤레이터의 출력으로서 상기 제 1 전압 신호를 제공하는 스타트업 회로를 더 구비하는 것을 특징으로 하는 저전력 클록 회로.

청구항 12.

제 9 항에 있어서, 상기 제 1 전압 강하 소자는 제 1 값을 갖고 제 2 전압 강하 소자는 제 2 값을 가지며, 또한 상기 제 1 및 제 2 값은 상기 제 1 및 제 2 전압 강하 소자가 온도에 거의 무관하도록 선택되는 것을 특징으로 하는 저전력 클록 회로.

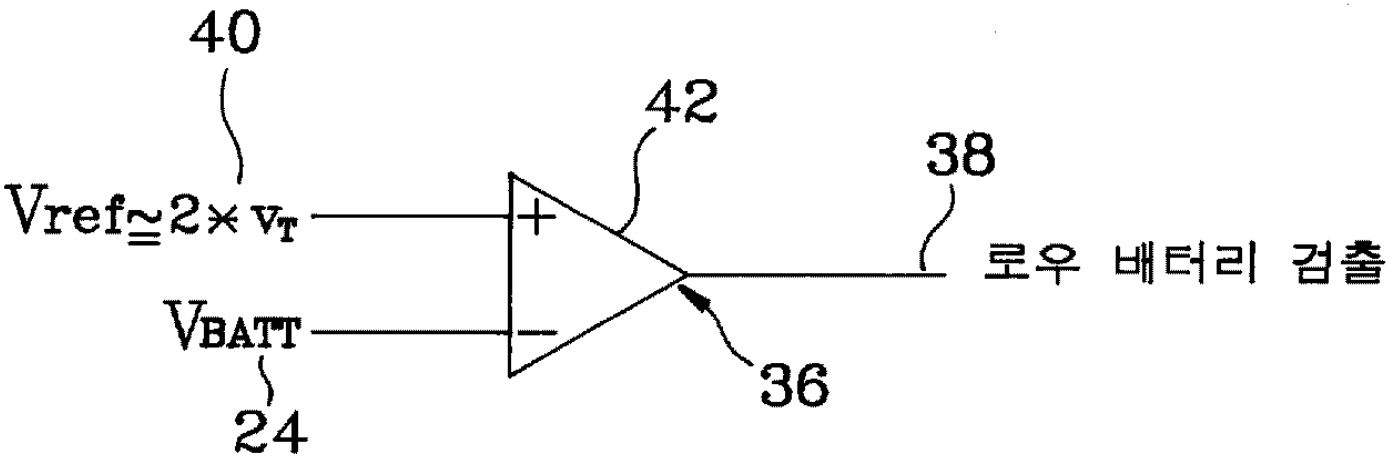
도면

도면 1a



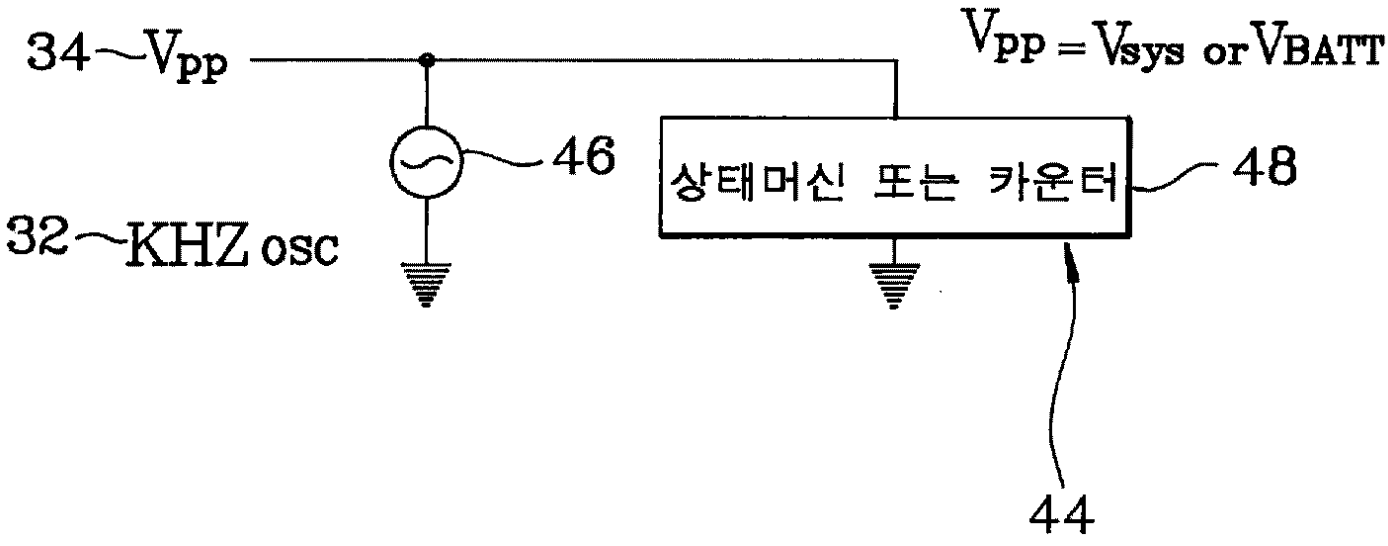
도면 1b

종 래 기 술

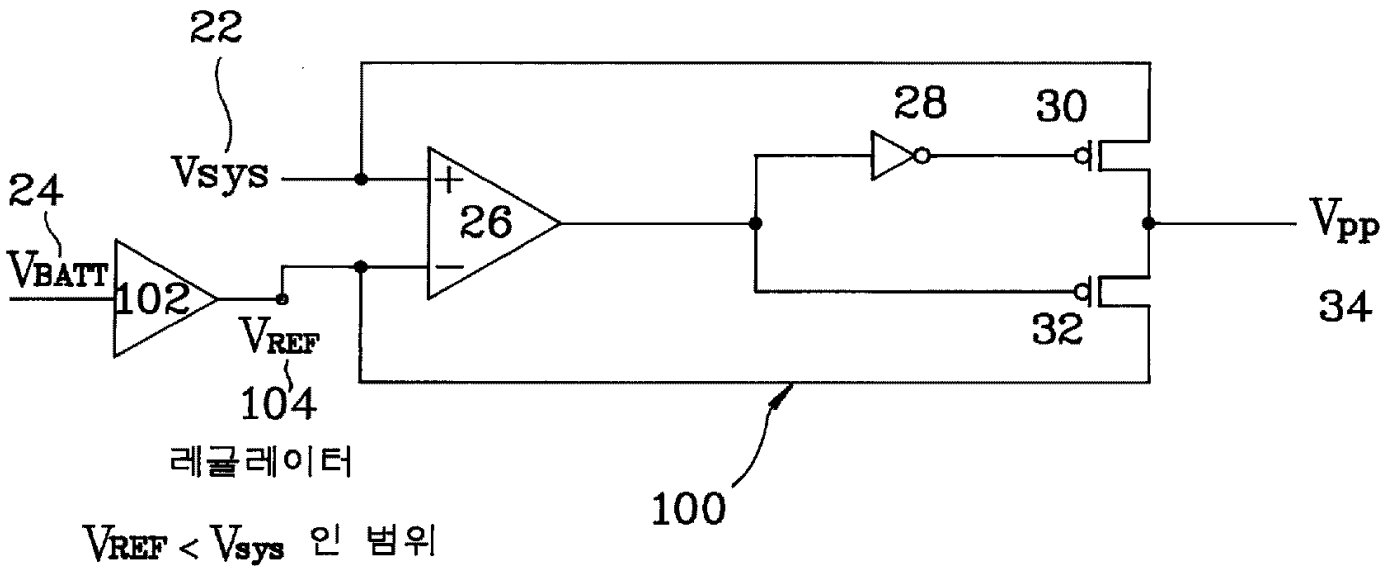


도면 1c

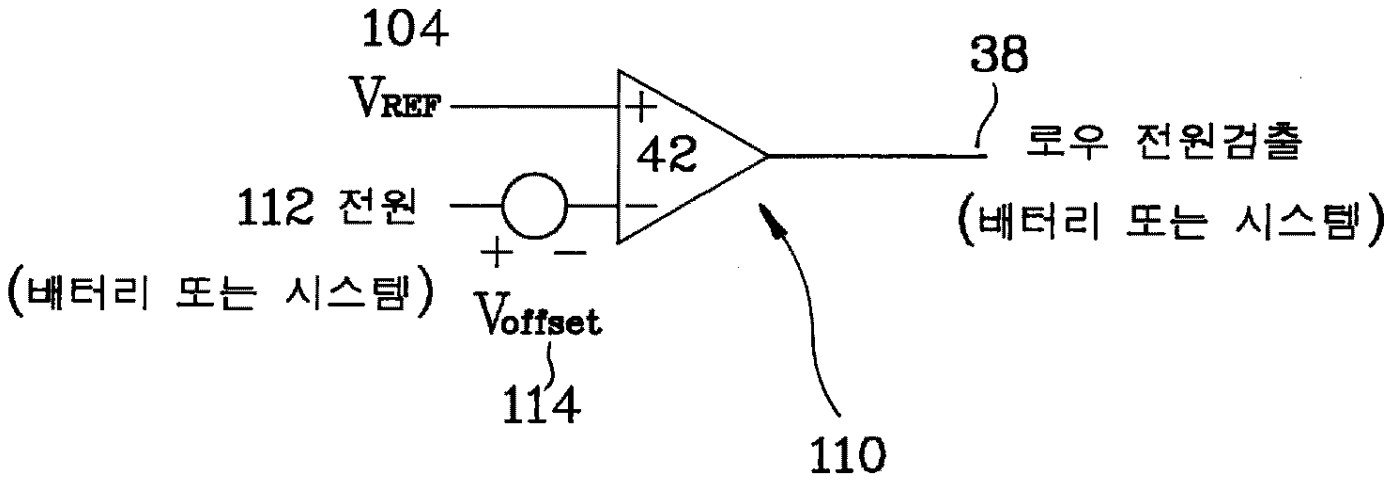
종 래 기 술



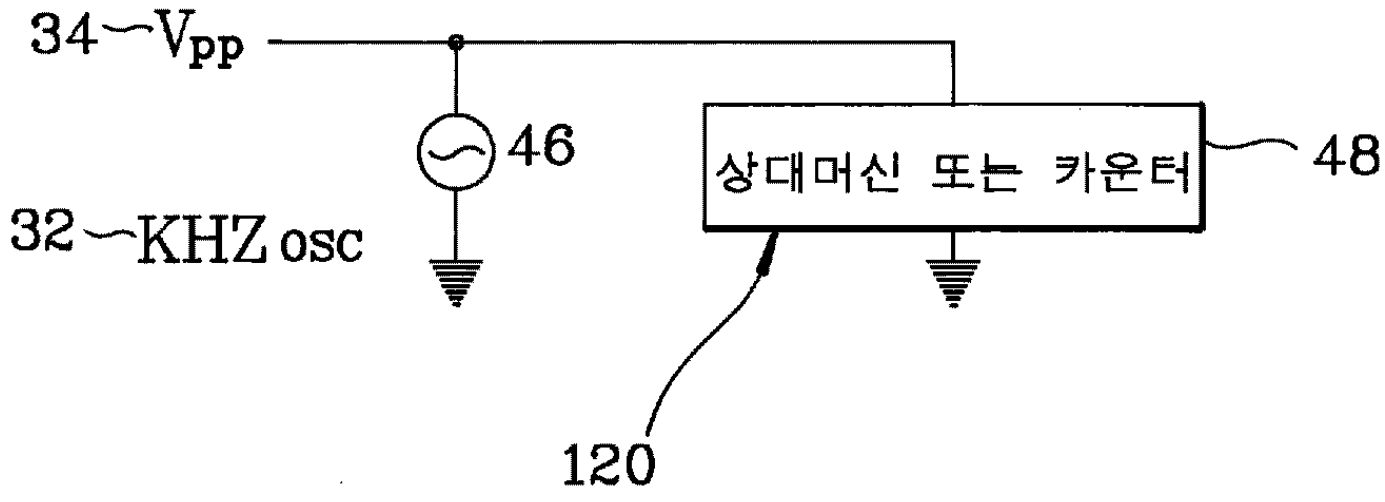
도면 2a



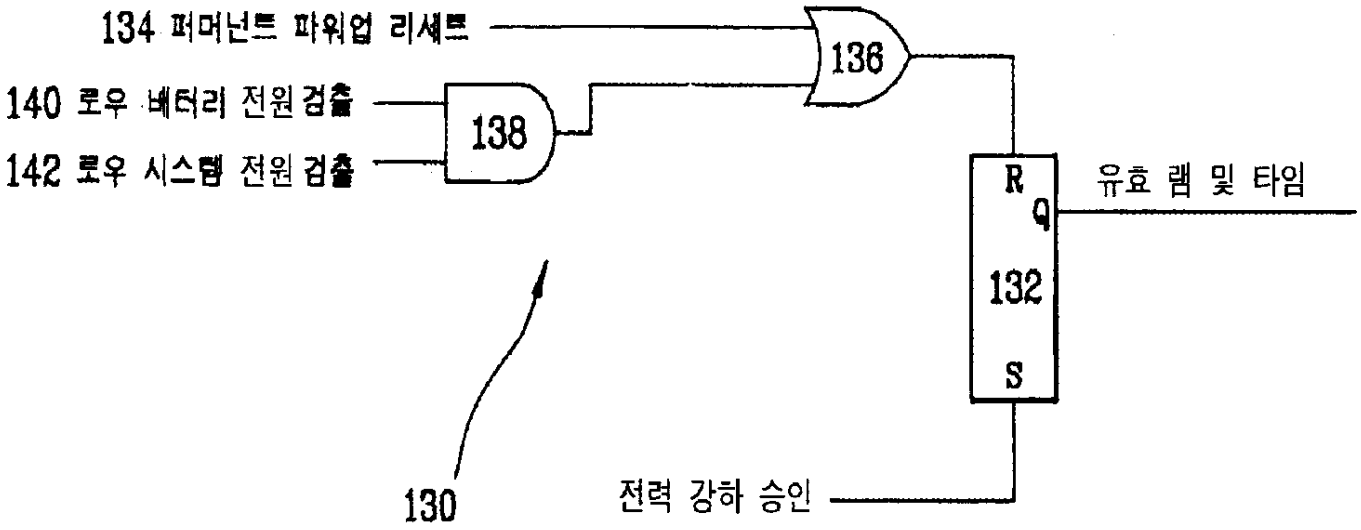
도면 2b



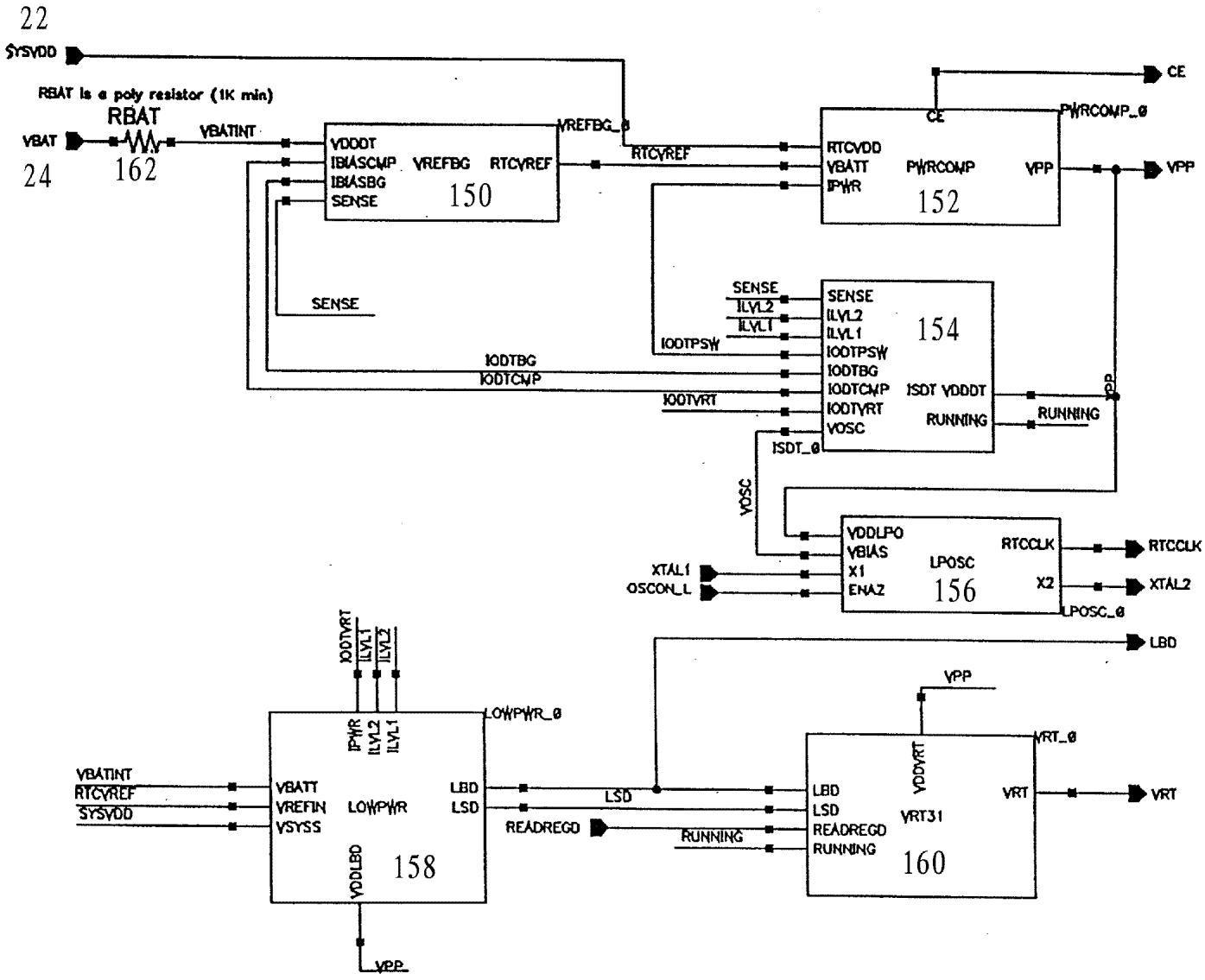
도면 2c



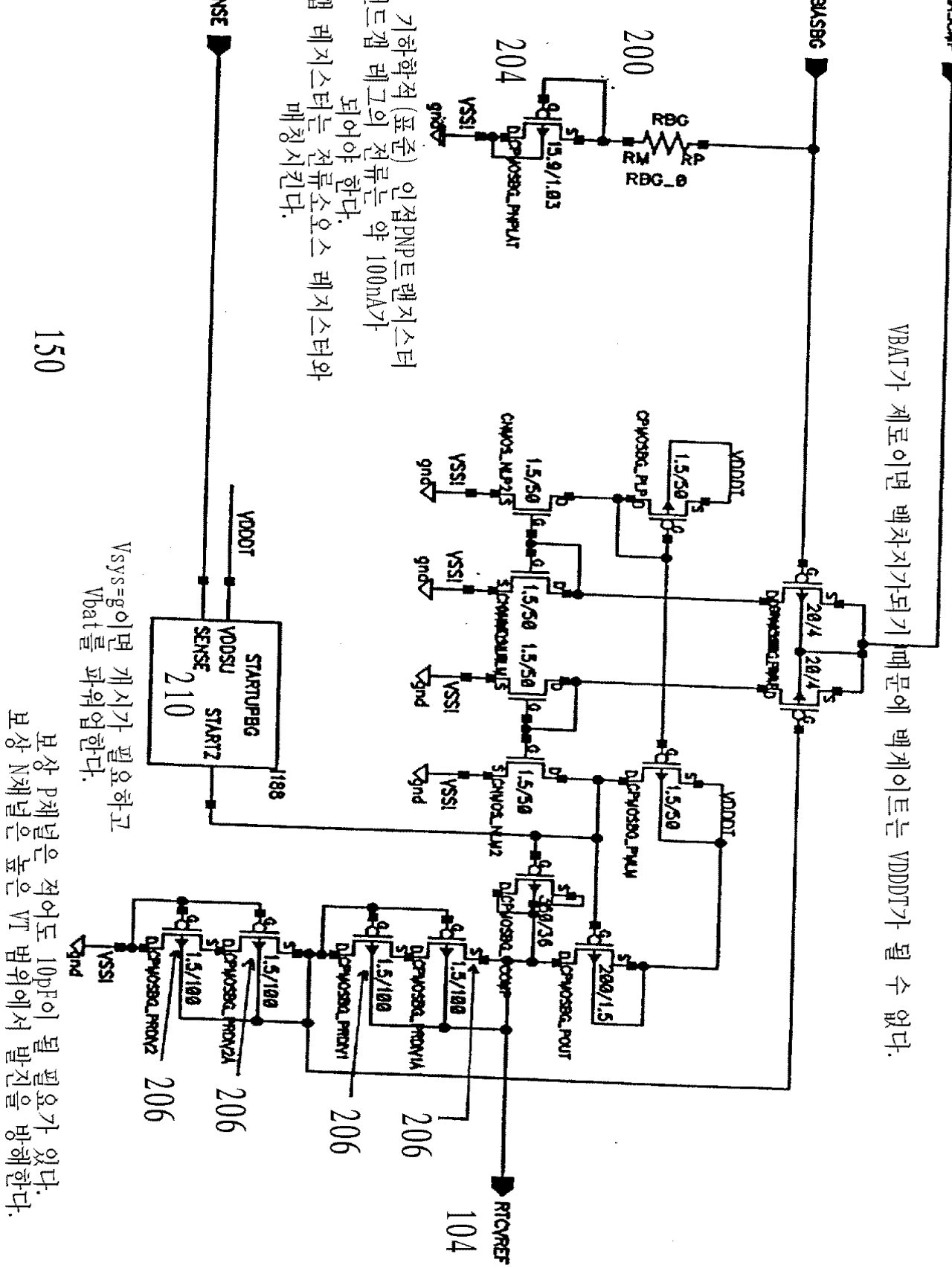
도면 2d


134 퍼머넌트 파워업 리셋트
140 로우 배터리 전원검출
142 로우 시스템 전원검출
136
138
R
Q
132
S
유효 램 및 타임
130
전력 강하 승인

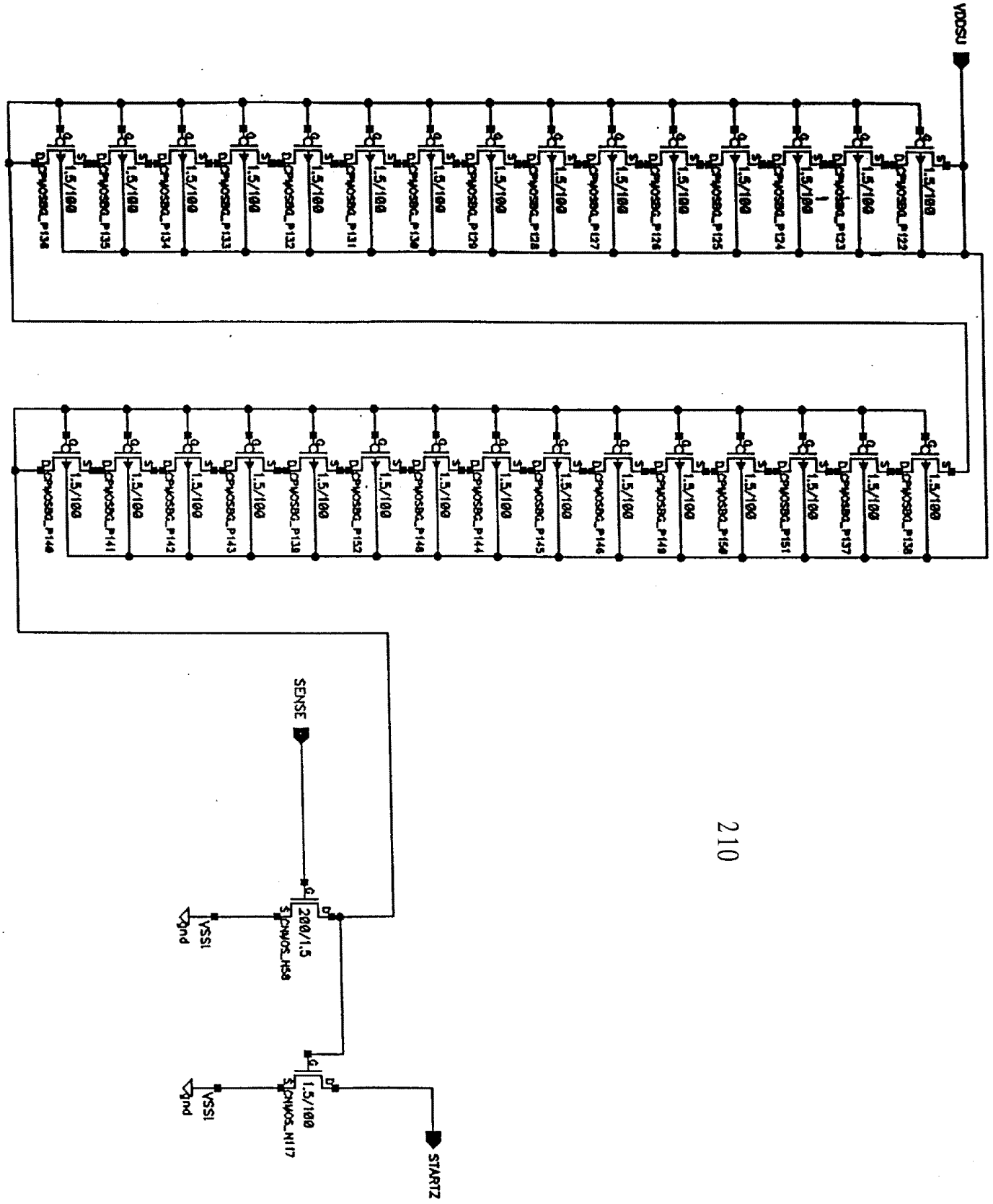
도면 3


22
SYSVDD
RBAT is a poly resistor (1K min)
RBAT
VBAT
24
162
VBATINT
VDDDT
IBIASCMP
IBIASBG
SENSE
VREFBG
RTCVREF
150
VREFBG_0
RTCVREF
CE
PWRCOMP_0
RTCVDD
VBATT
IPWR
PWRCOMP
VPP
152
SENSE
SENSE
ILVL2
ILVL1
IODTPSW
IODTBG
IODTCMP
IODTVRT
VOSC
154
ISDT VDDDT
RUNNING
ISDT_0
IODTBG
IODTCMP
IODTVRT
VOSC
VDDLPO
VBIAS
X1
ENAZ
LPOSC
156
RTCCLK
X2
LPOSC_0
XTAL1
OSCON_L
XTAL2
LBD
IODTVRT
ILVL1
ILVL2
IPWR
LOWPWR_0
VBATINT
RTCVREF
SYSVDD
VBATT
VREFIN
VSYSS
LOWPWR
LBD
LSD
158
VDDLBD
VPP
READREGD
RUNNING
VRT_0
VDDVRT
VRT31
VRT
160

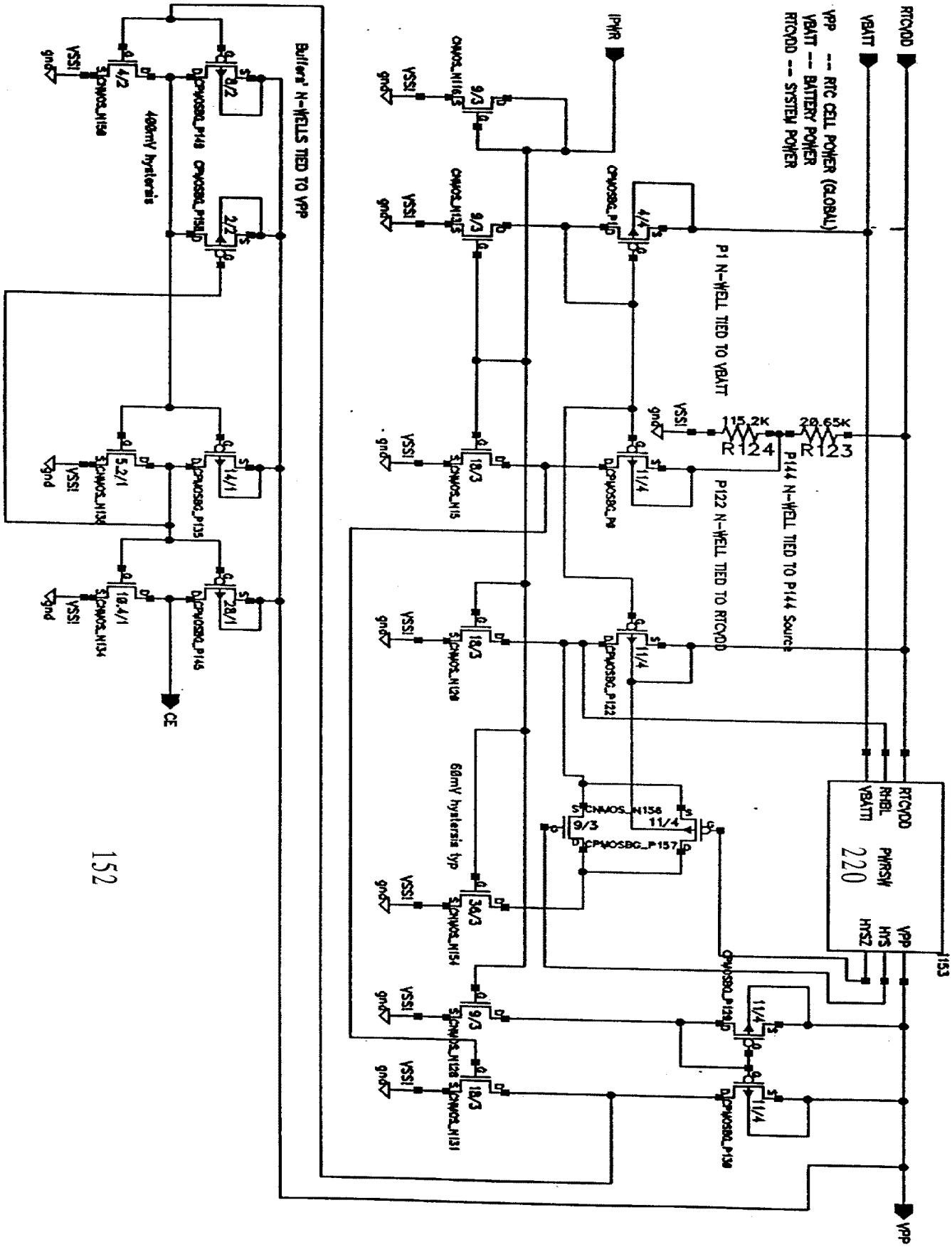
도면 4


VDDDT
IBIASCMP
IBIASBG
VBAT가 제로이면 백차지가되기 때문에 백게이트는 VDDDT가 될 수 없다.
200
RBG
RM
RP
RBG_0
204
VSS!
gnd
15.9/1.03
CPWOSBG_PMPLAT
최소 기하학적(표준) 인접PNP트랜지스터
벤드갭 레그의 전류는 약 100nA가
되어야 한다.
벤드갭 레지스터는 전류소오스 레지스터와
매칭시킨다.
SENSE
150
VDDDT
VDDSU
SENSE
STARTUPBG
START2
188
210
Vsys=g이면 개시가 필요하고
Vbat를 파워업한다.
보상 P채널은 적어도 10pF이 될 필요가 있다.
보상 N채널은 높은 VT 범위에서 발진을 방해한다.
CPWOSBG_PLP
1.5/50
CPWOSBG_NLP2
CPWOSBG_NLP1
CPWOSBG_NLM1
CPWOSBG_NLM2
CPWOSBG_PMM
20/4
CPWOSBG_PMMD
CPWOSBG_POUT
200/1.5
300/36
CPWOSBG_COUT
1.5/100
CPWOSBG_PMDV1
CPWOSBG_PMDV1A
CPWOSBG_PMDV2T
CPWOSBG_PMDV2
206
104
RTCVREF

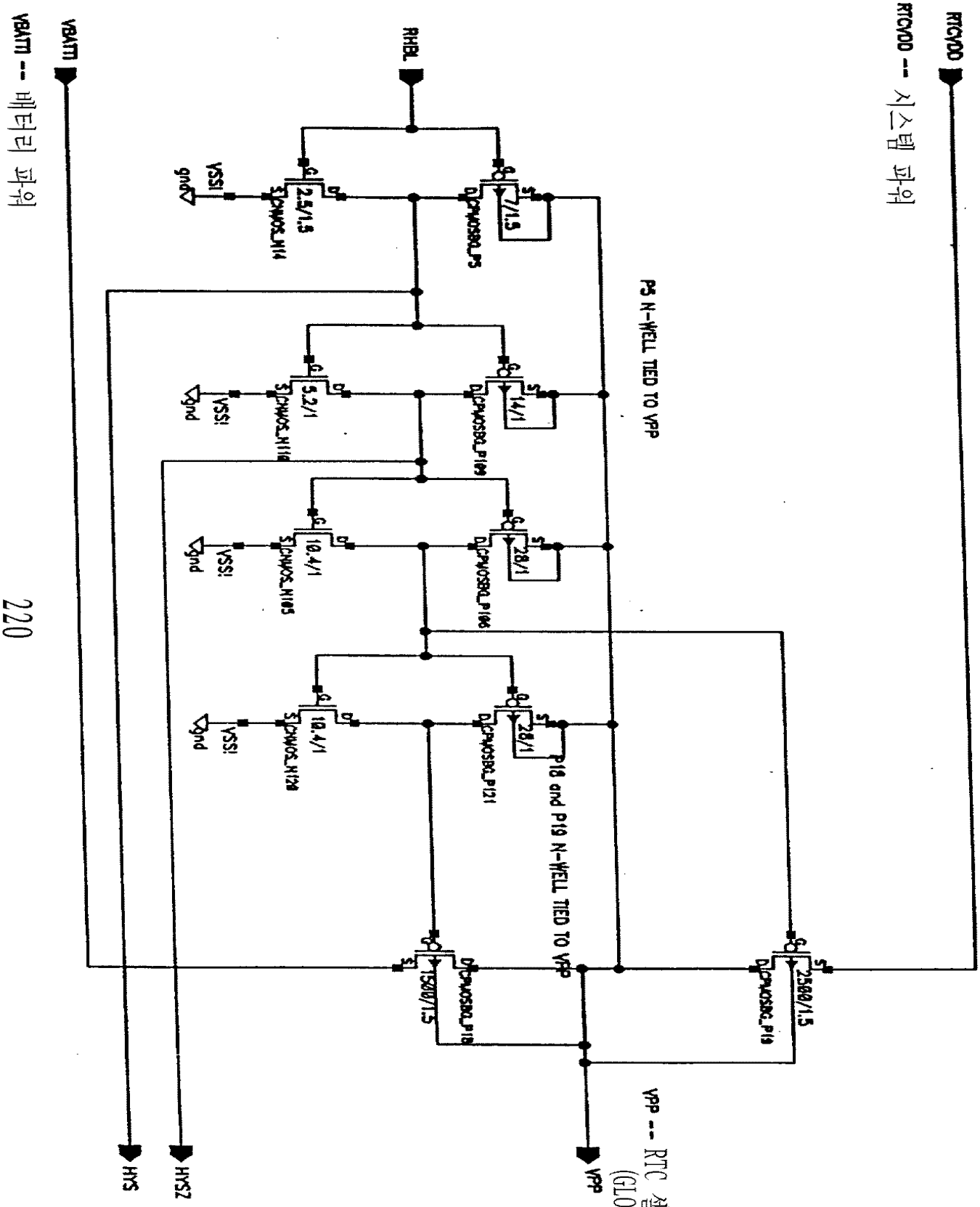
도면 5


VDDSU
1.5/100
SENSE
200/1.5
CPWOS_P58
VSSI
CNWOS_N117
STARTZ
210

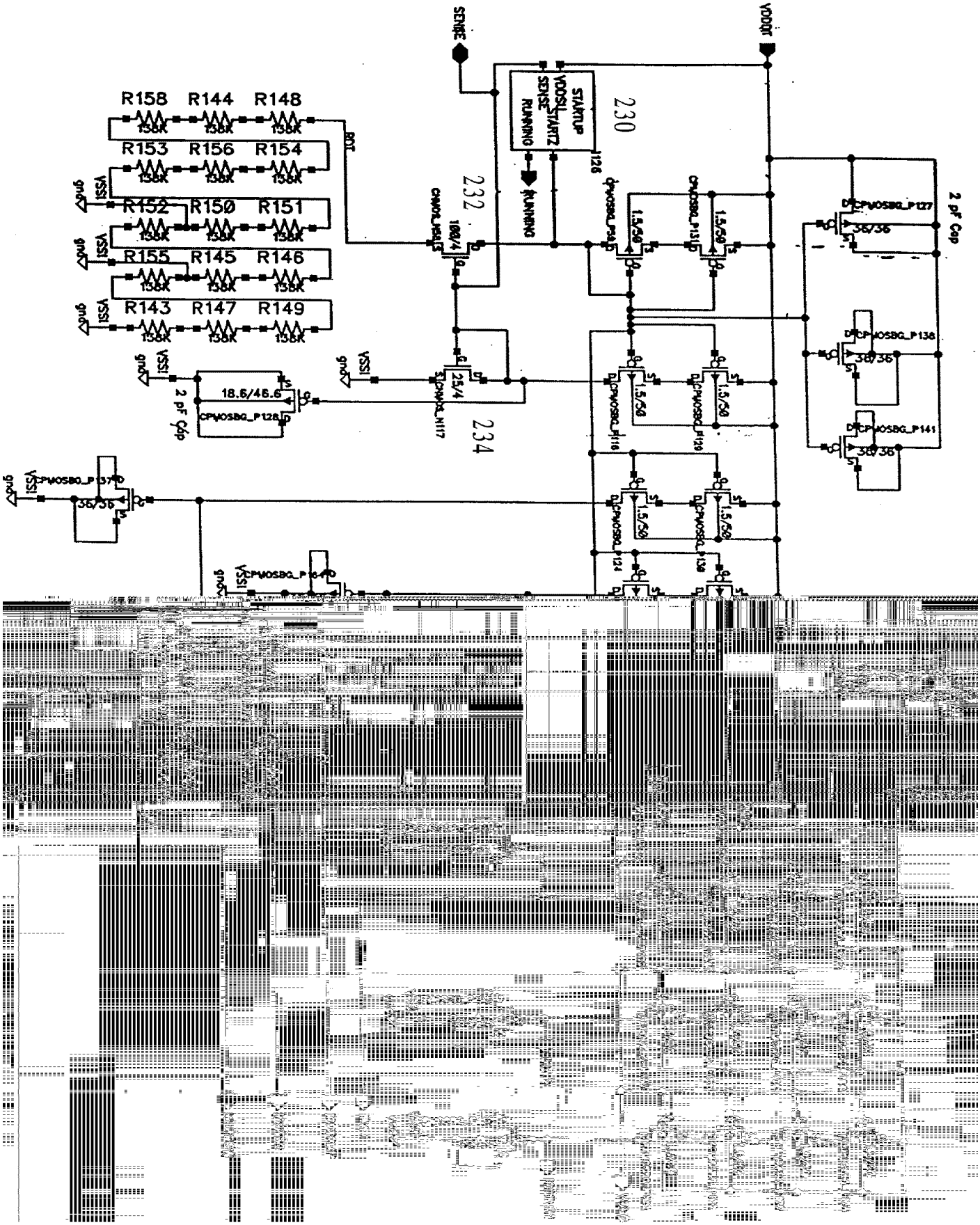
도면 6


RTCVDD
VBATT
VPP -- RTC CELL POWER (GLOBAL)
VBATT -- BATTERY POWER
RTCVDD -- SYSTEM POWER
IPWR
P1 N-WELL TIED TO VBATT
P144 N-WELL TIED TO P144 Source
P122 N-WELL TIED TO RTCVDD
Buffers' N-WELLS TIED TO VPP
115.2K
R124
20.65K
R123
400mV hysteresis
60mV hysteresis typ
220
RTCVDD
RHBL
VBATTI
PHRSW
HYS
HYS2
VPP
153
152
CE
VSSI
gnd

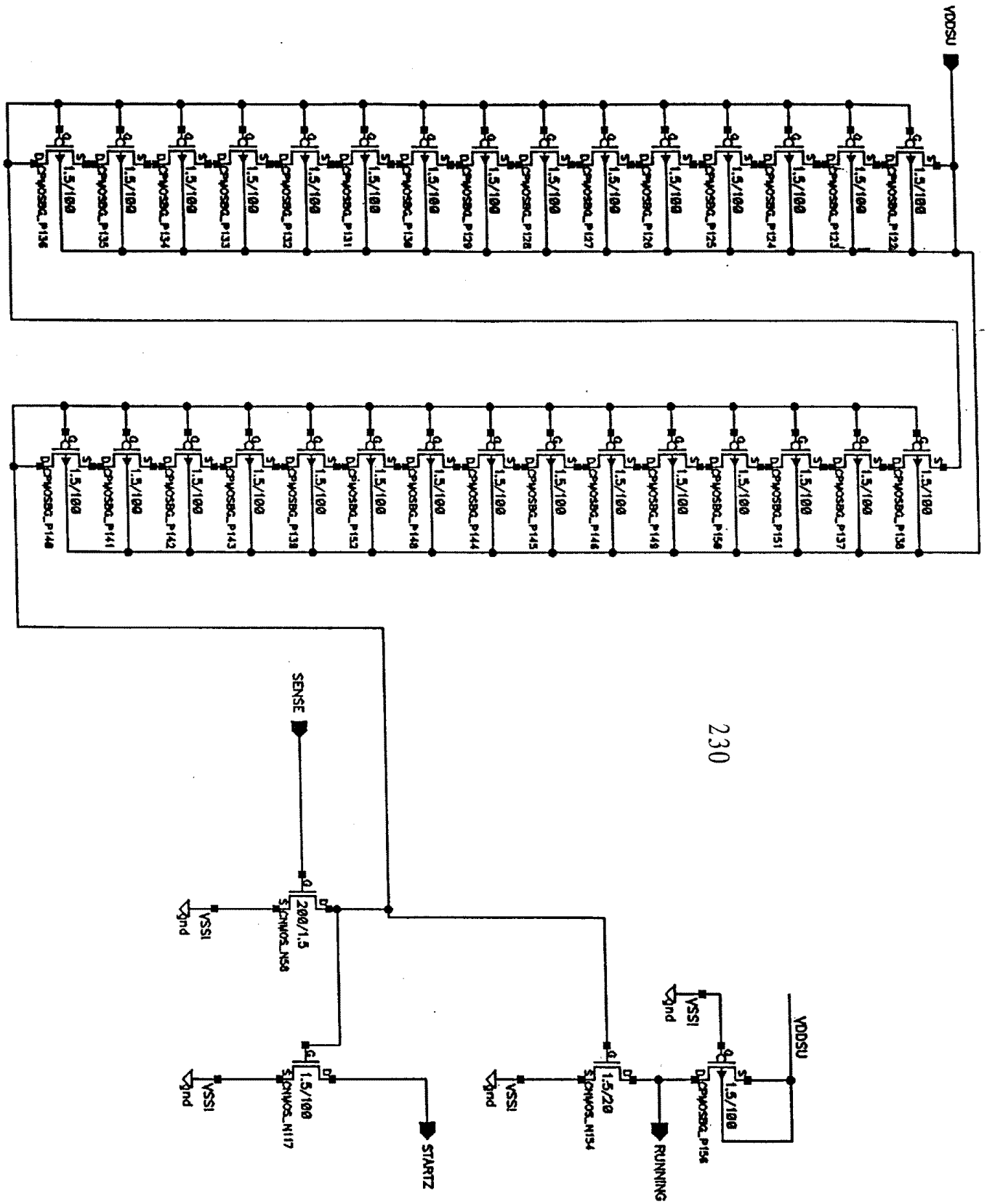
도면 7


RTCVDD
RTCVDD -- 시스템 파워
RHBL
VBATTI
VBATTI -- 배터리 파워
VSSI
gnd
2.5/1.5
PCMOSBC_N14
7/1.5
PCMOSBC_P5
P5 N-WELL TIED TO VPP
5.2/1
PCMOSBC_N116
14/1
PCMOSBC_P109
10.4/1
PCMOSBC_N105
28/1
PCMOSBC_P106
10.4/1
PCMOSBC_N124
28/1
PCMOSBC_P121
P18 and P19 N-WELL TIED TO VPP
1500/1.5
PCMOSBC_P18
2500/1.5
PCMOSBC_P19
VPP
VPP -- RTC 셀 파워 (GLOBAL)
HVS
HVSZ
220

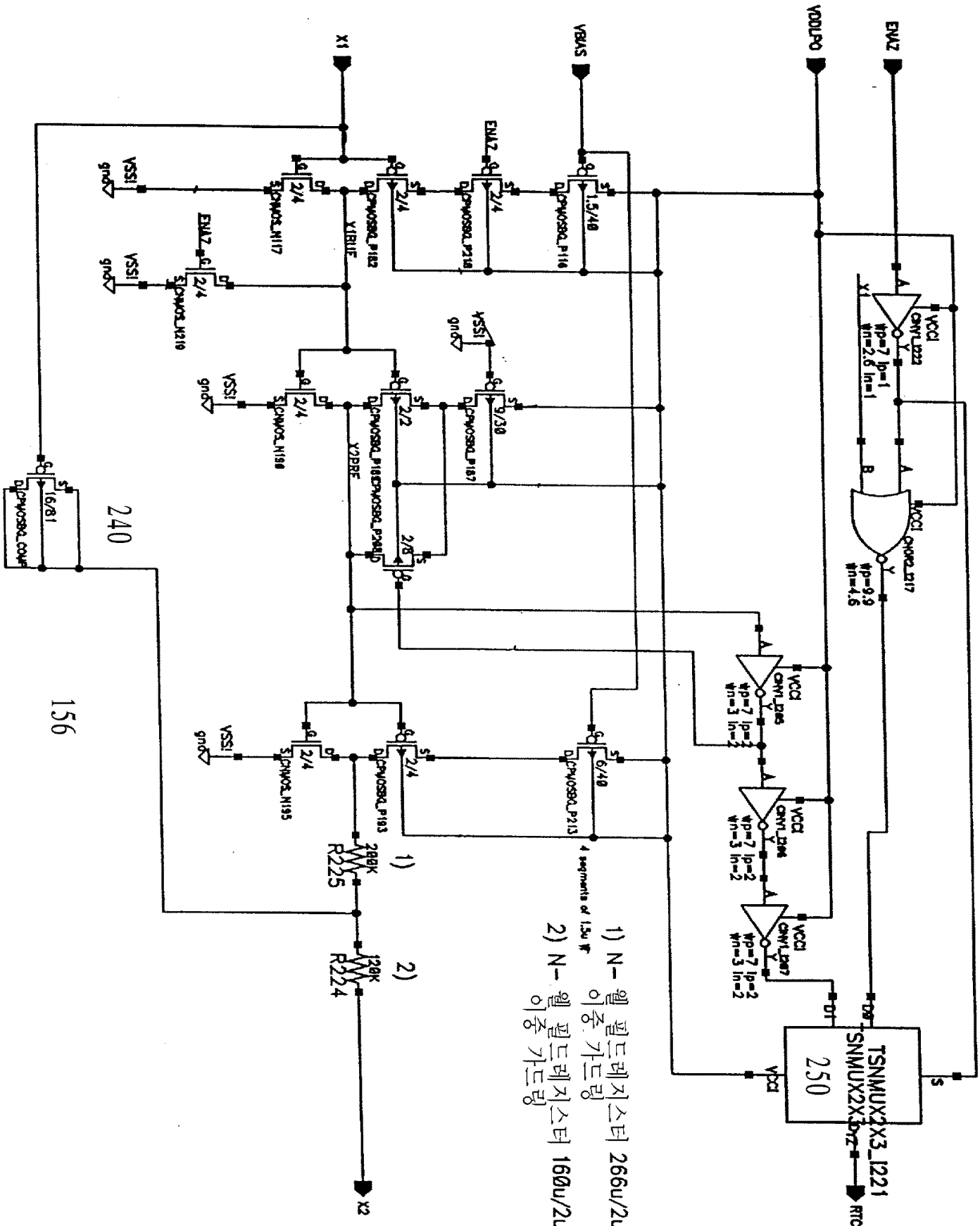
도면 8


SENSE
VDDOT
STARTUP
VDDSTARTZ
SENSE
RUNNING
230
126
232
234
R158
R144
R148
R153
R156
R154
R152
R150
R151
R155
R145
R146
R143
R147
R149
158K
BOT
VSSI
gnd
18.6/46.6
2 pF Cap
25/4
1.5/50
36/36

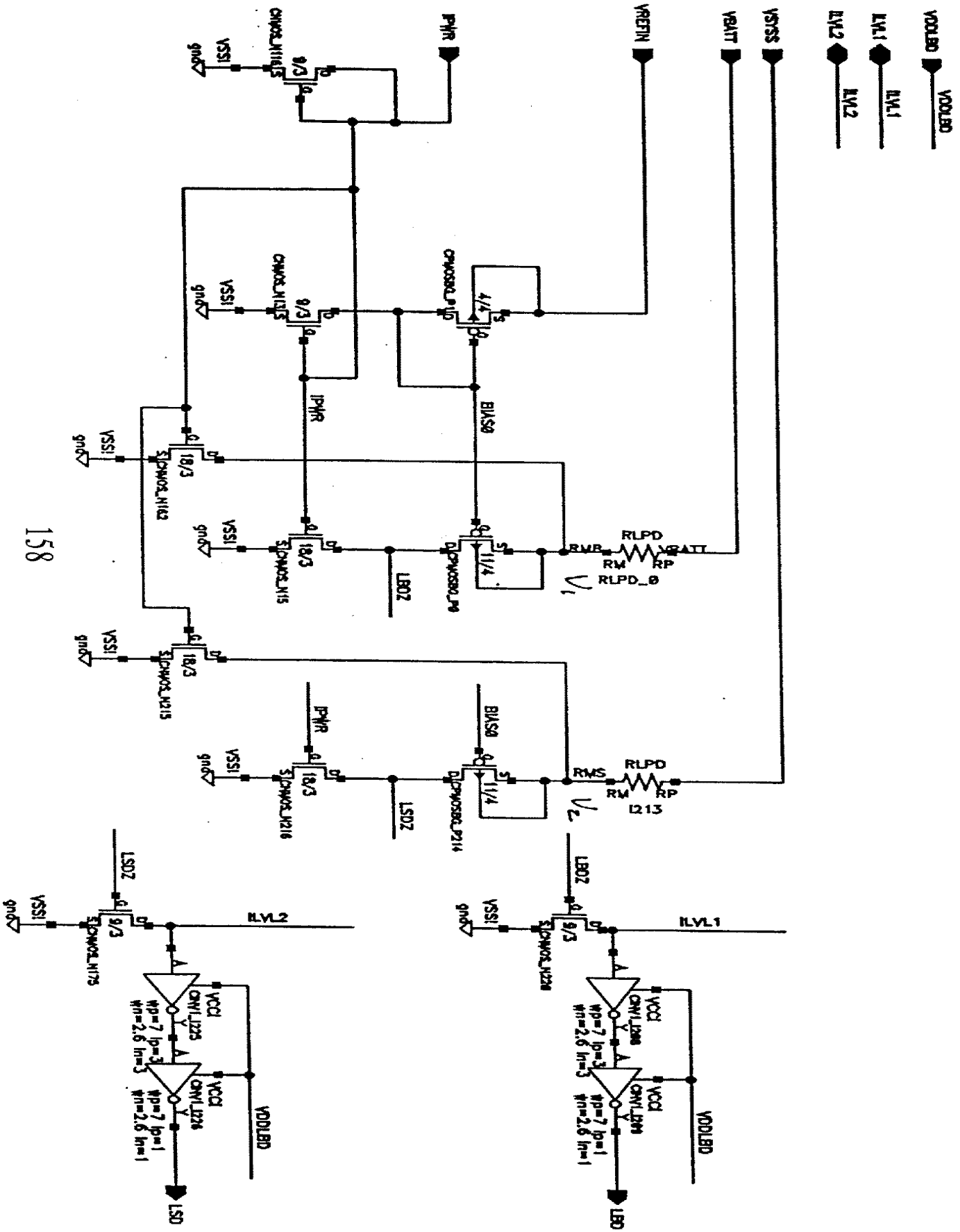
도면 9



도면 10

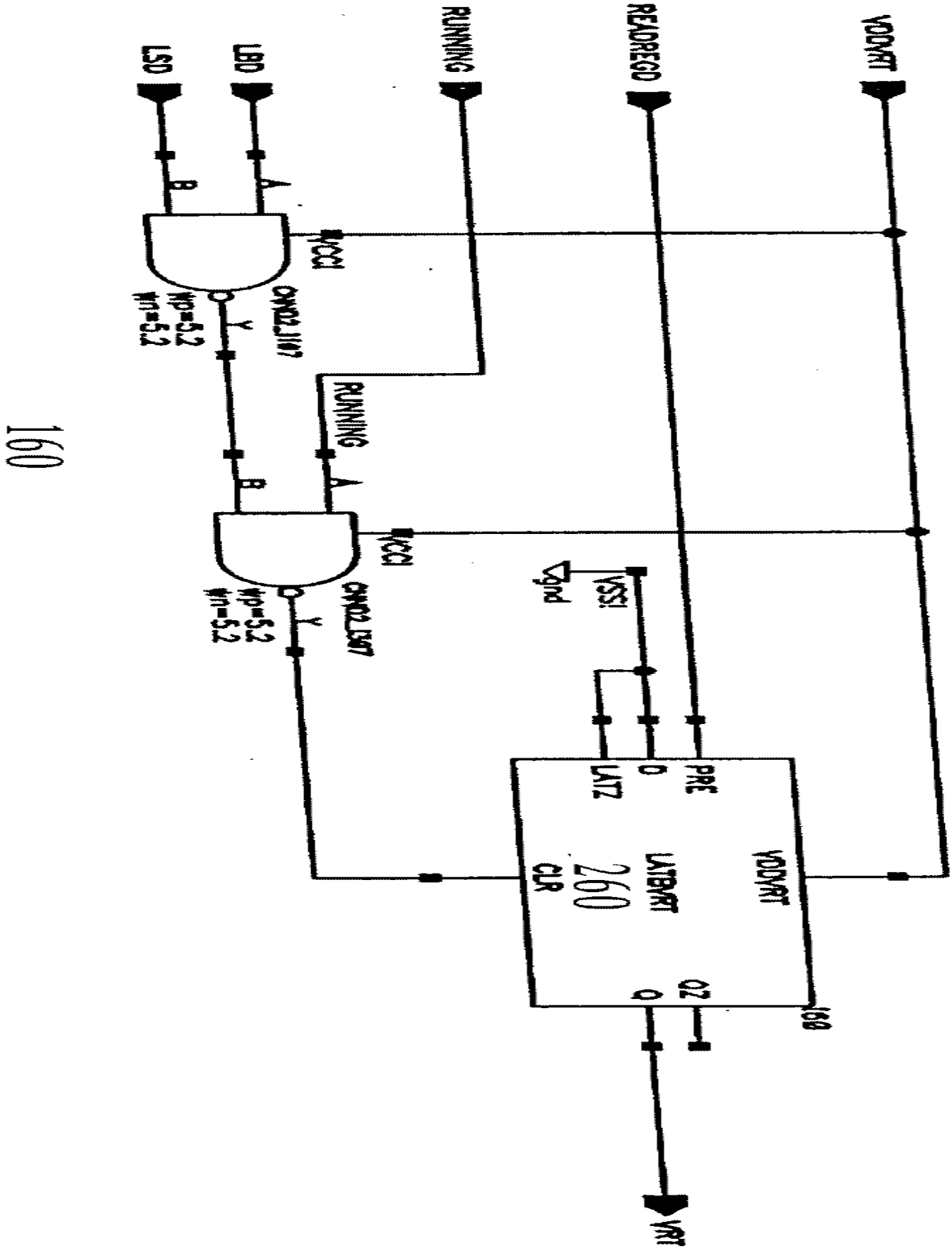

X1
VBIAS
VDDLPO
ENAZ
X1BUF
Y2PREF
240
156
250
R225
288K
R224
120K
1)
2)
X2
RTCCLK
TSNMUX2X3_I221
SNMUX2X3_DYZ
1) N- 웰 필드레지스터 266u/2u
이중 가드링
2) N- 웰 필드레지스터 160u/2u
이중 가드링

도면 11


VDDLBD
ILVL1
ILVL2
VSYSS
VBATT
VREFIN
IPWR
BIAS0
LBD2
LSD2
RLPD
RLPD_0
RLPD_1213
RMB
RMS
RM
RP
LBD
LSD
ILVL1
ILVL2
VSS!
gnd
VCC!
9/3
18/3
11/4
4/4
1213

158

도면 12


160
LSD
LBD
RUNNING
READREGD
VDDART
B
A
VCC1
CMOS2_UM7
Wp=5.2
Wn=5.2
Y
RUNNING
VCC1
VSS1
CMOS2_UM7
Wp=5.2
Wn=5.2
LATZ
D
PRE
CLR
260
LATBART
VDDART
Q
Q2
160
VART