

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4121844号
(P4121844)

(45) 発行日 平成20年7月23日(2008.7.23)

(24) 登録日 平成20年5月9日(2008.5.9)

(51) Int. Cl.		F I			
H03G	3/10	(2006.01)	H03G	3/10	A
H03F	1/56	(2006.01)	H03F	1/56	
H03F	3/193	(2006.01)	H03F	3/193	

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2002-361266 (P2002-361266)	(73) 特許権者	000191238
(22) 出願日	平成14年12月12日(2002.12.12)		新日本無線株式会社
(65) 公開番号	特開2004-194105 (P2004-194105A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成16年7月8日(2004.7.8)	(74) 代理人	100099818
審査請求日	平成17年10月31日(2005.10.31)		弁理士 安孫子 勉
		(72) 発明者	高木 進
			埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内
		審査官	畑中 博幸

最終頁に続く

(54) 【発明の名称】 利得可変型増幅器

(57) 【特許請求の範囲】

【請求項1】

信号増幅用電界効果トランジスタを用いて高周波信号の増幅が行われるよう構成される利得可変型増幅器であって、

前記信号増幅用電界効果トランジスタは、デュアルゲート型のものであって、その第1ゲート端子は増幅用FET入力側DCカット用キャパシタ及び入力インピーダンス整合回路を介して高周波信号入力端子に接続される一方、ドレイン端子は、出力インピーダンス整合回路及び増幅用FET出力側DCカット用キャパシタを介して高周波信号出力端子に接続され、

前記入力側キャパシタと前記入力インピーダンス整合回路の接続点に増幅器バイパス用電界効果トランジスタのソース端子がバイパス用FETソース側DCカット用キャパシタを介して接続される一方、当該増幅器バイパス用電界効果トランジスタのドレイン端子がバイパス用FETドレイン側DCカット用キャパシタを介して前記信号増幅用電界効果トランジスタのドレイン端子と前記出力インピーダンス整合回路の接続点に接続され、

前記入力インピーダンス整合回路と増幅用FET入力側DCカット用キャパシタの接続点に、第1の補正用FET側DCカット用キャパシタ及び第1の補正用FET側抵抗器を介して入力インピーダンス補正用電界効果トランジスタのドレイン端子が接続される一方、当該入力インピーダンス補正用電界効果トランジスタのソース端子が第1の補正用FET側バイパスキャパシタを介してグランドに接続され、

前記信号増幅用電界効果トランジスタのドレイン端子と前記出力インピーダンス整合回

10

20

路の接続点に、第2の補正用FET側DCカット用キャパシタ及び第2の補正用FET側抵抗器を介して出力インピーダンス補正用電界効果トランジスタのドレイン端子が接続される一方、当該出力インピーダンス補正用電界効果トランジスタのソース端子が第2の補正用FET側バイパスキャパシタを介してグランドに接続され、

前記増幅器バイパス用電界効果トランジスタ、前記入力インピーダンス補正用電界効果トランジスタ及び前記出力インピーダンス補正用電界効果トランジスタの各々のゲート端子が、それぞれ抵抗器を介してグランドに接続され、

前記増幅器バイパス用電界効果トランジスタ、前記入力インピーダンス補正用電界効果トランジスタ及び前記出力インピーダンス補正用電界効果トランジスタのドレイン端子及びソース端子が、それぞれ抵抗器を介して第1のコントロール電圧印加端子に接続され、

前記信号増幅用電界効果トランジスタのソース端子がインダクタを介して第2のゲート端子及びバイアスSW用電界効果トランジスタのドレイン端子に接続されると共に、当該ソース端子は、キャパシタを介してグランドに接続され、

前記バイアスSW用電界効果トランジスタのソース端子が自己バイアス抵抗器を介してグランドに接続される一方、ゲート端子がゲートバイアス抵抗器を介して第2のコントロール電圧印加端子に接続されてなることを特徴とする利得可変型増幅器。

【請求項2】

増幅器バイパス用電界効果トランジスタ、入力インピーダンス補正用電界効果トランジスタ、出力インピーダンス補正用電界効果トランジスタのいずれかを複数個直列接続してなることを特徴とする請求項1記載の利得可変型増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、利得可変型の増幅器に係り、特に、各種の無線通信機器において高周波信号の増幅に用いられるものにあつて、入出力特性の向上等を図ったものに関する。

【0002】

【従来の技術】

従来、この種の増幅器としては、例えば、増幅動作を行う増幅用半導体素子の入力側において、その増幅用半導体素子への高周波入力ラインとグランドとの間に、外部からの制御電圧によって導通状態を可変できる信号減衰用半導体素子を直列に設け、増幅用半導体素子への入力信号の減衰を行えるようにして利得可変可能に構成されたものが公知・周知となっている（例えば、特許文献1参照。）。

増幅器の利得を変えようとする方策としては、上述のようにいわゆる利得可変を行う回路を設けるだけでなく、例えば、十分な信号入力に対しては、増幅器の電源電圧を断として最小の利得とする方法もある。

【0003】

【特許文献1】

特開2001-237650号公報（第3-4頁、第1図）

【0004】

【発明が解決しようとする課題】

ところで、上述したような増幅器の入力側には、前段の回路と増幅器とのインピーダンス整合を行う入力インピーダンス整合回路が、また、出力側には、後段の回路と増幅器とのインピーダンス整合を行う出力インピーダンス整合回路が、それぞれ設けられることが多い。

このようなインピーダンス整合回路は、通常、微弱な信号が入力される場合を想定し、利得可変を行わない状態、すなわち、換言すれば、増幅器の利得が最大時において最適化されるため、増幅器の入力端及び出力端のそれぞれにおける電圧定在波比は、良好な特性を得ることができる。例えば、図3(A)には、先の特許文献1に開示された構成の増幅器において利得可変を行わない場合と利得可変を行う場合のそれぞれの入力端における電圧定在波比の測定例が、また、図3(B)には、先の特許文献1に開示された構成の増幅器

10

20

30

40

50

において利得可変を行わない場合と利得可変を行う場合のそれぞれの出力端における電圧定在波比の測定例が、それぞれ示されており、利得可変を行わない場合における電圧定在波比は良好であることが確認できる。

【 0 0 0 5 】

その一方、利得可変時、すなわち、換言すれば、増幅器の利得を最小とする場合には、先の特許文献 1 に開示された構成の増幅器においては、信号減衰用半導体素子がオン状態（導通状態）となり増幅器の入力及び出力インピーダンスが、利得可変を行わない場合と大きく異なるため、入出力端にそれぞれインピーダンス整合回路が設けられていても、これらのインピーダンス整合回路は先に述べたように増幅器の利得が最大時に最適化されていることから、例えば、図 3（A）及び図 3（B）に示されたように、利得可変時における電圧定在波比は著しく悪化してしまう。

10

その結果、増幅器の前段や後段に接続されるフィルターの特性悪化を招来し、結局、無線通信機の受信性能を著しく悪化させてしまうという問題がある。

【 0 0 0 6 】

また、利得可変を行う回路を設けずに、電源供給の有無により利得可変を行うようにした増幅器の場合、電源供給を断つことにより無線通信機の低消費電力化が図られるという利点はあるものの、この場合にあっても、増幅器の入出力インピーダンスは、電源供給時と電源供給を断とした場合とでは大きく異なるため、電源供給を断とした場合における増幅器の入出力端における電圧定在波比が電源供給時に比して悪化してしまうという問題が生ずる点では、利得可変を行う回路を設けた増幅器と同様である。

20

さらに、このような電源電圧の供給の有無によって利得可変を行うようにした増幅器においては、その利得可変時（電源非供給断時）の利得が、信号増幅用半導体素子の入出力間アイソレーションによりほぼ決定されてしまうために、利得減衰量、すなわち、利得可変を行わない場合（電源供給時）の利得と利得可変を行う場合（電源非供給時）の利得の差を任意に設定することが不可能であるため、使い勝手が悪いという問題がある。

【 0 0 0 7 】

本発明は、上記実状に鑑みてなされたもので、利得可変時における低消費電力化を実現しつつ、利得可変の有無に関わらず入出力端における電圧定在波比の良好な利得可変型増幅器を提供するものである。

本発明の他の目的は、利得可変の有無に関わらず入出力端における電圧定在波比の良好で、かつ、利得減衰量を任意に設定することができる利得可変型増幅器を提供することにある。

30

【 0 0 0 8 】

【課題を解決するための手段】

上記発明の目的を達成するため、本発明に係る利得可変型増幅器は、

信号増幅用電界効果トランジスタを用いて高周波信号の増幅が行われるよう構成される利得可変型増幅器であって、

前記信号増幅用電界効果トランジスタは、デュアルゲート型のものであって、その第 1 ゲート端子は増幅用 F E T 入力側 D C カット用キャパシタ及び入力インピーダンス整合回路を介して高周波信号入力端子に接続される一方、ドレイン端子は、出力インピーダンス整合回路及び増幅用 F E T 出力側 D C カット用キャパシタを介して高周波信号出力端子に接続され、

40

前記入力側キャパシタと前記入力インピーダンス整合回路の接続点に増幅器バイパス用電界効果トランジスタのソース端子がバイパス用 F E T ソース側 D C カット用キャパシタを介して接続される一方、当該増幅器バイパス用電界効果トランジスタのドレイン端子がバイパス用 F E T ドレイン側 D C カット用キャパシタを介して前記信号増幅用電界効果トランジスタのドレイン端子と前記出力インピーダンス整合回路の接続点に接続され、

前記入力インピーダンス整合回路と増幅用 F E T 入力側 D C カット用キャパシタの接続点に、第 1 の補正用 F E T 側 D C カット用キャパシタ及び第 1 の補正用 F E T 側抵抗器を介して入力インピーダンス補正用電界効果トランジスタのドレイン端子が接続される一方

50

、当該入力インピーダンス補正用電界効果トランジスタのソース端子が第1の補正用FET側バイパスキャパシタを介してグランドに接続され、

前記信号増幅用電界効果トランジスタのドレイン端子と前記出力インピーダンス整合回路の接続点に、第2の補正用FET側DCカット用キャパシタ及び第2の補正用FET側抵抗器を介して出力インピーダンス補正用電界効果トランジスタのドレイン端子が接続される一方、当該出力インピーダンス補正用電界効果トランジスタのソース端子が第2の補正用FET側バイパスキャパシタを介してグランドに接続され、

前記増幅器バイパス用電界効果トランジスタ、前記入力インピーダンス補正用電界効果トランジスタ及び前記出力インピーダンス補正用電界効果トランジスタの各々のゲート端子が、それぞれ抵抗器を介してグランドに接続され、

前記増幅器バイパス用電界効果トランジスタ、前記入力インピーダンス補正用電界効果トランジスタ及び前記出力インピーダンス補正用電界効果トランジスタのドレイン端子及びソース端子が、それぞれ抵抗器を介して第1のコントロール電圧印加端子に接続され、

前記信号増幅用電界効果トランジスタのソース端子がインダクタを介して第2のゲート端子及びバイアスSW用電界効果トランジスタのドレイン端子に接続されると共に、当該ソース端子は、キャパシタを介してグランドに接続され、

前記バイアスSW用電界効果トランジスタのソース端子が自己バイアス抵抗器を介してグランドに接続される一方、ゲート端子がゲートバイアス抵抗器を介して第2のコントロール電圧印加端子に接続されてなるものである。

【0009】

かかる構成においては、利得可変時、すなわち、最小利得を得る場合には、高周波入力信号は、増幅器バイパス手段により出力側にバイパスされると共に、信号増幅用電界効果トランジスタの入力側における入力インピーダンスの変動が、入力インピーダンス補正手段により、信号増幅用電界効果トランジスタの出力側における出力インピーダンスの変動が出力インピーダンス補正手段により、それぞれ補正されるようになっていたため、利得可変を行わない状態、すなわち、信号増幅用電界効果トランジスタのみが動作して最大利得が得られる場合と比較して、利得可変時における増幅器の入出力端子における電圧定在波比の変動を小さくし、かつ、利得減衰量の任意の設定が可能となるものである。さらに、利得可変時に低消費電力化が可能となるものである。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について、図1及び図2を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

本発明の実施の形態における利得可変型増幅器は、信号増幅用FET（電界効果トランジスタ）1により入力された高周波信号が増幅されると共に、バイアスSW用FET5によって利得可変の有無が選択可能に構成されてなるものである。そして、さらに、信号増幅用FET1の第1ゲート端子（G1）側に第1のDCカット用キャパシタ（第1の補正用FET側DCカット用キャパシタ）6及び抵抗器（第1の補正用FET側抵抗器）7並びに入力インピーダンス補正用FET2が配設され、また、信号増幅用FET1のドレイン端子側に第2のDCカット用キャパシタ（第2の補正用FET側DCカット用キャパシタ）12及び抵抗器（第2の補正用FET側抵抗器）13並びに出力インピーダンス補正用FET3が配設され、さらに、信号増幅用FET1の第1ゲート端子（G1）とドレイン端子間に第4のDCカット用キャパシタ（バイパス用FETソース側DCカット用キャパシタ）23、増幅器バイパス用FET4及び第5のDCカット用キャパシタ（バイパス用FETドレイン側DCカット用キャパシタ）27が配設されたものとなっている。

以下、具体的に回路接続について説明すれば、まず、信号増幅用FET1は、例えば、MESFET (Metal Semiconductor Field Effect Transistor) が好適であり、本発明の実施の形態においては、nチャンネル・デプレッション型のいわゆるデュアルゲートを有するものが用いられたものとなっている。

10

20

30

40

50

この信号増幅用 F E T 1 の第 1 ゲート端子 (G 1) は、抵抗器 1 9 を介してグラウンドに接続されると共に、第 3 の D C カット用キャパシタ 1 8 及び入力インピーダンス整合回路 2 9 を介して高周波信号入力端子 3 2 に接続されたものとなっている。

【 0 0 1 1 】

また、信号増幅用 F E T 1 のソース端子は、ソースインダクタ 2 0 を介してバイアス S W 用 F E T 5 のドレイン端子及び信号増幅用 F E T の第 2 ゲート端子 (G 2) 並びにソースキャパシタ 2 2 の一端に接続されたものとなっており、ソースキャパシタ 2 2 の他端は、グラウンドに接続されたものとなっている。そして、バイアス S W 用 F E T 5 のソース端子は、自己バイアス抵抗器 2 1 を介してグラウンドに接続されている。さらに、バイアス S W 用 F E T 5 のゲート端子は、ゲートバイアス抵抗器 3 5 を介して第 2 のコントロール電圧印加端子 3 7 に接続されている。

10

またさらに、信号増幅用 F E T 1 のドレイン端子は、チョークインダクタ 2 8 を介して電源電圧印加端子 3 4 に接続されると共に、出力インピーダンス整合回路 3 0 及び第 6 の D C カット用キャパシタ (増幅用 F E T 出力側 D C カット用キャパシタ) 3 1 を介して高周波信号出力端子 3 3 に接続されている。

【 0 0 1 2 】

一方、入力インピーダンス補正用 F E T 2 は、例えば、 n チャンネル・デプレッション型のものが用いられ、そのドレイン端子は、抵抗器 7 (第 1 の補正用 F E T 側抵抗器) と第 1 の D C カット用キャパシタ 6 (第 1 の補正用 F E T 側 D C カット用キャパシタ) を介して、先の第 3 の D C カット用キャパシタ 1 8 と入力インピーダンス整合回路 2 9 の接続点に接続されている。また、入力インピーダンス補正用 F E T 2 のソース端子は、第 1 のバイパスキャパシタ (第 1 の補正用 F E T 側バイパスキャパシタ) 1 1 を介してグラウンドに接続される一方、ゲート端子は、抵抗器 1 0 を介してグラウンドに接続されている。さらに、入力インピーダンス補正用 F E T 2 のドレイン端子は、第 1 のバイアス抵抗器 8 を介して、また、ソース端子は、第 2 のバイアス抵抗器 9 を介して、共に第 1 のコントロール電圧印加端子 3 6 に接続されている。

20

なお、本発明の実施の形態においては、この入力インピーダンス補正用 F E T 2 を中心に構成された部分によって入力インピーダンス補正手段が実現されたものとなっている。

【 0 0 1 3 】

また、出力インピーダンス補正用 F E T 3 は、入力インピーダンス補正用 F E T 2 同様、例えば、 n チャンネル・デプレッション型のものが用いられ、そのドレイン端子は、抵抗器 1 3 及び第 2 の D C カット用キャパシタ 1 2 を介して信号増幅用 F E T 1 のドレイン端子に接続される一方、ソース端子は、第 2 のバイパスキャパシタ (第 2 の補正用 F E T 側バイパスキャパシタ) 1 7 を介してグラウンドに接続されている。さらに、出力インピーダンス補正用 F E T 3 のゲート端子は、抵抗器 1 6 を介してグラウンドに接続されている。そして、出力インピーダンス補正用 F E T 3 のドレイン端子は、第 3 のバイアス抵抗器 1 4 を介して、ソース端子は、第 4 のバイアス抵抗器 1 5 を介して、共に第 1 のコントロール電圧印加端子 3 6 に接続されている。

30

本発明の実施の形態においては、この出力インピーダンス補正用 F E T 3 を中心に構成された部分によって出力インピーダンス補正手段が実現されたものとなっている。

40

【 0 0 1 4 】

増幅器バイパス用 F E T 4 も入力インピーダンス補正用 F E T 2 同様、例えば、 n チャンネル・デプレッション型のものが用いられ、そのソース端子は、第 4 の D C カット用キャパシタ 2 3 を介して先の第 3 の D C カット用キャパシタ 1 8 と入力インピーダンス整合回路 2 9 の接続点に接続される一方、ドレイン端子は、第 5 の D C カット用キャパシタ 2 7 を介して信号増幅用 F E T 1 のドレイン端子に接続されている。一方、増幅器バイパス用 F E T 4 のゲート端子は、抵抗器 2 5 を介してグラウンドに接続される一方、ソース端子は、第 5 のバイアス抵抗器 2 4 を介して、ドレイン端子は、第 6 のバイアス抵抗器 2 6 を介して、共に第 1 のコントロール電圧印加端子 3 6 に接続されている。

本発明の実施の形態においては、この増幅器バイパス用 F E T 4 を中心に構成された部分

50

によって増幅器バイパス手段が実現されたものとなっている。

【0015】

次に、上記構成における動作について説明する。

まず、第1のコントロール電圧印加端子36に印加されるコントロール電圧をVCONT36とし、入力インピーダンス補正用FET2、出力インピーダンス補正用FET3及び増幅器バイパス用FET4の各々のピンチオフ電圧は、いずれも同一でVpであるとする。

最初に、利得可変を行わない場合（最大利得を得る場合）には、電源電圧印加端子34には信号増幅用FET1が動作するような電源電圧を印加し、第2のコントロール電圧印加端子37にはバイアスSW用FET5がオン（導通状態）となるようなバイアス電圧を印加し、かつ、第1のコントロール電圧印加端子36には、VCONT36 - Vpとなるような電圧を印加する。

その結果、信号増幅用FET1が動作状態となる一方、入力インピーダンス補正用FET2、出力インピーダンス補正用FET3及び増幅器バイパス用FET4は、いずれもオフ状態（非導通状態）となる。

【0016】

そして、入力インピーダンス補正用FET2、出力インピーダンス補正用FET3及び増幅器バイパス用FET4の各々のゲート幅Wgt、DCカット用キャパシタ6, 12, 18, 31の各々の容量値、抵抗器7, 13の各々の抵抗値及びバイパスキャパシタ11, 17の各々の容量値は、利得可変を行わない状態において、これら素子における高周波入力信号及び高周波出力信号の減衰を抑えるように最適化されているため、高周波信号入力端子32から入力インピーダンス整合回路29を介して入力された高周波信号は、入力インピーダンス補正用FET2及び増幅器バイパス用FET4において減衰することなく第3のDCカット用キャパシタ18を介して信号増幅用FET1のゲート端子（G1）に入力され、増幅されてドレイン端子から出力された高周波信号は、出力インピーダンス補正用FET3によっても減衰されることなく、出力インピーダンス整合回路30及びDCカット用キャパシタ31を介して高周波信号出力端子33に出力されることとなり、通常増幅器と同様に動作して最大利得を得ることができる。

【0017】

一方、利得可変を行う場合（最小利得を得る場合）には、第2のコントロール電圧印加端子37にバイアスSW用FET5がオフ状態となるようなバイアス電圧を印加し、かつ、第1のコントロール電圧印加端子36には、VCONT36 - Vpとなるような電圧を印加する。

その結果、信号増幅用FET1がオフ状態となる一方、入力インピーダンス補正用FET2、出力インピーダンス補正用FET3及び増幅器バイパス用FET4は、いずれもオン状態（導通状態）となる。この場合、信号増幅用FET1はオフ状態であるため、高周波入力信号は信号増幅用FET1を通過するのではなく、第4のDCカット用キャパシタ23、増幅器バイパス用FET4及び第5のDCカット用キャパシタ27にて構成されたバイパス経路を通過することとなる。

【0018】

ここで、利得可変時における利得は、第4のDCカット用キャパシタ23、増幅器バイパス用FET4及び第5のDCカット用キャパシタ27で構成されたバイパス経路における通過損失により決定されることとなるが、増幅器バイパス用FETのゲート幅Wgt、第4及び第5のDCカット用キャパシタ23, 27の容量値を最適化することにより、利得可変時における利得及び利得減衰量を所望の値に任意に設定することが可能である。

また、電源電圧印加端子3に信号増幅用FET1が動作するような電源電圧が印加されたままであっても、上述したようにバイアスSW用FET5がオフ状態となっているため、信号増幅用FET1が動作することは無く、信号増幅用FET1を確実にオフ状態に保持することが可能となる。そのため、利得可変時には、増幅器における低消費電力化を実現することができ、ひいては増幅器を用いた無線通信機のバッテリーの使用可能な時間を延長

10

20

30

40

50

することができることとなる。

【0019】

ここで、信号増幅用FET1は、通常、そのゲートインピーダンス及びドレインインピーダンスが、信号増幅用FET1がオン状態にある場合と、オフ状態にある場合とは大きく異なる。したがって、従来回路においては、第2のコントロール電圧印加端子37に、バイアスSW用FET5がオン状態となるようなバイアス電圧を印加した場合と、バイアスSW用FET5がオフ状態となるようなバイアス電圧を印加した場合とでは、信号増幅用FET1のゲートインピーダンス及びドレインインピーダンスが大きく異なり、そのため、信号増幅用FET1にに入力インピーダンス整合回路29及び出力インピーダンス整合回路30を接続した状態であっても、信号増幅用FET1をオフ状態とした際には、高周波信号入力端子32及び高周波信号出力端子33のVSWR（電圧定在波比）は、信号増幅用FET1がオン状態にある場合より著しく悪化してしまっていた。

10

【0020】

これに対して、本発明の実施の形態における増幅器においては、信号増幅用FET1をオフ状態としながらも、第1のコントロール電圧印加端子36の印加電圧を上述したような値に設定することにより、入力インピーダンス補正用FET2、増幅器バイパス用FET及び出力インピーダンス補正用FET3をオン状態として、信号増幅用FET1のゲートインピーダンス及びドレインインピーダンスがオン状態のそれと同等の値にすることができるものとなっている。

その結果、入力インピーダンス整合回路29及び出力インピーダンス整合回路30を付加した状態における高周波信号入力端子32及び高周波信号出力端子33のVSWRが、信号増幅用FET1がオン状態かオフ状態かに関わらず良好な値に維持されることとなるものである。

20

【0021】

ここで、入力インピーダンス補正用FET2のゲート幅Wgt、抵抗器7の抵抗値、第1のDCカット用キャパシタ6及び第1のバイパスキャパシタ11の容量値は、利得可変時（最小利得を得る場合）における高周波信号入力端子32のVSWRが、利得可変を行わない状態（最大利得を得る場合）と比較して悪化することがないように最適化されている。また、出力インピーダンス補正用FET3のゲート幅Wgt、抵抗器13の抵抗値、第2のDCカット用キャパシタ12及びバイパスキャパシタ17の容量値は、利得可変時における高周波信号出力端子33のVSWRが、利得可変を行わない状態と比較して悪化することがないように最適化されている。

30

【0022】

図2(A)及び図2(B)には、本発明の実施の形態における増幅器の高周波信号入力端子32及び高周波信号出力端子33におけるVSWRの試験例が示されており、以下、同図について説明する。

図2(A)は、高周波信号入力端子32におけるVSWRの試験例を、図2(B)は、高周波信号出力端子33におけるVSWRの試験例を、それぞれ示すものであって、いずれも利得可変時及び利得可変を行わない場合（利得非可変時）のそれぞれのVSWRの試験例が示されたものとなっている。

40

いずれの場合においても、利得可変時と利得非可変時とで、VSWRに若干の違いはあるものの、従来に比して（図3参照）格段に改善されていることが確認できるものとなっている。

【0023】

なお、上述した構成例においては、増幅器バイパス用FET4、入力インピーダンス補正用FET2、出力インピーダンス補正用FET3のいずれも一個であるが、それぞれ所望に応じて複数個直列接続した構成としても勿論良いものである。

【0024】

【発明の効果】

以上、述べたように、本発明によれば、利得可変時、すなわち、換言すれば、最小利得を

50

得る場合にのみ入力インピーダンス補正手段を構成する入力インピーダンス補正用電界効果トランジスタ、出力インピーダンス補正手段を構成する出力インピーダンス補正用電界効果トランジスタ及び増幅器バイパス手段を構成する増幅器バイパス用FET電界効果トランジスタを動作状態とするよう構成することにより、信号増幅用電界効果トランジスタを非動作状態としつつ、利得可変を行わない状態、すなわち、信号増幅用電界効果トランジスタが動作し最大利得が得られる状態と比較して、利得可変時における高周波入力端子及び高周波出力端子における電圧定在波比の変動を小さくすることができ、そのため、利得可変時にあっても利得可変型増幅器の前段や後段に接続されるフィルターなどの特性を損なうことがないという効果を奏するものである。

また、本発明によれば、利得可変時における利得及び利得減衰量の大きさを任意に設定可能であるために、所望する利得及び利得減衰量の増幅器を容易に得ることができるという効果を奏するものである。さらに、利得可変時に低消費電力化ができるという効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の実施の形態における利得可変型増幅器の一回路構成例を示す回路図である。

【図2】図1に示された利得可変型増幅器の入出力端子におけるインピーダンス及びVSWRの一試験例を示すスミスチャートによる特性グラフであって、図2(A)は、高周波入力端子におけるインピーダンス及びVSWRを示す特性グラフ、図2(B)は、高周波出力端子におけるインピーダンス及びVSWRを示す特性グラフである。

【図3】従来回路の入出力端子におけるインピーダンス及びVSWRの一例を示すスミスチャートによる特性グラフであって、図3(A)は、高周波入力端子におけるインピーダンス及びVSWRを示す特性グラフ、図3(B)は、高周波出力端子におけるインピーダンス及びVSWRを示す特性グラフである。

【符号の説明】

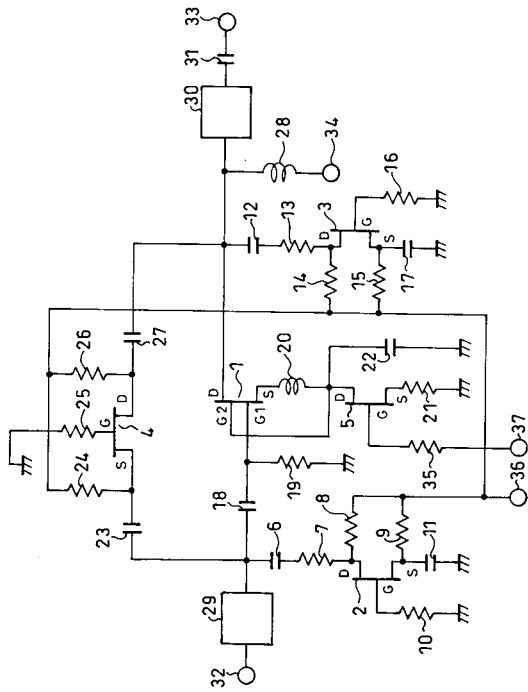
- 1 ... 信号増幅用FET
- 2 ... 入力インピーダンス補正用FET
- 3 ... 出力インピーダンス補正用FET
- 4 ... 増幅器バイパス用FET
- 5 ... バイアスSW用FET
- 29 ... 入力インピーダンス整合回路
- 30 ... 出力インピーダンス整合回路
- 32 ... 高周波信号入力端子
- 33 ... 高周波信号出力端子
- 36 ... 第1のコントロール電圧印加端子
- 37 ... 第2のコントロール電圧印加端子

10

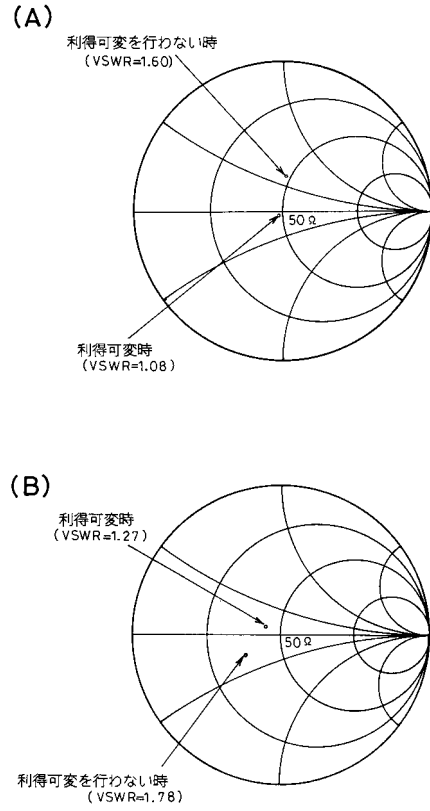
20

30

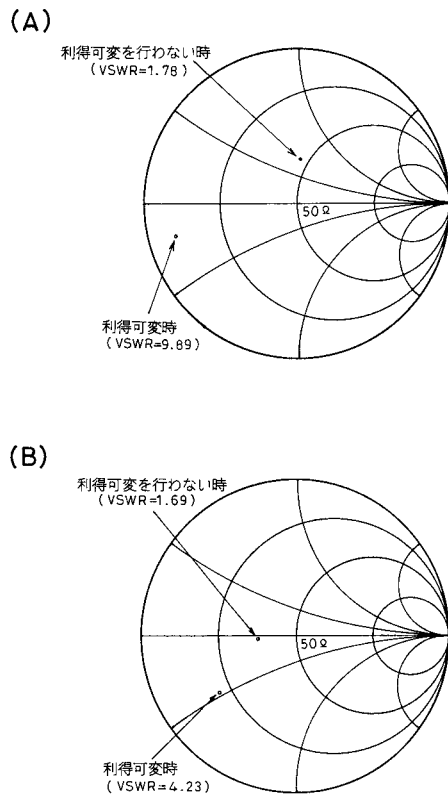
【図1】



【図2】



【図3】



フロントページの続き

- (56)参考文献 特開2002-261554(JP,A)
特開2002-124842(JP,A)
特開平10-084300(JP,A)
特開平04-361412(JP,A)
特開平07-297656(JP,A)
特開平10-242886(JP,A)
特開2001-292033(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03G 3/10
H03F 1/56
H03F 3/193