



- 1、一种薄膜半导体装置的制造方法，其特征在于，  
利用将以  $\text{Si}_n\text{H}_{2n+2}$  ( $n = 2, 3, \dots$ ) 表示的超级硅烷类气体和氢气用于成膜气体的等离子 CVD 法，进行把包含晶体结构的硅薄膜成膜在基板上的工序。
- 2、如权利要求 1 所述的薄膜半导体装置的制造方法，其特征在于，  
所述成膜气体与超级硅烷类气体和氢气一起使用非活性气体。
- 3、如权利要求 2 所述的薄膜半导体装置的制造方法，其特征在于，  
在所述氢气流量以下的流量范围使用所述非活性气体。
- 4、如权利要求 1 所述的薄膜半导体装置的制造方法，其特征在于，  
把所述超级硅烷类气体的流量设定为 1 时的成膜气体的总流量在 50 以上。
- 5、如权利要求 1 所述的薄膜半导体装置的制造方法，其特征在于，  
在把所述硅薄膜进行成膜的工序之前，进行在所述基板上生成晶核的晶核生成工序。
- 6、如权利要求 5 所述的薄膜半导体装置的制造方法，其特征在于，  
在所述晶核生成工序中，利用将以  $\text{Si}_n\text{H}_{2n+2}$  ( $n = 2, 3, \dots$ ) 表示的超级硅烷类气体和卤化锗气体用于成膜气体的反应性热 CVD 法或等离子 CVD 法来生成所述晶核。
- 7、如权利要求 6 所述的薄膜半导体装置的制造方法，其特征在于，  
所述卤化锗气体是  $\text{GeF}_2$ 、 $\text{GeF}_4$ 、 $\text{GeCl}_4$  中的至少一种。
- 8、如权利要求 5 所述的薄膜半导体装置的制造方法，其特征在于，  
在所述晶核生成工序中，作为成膜气体，与以  $\text{Si}_n\text{H}_{2n+2}$  ( $n = 1, 2, 3, \dots$ ) 表示的硅烷类气体一起通过使用氢气和非活性气体的至少一种的等离子 CVD 法来生成晶核。
- 9、如权利要求 8 所述的薄膜半导体装置的制造方法，其特征在于，  
所述氢气的流量比所述非活性气体的流量大。
- 10、如权利要求 5 所述的薄膜半导体装置的制造方法，其特征在于，  
在所述晶核生成工序中，利用对所述基板表面的氢等离子处理来生成晶核。

## 薄膜半导体装置的制造方法

### 技术领域

本发明涉及薄膜半导体装置的制造方法，特别是涉及薄膜晶体管和具备薄膜晶体管的显示装置，以及使用半导体薄膜的太阳电池和以传感器为代表的包含光电转换元件等的薄膜半导体装置的制造方法。

### 背景技术

在液晶显示器、有机 EL 显示器等平板显示器中，作为像素电极的驱动用元件而设置薄膜晶体管（TFT: thin film transistor）。其中，作为半导体薄膜而使用多晶硅(poly-Si)的 poly-Si-TFT, 由于能形成驱动电路和能成为通过把高功能电路内藏在板中的所谓玻璃上系统化等的理由而被关注。为了实现把该 poly-Si-TFT 形成在低成本的玻璃基板上，正在进行把制造处理的温度抑制在 600℃ 以下的所谓低温 poly-Si 处理的开发。

已知的方法是：在由低温 poly-Si 处理的 poly-Si-TFT 制造中，以往是把非晶硅利用等离子 CVD 等方法在低熔点的玻璃基板上成膜，并且对其照射激光光束、电子束这样的能量束而进行晶体化。

作为使非晶硅晶体化的能量束，例如一般使用激发 XeCl 气体得到的波长 308nm 的激光。通过把激光光束整形为线状束并在玻璃基板上扫描而使整个玻璃基板晶体化的方法在工业上被使用。

但利用这种激光退火法制作时，由于激光退火装置需要精密的光学系统和用于使稳定的激光进行振荡的大规模稳定化装置等而使设备成本增加。由于激光光束的光学系统和振荡能量有界限，所以光束的大小就有一定的界限，难于在大面积基板上均匀照射。因此，如果考虑到基板的大型化而从生产性的观点来看，激光退火法未必理想。由激光光束晶体化得到的多晶硅有反映激光光束的能量偏差而晶体粒径容易有偏差，其结果是存在使 TFT 特性有偏差的问题。

于是，提出了几个不进行激光退火而把包含晶体结构的硅薄膜直接在基板上堆积成膜的方法的方案。

例如下面的专利文献 1 公开了：把腐蚀性气体和成膜气体向被加热的基板上导入，在存在腐蚀性气体的情况下，下利用被加热的基板把成膜气体进行热活性化而产生热化学反应，由此，直接对晶态的半导体薄膜进行成膜的方法，即反应性热 CVD 法。

下面的专利文献 2 公开了使用硅烷-氟化硅烷-氟气体类的等离子 CVD 法的成膜。记载有利用该方法得到的硅薄膜被观察到基于晶体硅的尖锐喇曼分光光谱。

下面的非专利文献 1 记载有：通过把等离子 CVD 成膜处理的超高纯度化而降低膜中氧的浓度，发现晶体性有改善。

下面的非专利文献 2 记载有：通过把甲硅烷气体 ( $\text{SiH}_4$ ) 与氢气的气体流量比  $r = [\text{H}_2] / [\text{SiH}_4]$  设定在 100 以上，能使成膜的硅薄膜中的氧浓度在  $1.5 \times 10^{17} \text{cm}^{-3}$  以下，考虑由降低氧浓度来谋求改善晶体性。

专利文献 1：日本特开 2001-68422

专利文献 2：日本特开平 6-168882

非专利文献 1：龟井等“电子技术综合研究所汇报”、第 63 卷、第 1、2 号 37 页（1999 年）

非专利文献 2：C-H Lee et al、，“Applied Physics Letters86”、（2005 年）、论文号码 222106

但例如专利文献 1 的反应性热 CVD 法中，为了得到成膜气体即乙硅烷分解温度的基板温度最低在  $400^\circ\text{C}$  以上，而为了得到足够的成膜速度，基板温度则需要  $450^\circ\text{C}$  以上。但使基板温度成为  $450^\circ\text{C}$  以上的情况，则一般的 SUS 钢材制的 CVD 室不能应对，需要特殊的耐热标准来设计 CVD 成膜装置。即使把基板温度设定成  $450^\circ\text{C}$  时，不使用等离子反应的反应性热 CVD 法的成膜速度也仅是  $8\sim 9\text{nm}/\text{min}$  左右，产业上难于实用化。

另一方面，在专利文献 2 记载的以等离子 CVD 法把晶态的半导体薄膜直接成膜的方法中，在晶体生长初期，膜中非晶成分所占的比例变大。因此，存在如下的问题：特别是半导体薄膜的基板侧界面附近的晶体性成为重要的底栅极型 TFT 不能得到充分性能。

在非专利文献 1 记载的利用等离子 CVD 成膜处理的超高纯度化来改善晶体性的方法中，应对成膜气体、配管、成膜室的超高纯度化则引起装置的高成本化，特别是作为处理数米平方大小的大型玻璃基板的生产用装置

是不现实的。

在非专利文献 2 记载的通过使对于硅烷气体的氢气稀释率上升来在通常的等离子 CVD 装置中降低膜中杂质浓度的方法中，存在成膜速度低到 6 nm/min 左右而生产性不好的问题点。

### 发明内容

本发明的目的在于提供一种薄膜半导体装置的制造方法，即使为低的基板温度，也能维持成膜速度并且把膜厚度方向的晶体化率稳定的晶体性硅薄膜成膜在基板上，由此把晶体性硅薄膜直接向基板上成膜的技术在产业上实用化，且通过使用该硅薄膜来谋求高性能化。

为了达到该目的，本发明薄膜半导体装置的制造方法是具备把硅薄膜作为半导体薄膜的薄膜半导体装置的制造方法。该方法利用将以  $\text{Si}_n\text{H}_{2n+2}$  ( $n = 2, 3, \dots$ ) 表示的超级硅烷类气体和氢气作为原料气体的等离子 CVD 法，进行把包含晶体结构的硅薄膜成膜在基板上的工序。

该制造方法在由等离子 CVD 法进行的硅膜成膜中，通过作为成膜气体的超级硅烷类气体和氢气用于成膜气体，则确认了即使为低的基板温度，也能维持成膜速度而把膜厚度方向的晶体化率稳定的晶体性硅薄膜进行成膜。

根据以上说明的本发明，由于即使为低的基板温度，也能维持成膜速度并且把膜厚度方向的晶体化率稳定的晶体性硅薄膜成膜在基板上，所以能把晶体性硅薄膜直接向基板上成膜的技术在产业上实用化，且通过使用该硅薄膜能谋求高性能化的薄膜半导体装置。

### 附图说明

图 1 是表示实施方式制造方法所使用的成膜装置一例的结构图；

图 2 是表示适用本发明的成膜方法-1 的流程图；

图 3 是表示适用本发明的成膜方法-2 的流程图；

图 4 是表示适用本发明的成膜方法-3 的流程图；

图 5 是表示适用本发明的成膜方法-4 的流程图；

图 6 (1-3) 是表示适用本发明的薄膜半导体装置第一例的剖面工序图 (其一)；

图 7 (1-4) 是表示适用本发明的薄膜半导体装置第一例的剖面工序图 (其二);

图 8 (1-3) 是表示适用本发明的薄膜半导体装置第一例的剖面工序图 (其三);

图 9 (1-3) 是表示适用本发明的薄膜半导体装置第二例的剖面工序图 (其一);

图 10 (1-3) 是表示适用本发明的薄膜半导体装置第二例的剖面工序图 (其二);

图 11 (1-3) 是表示适用本发明的薄膜半导体装置第三例的剖面工序图 (其一);

图 12 (1-3) 是表示适用本发明的薄膜半导体装置第三例的剖面工序图 (其二);

图 13 是本发明适用的其他薄膜晶体管 (薄膜半导体装置) 的结构图;

图 14 是本发明适用的又其他薄膜晶体管 (薄膜半导体装置) 的结构图;

图 15 是在适用成膜方法-1 所得到的微晶硅膜中表示晶体化率 C 和超级硅烷气体的流量与成膜气体的总流量的流量比 R 的关系的曲线;

图 16 是适用成膜方法-1 得到的试样 4 微晶硅薄膜的喇曼光谱;

图 17 是适用成膜方法-1 得到的试样 4 微晶硅薄膜中利用 SIMS 分析的杂质浓度分布图;

图 18 是适用成膜方法-4 得到的试样 5、6 和比较例微晶硅薄膜中利用 SIMS 分析的氧浓度分布图。

#### 符号说明

1 基板	7 微晶硅薄膜	23 n 型微晶硅薄膜、
n TFT	n 沟道型薄膜晶体管	p TFT p 沟道型薄膜晶体管
TFT'、TFT''	薄膜晶体管	

#### 具体实施方式

以下根据附图详细说明关于本发明薄膜半导体装置制造方法的实施方式。在此, 按照薄膜半导体装置制造方法所使用的成膜装置、使用该成膜装置的晶体性硅薄膜的成膜方法和适用该成膜方法的薄膜半导体装置的制造方法的顺序来说明实施方式。

### 〈成膜装置〉

图 1 是表示在薄膜半导体装置的制造中所使用的成膜装置一例的整体结构图。该图所示的成膜装置 100 是平行平板型等离子 CVD 装置，包括：进行成膜处理的处理室 101、在处理室 101 内把被实施成膜处理的基板 W 保持固定的载物台 103、与载物台 103 对应配置的上部电极 105 和与上部电极 105 连接的高频电源 107。

其中，处理室 101 被设置成接地状态，具备用于把内部气体进行排气的排气管 101a。

载物台 103 兼作下部电极，以与处理室 101 同样的接地状态配置在处理室 101 内。由该兼作下部电极的载物台 103 和下面要说明的上部电极 105 构成平行平板。该载物台 103 也可以设置用于把基板 W 加热保持在规定温度的调温机构。

上部电极 105 兼作用于向处理室 101 内供给处理气体的喷头，与被固定在载物台 103 上的基板 W 的整个面相对配置。气体导入管 105a 与该上部电极 105 连接。气体导入管 105a 设置有气体混合室 105b，从气体导入管 105a 导入的气体在气体混合室 105b 内被混合后向上部电极 105 内导入，对成膜的均匀化起到作用。

该上部电极 105 内设气体的分散板 105c，且把与载物台 103 相对的面构成为喷淋板 105d。分散板 105c 的目的是：使被导入的原料气体向基板 W 整个面分散，喷淋板 105d 把被分散板 105c 分散的气体均匀地向基板 W 上供给。图中的气体导入管 105a 仅图示了一个系统，但根据需要能够设置多个气体系统。

高频电源 107 向上部电极 103 施加高频的 RF 电力。

根据以上结构的成膜装置 100，能在基板 W 的上方利用产生原料气体等离子的等离子 CVD 法进行成膜。本发明并不限定于使用在此表示的平行平板型等离子 CVD 装置的成膜，只要是能进行等离子 CVD 法的成膜的装置，则同样能使用。

### 〈成膜方法-1〉

参照图 2 的流程图说明使用上述成膜装置 100 的晶体性硅薄膜的成膜方法第一例。

首先，在玻璃基板等基板 W 上把氧化硅、氮化硅、氧氮化硅等薄膜进

行成膜。例如利用等离子 CVD 法把氧化硅成膜 100nm 左右。

接着，在基板 W 的成膜表面上进行用于生成晶核的晶核生成工序 S1。

在此，首先把基板 W 固定保持在处理室 101 内的载物台 103 上。然后把处理室 101 内的压力设定成 13.3~1330Pa，优选是 133~400Pa，把基板 W 的温度设定成 100~600℃，优选是 300~450℃。

然后，在保持处理室 101 内的压力和基板 W 温度的状态下，从气体供给管 105a 作为成膜气体而供给超级硅烷类气体和卤化锗类气体。在此使用的超级硅烷类气体是以  $\text{Si}_n\text{H}_{2n+2}$  ( $n = 2, 3, \dots$ ) 表示的硅烷气体，使用乙硅烷 ( $\text{Si}_2\text{H}_6$ ) 或丙硅烷 ( $\text{Si}_3\text{H}_8$ )。作为卤化锗气体使用四氟化锗 ( $\text{GeF}_4$ )、二氟化锗 ( $\text{GeF}_2$ ) 这样的氟化锗类气体，且使用四氯化锗 ( $\text{GeCl}_4$ ) 这样的氯化锗类气体。

这时，通过断开向载物台 103 和上部电极 105 施加的高频电源 107，由反应性热 CVD 法进行晶核的生成。

以上的晶核生成工序 S1 也可以根据需要进一步把 Ar、He、Ne、Kr、Xe、 $\text{N}_2$  等非活性气体和氢气作为稀释气体从气体供给管 105a 向处理室 101 内供给。超级硅烷类气体与卤化锗气体的流量比优选是 [卤化锗气体流量] / [超级硅烷类气体流量] = 1 / 10 以下。稀释气体的流量优选在 200 到 5000sccm 的范围。把非活性气体和氢气这两者作为稀释气体使用时，优选使氢气的流量比非活性气体的流量大。

把该晶核生成工序 S1 例如进行 300 秒。

在此使用的卤化锗类气体和超级硅烷类气体在 300℃ 左右以下的低温不会反应。因此，在气体混合室 105b 内不反应地被均匀混合。因此，由于大面积的基板上有均匀地供给原料气体成分，所以对于基板面内能进行均匀的晶核生成。

该晶核生成工序 S1 也可以由等离子 CVD 法进行。这时所使用的气体与反应性热 CVD 法的情况相同就可以，通过向载物台 103 和上部电极 105 施加高频电压来进行等离子 CVD 法的晶核生成。

然后，在生成了核的基板 W 的成膜表面上进行等离子 CVD 法的成膜工序 S2。

在此，在把处理室 101 内的压力和基板 W 的温度保持与晶核生成工序 S1 同样的状态下，把从气体供给管 105a 供给的成膜气体切换成超级硅烷类

气体和氢气。也可以与这些气体一起添加非活性气体。作为非活性气体使用 Ar、He、Ne、Kr、Xe、N<sub>2</sub> 等。

通过向载物台 103 和上部电极 105 施加高频电压而使成膜气体产生等离子。

在该成膜工序 S2 中，把超级硅烷类气体的流量设定为 1 时的成膜气体的总流量设定在 50 以上。即，设定成超级硅烷类气体的流量与成膜气体的总流量的流量比  $R = [\text{Si}_n\text{H}_{2n+2} + \text{H}_2 + \dots] / [\text{Si}_n\text{H}_{2n+2}] \geq 50$ 。优选流量比  $R \geq 60$ 。

作为成膜气体而与超级硅烷类气体和氢气一起添加非活性气体时，在氢气流量以下的流量范围使用非活性气体，优选非活性气体的流量比氢气的流量低。由此，能把膜中的杂质浓度抑制低。

通过以上的办法，在基板 W 上把包含晶体结构的硅薄膜（以下叫做微晶硅薄膜）进行成膜。

作为薄膜晶体管为了得到正常的特性，则需要把微晶硅薄膜中氧的浓度抑制在  $3 \times 10^{20} \text{cm}^{-3}$  以下。于是在以上说明的成膜方法中为了抑制杂质向成膜的微晶硅薄膜中混入，作为成膜气体则使用纯度 3N 以上，优选是纯度 4N 以上的气体。还有为了抑制向成膜的微晶硅薄膜中掺入氧、碳、氮等杂质元素的浓度，优选在进行上述的晶核生成工序 S1 之前使用清洗用气体（例如氟气体、氟化卤素气体或 NF<sub>3</sub> 气体、氢气等）通过等离子处理而把处理室 101 内进行清洗。这在以后的所有成膜方法中是共通的。

在以上说明的〈成膜方法-1〉中，在通过进行晶核生成工序 S1 而预先生成了晶核的状态下，进行微晶硅薄膜的成膜工序 S2，所以能得到晶体性良好的微晶硅薄膜。通常在该晶核生成工序 S1 使用的超级硅烷类气体和卤化锗气体都单独地在基板温度 450℃ 左右的低温下不会晶体化。因此，在把这些气体单独使用的通常的热 CVD 法中不出现生成晶核。但通过把超级硅烷类气体和卤化锗类气体作为成膜气体而同时使用，利用 450℃ 低温的反应性热 CVD 法能形成晶核。

在晶核生成之后的成膜工序 S2 中，通过使用作为成膜气体的超级硅烷气体的等离子 CVD 法进行成膜的结构，如在以后实施方式中说明的那样，与通常的反应性热 CVD 法比较，可以确认：能以更低的基板温度并且以 10 倍以上的快的成膜速度进行微晶硅薄膜的成膜。

在该成膜工序 S2 中，通过与超级硅烷气体一起使用氢气而能把杂质浓

度（特别是氧浓度）抑制得低，由此能得到实现提高了晶体性的微晶硅薄膜。

特别是在该成膜工序 S2 中，设定成超级硅烷类气体的流量与成膜气体的总流量的流量比  $R = [\text{Si}_n\text{H}_{2n+2} + \text{H}_2 + \dots] / [\text{Si}_n\text{H}_{2n+2}] \geq 50$ ，优选流量比  $R \geq 60$ ，如在以后实施方式中说明的那样，能更可靠地维持微晶硅薄膜的成膜速度的同时得到晶体化率高微晶硅。

如在以后实施方式中说明的那样，以该〈成膜方法-1〉成膜的微晶硅薄膜中具有柱状晶体结构（也被叫做柱状）的晶体粒从基板表面生长，确认在膜厚度方向的整个区域能得到晶体性良好的晶体性硅薄膜。从这点，只要按照本发明的成膜方法，就能得到特别是成膜底面侧晶体性良好微晶硅薄膜。因此，若是例如把该微晶硅薄膜作为沟道层使用的薄膜晶体管，则通过作为底栅极型而能把晶体性更加良好的微晶硅薄膜部分作为沟道形成部（即栅极电极侧部分），能可靠地谋求提高载流子的移动度，所以是有利的。

根据以上的〈成膜方法-1〉，由于即使为低的基板温度，也能维持成膜速度并且把膜厚度方向的晶体化率稳定的微晶硅薄膜成膜在基板上，所以能把晶体性硅薄膜直接向基板上成膜的技术在产业上实用化，且通过使用得到的微晶硅薄膜而能谋求高性能化的薄膜半导体装置。

#### 〈成膜方法-2〉

参照图 3 的流程图说明使用上述成膜装置 100 的晶体性硅薄膜的成膜方法第二例。该〈成膜方法-2〉是在〈成膜方法-1〉的晶核生成工序中变更所使用的成膜气体的例。

即在基板 W 的成膜表面上进行用于生成晶核的晶核生成工序 S1' 中，作为成膜气体与以  $\text{Si}_n\text{H}_{2n+2}$  ( $n=1, 2, 3, \dots$ ) 表示的硅烷类气体一起进行使用氢气和非活性气体的至少一种的等离子 CVD 法。

这时，优选与硅烷类气体一起使用氢气和非活性气体这两者。其理由是若仅由硅烷类气体和非活性气体进行等离子成膜时，则利用由非活性气体等离子产生的等离子冲击而以氧气为主的杂质元素容易从室内壁进入，通过把氢气同时导入，并且利用氢气的清洗效果而能抑制杂质元素向膜中进入。另外，由于仅利用硅烷类气体和氢气而成膜初期的核产生率少，所以说难于提高基板正上的晶体化率。

在使用氢气和非活性气体这两者的情况下，优选使氢气的流量比非活性气体的流量大，以维持上述的晶体化率的同时提高清洗效果。

作为以上晶核生成工序 S1' 的具体例一例，例如作为硅烷类气体使用 Si<sub>2</sub>H<sub>6</sub> (流量=10sccm)，作为非活性气体使用 Ar 气 (流量=500sccm)，且使用氢气 (流量=1000sccm)，施加等离子约 10 秒以形成晶核。

以上的晶核生成工序 1' 之后进行的等离子 CVD 法的成膜工序 S2 与〈成膜方法-1〉的成膜工序 S2 同样进行。

以上的〈成膜方法-2〉由于在进行晶核生成工序 S1' 而预先生成了晶核的状态下来进行微晶硅薄膜的成膜工序 S2，所以也能得到晶体性良好的微晶硅薄膜。之后进行与〈成膜方法-1〉同样的成膜工序 S2，所以与〈成膜方法-1〉同样，即使为低的基板温度，也能维持成膜速度并且把膜厚度方向的晶体化率稳定的微晶硅薄膜成膜在基板上，所以能把晶体性硅薄膜直接向基板上成膜的技术在产业上实用化，且通过使用得到的微晶硅薄膜而能谋求高性能化的薄膜半导体装置。

#### 〈成膜方法-3〉

参照图 4 的流程图说明使用上述成膜装置 100 的晶体性硅薄膜的成膜方法第三例。该〈成膜方法-3〉是在〈成膜方法-1〉的晶核生成工序中改变所使用的成膜气体的例子。

即，在基板 W 的成膜表面上进行用于生成晶核的晶核生成工序 S1'' 中，不使用硅烷类气体，而是进行氢等离子处理或 Ar 等离子处理、氮气(N<sub>2</sub>)等离子处理等的非活性气体的等离子处理。

作为该晶核生成工序 S1'' 的具体例一例，把氢气 (流量=1000sccm) 的等离子施加 10~180 秒。

以上的晶核生成工序 1'' 之后进行的等离子 CVD 法的成膜工序 S2 与〈成膜方法-1〉的成膜工序 S2 同样进行。

以上的〈成膜方法-3〉由于在进行晶核生成工序 S1'' 而预先生成了晶核的状态下来进行微晶硅薄膜的成膜工序 S2，所以也能得到晶体性良好的微晶硅薄膜。之后进行与〈成膜方法-1〉同样的成膜工序 S2，所以与〈成膜方法-1〉同样地即使为低的基板温度，也能维持成膜速度并且把膜厚度方向的晶体化率稳定的微晶硅薄膜成膜在基板上，所以能把晶体性硅薄膜直接向基板上成膜的技术在产业上实用化，且通过使用得到的微晶硅薄膜而

能谋求高性能化的薄膜半导体装置。

#### 〈成膜方法-4〉

参照图 5 的流程图说明使用上述成膜装置 100 的晶体性硅薄膜的成膜方法第四例。该〈成膜方法-4〉不进行特别的晶核生成工序，而是在成膜工序 S2' 中同时进行生成核的方法。

在此，首先把基板 W 固定保持在处理室 101 内的载物台 103 上。然后把处理室 101 内的压力设定成 13.3~1330Pa，优选是 133~400Pa，把基板 W 的温度设定成 100~600℃，优选是 300~450℃。

然后，在保持处理室 101 内的压力和基板 W 温度的状态下，从气体供给管 105a 供给作为成膜气体的超级硅烷类气体、氢气和非活性气体。超级硅烷气体是 Si<sub>2</sub>H<sub>6</sub>、Si<sub>3</sub>H<sub>8</sub> 等，非活性气体是 He、Ne、Ar、Kr、Xe 或 N<sub>2</sub> 等。

这时，在氢气流量以下的流量范围使用非活性气体，优选使非活性气体的流量比氢气的流量低。由此，能把膜中杂质的浓度抑制低。

通过向载物台 103 和上部电极 105 施加高频电压而进行等离子 CVD 法的成膜。

在该成膜工序 S2' 中，把在超级硅烷类气体的流量设定为 1 时的成膜气体的总流量设定在 50 以上。即，设定成超级硅烷类气体的流量与成膜气体的总流量的流量比  $R = [\text{Si}_n\text{H}_{2n+2} + \text{H}_2 + \dots] / [\text{Si}_n\text{H}_{2n+2}] \geq 50$ 。优选流量比  $R \geq 60$ 。

通过以上的办法，在基板 W 上把包含晶体结构的硅薄膜（以下叫做微晶硅薄膜）成膜。

在以上说明的〈成膜方法-4〉中，通过把〈成膜方法-2〉的晶核生成工序（S1'）中硅烷类气体使用超级硅烷类气体的工序原封不动地延长而设定为成膜工序 S2'，能对同时满足高速的成膜速度和高晶体化率以及低氧浓度的各种要求的微晶硅薄膜进行成膜。

该〈成膜方法-4〉对于膜厚度 100nm 以下的微晶硅膜的成膜特别有效。

#### 〈成膜方法-5〉

作为使用上述成膜装置 100 的晶体性硅薄膜的成膜方法第五例，使预先导入了 n 型、p 型杂质（掺杂剂）的 n 型微晶硅薄膜或 p 型微晶硅薄膜进行成膜的情况适用于〈成膜方法-1〉~〈成膜方法-4〉并且进行说明。

即，在〈成膜方法-1〉和〈成膜方法-2〉的顺序中，在成膜工序 S2 中，

把含有杂质的掺杂剂气体作为成膜气体而进行添加。

〈成膜方法-3〉所示的顺序中,在晶核生成工序 S1'' 和成膜工序 S2 中,把含有杂质的掺杂剂气体作为成膜气体而进行添加。

〈成膜方法-4〉所示的顺序中,在成膜工序 S2' 中,把含有杂质的掺杂剂气体作为成膜气体而进行添加。

在此作为添加的掺杂剂气体,若是 n 型微晶硅薄膜的成膜,则使用 n 型杂质即含有磷 (P) 的磷化氢 ( $\text{PH}_3$ )。另一方面,若是 p 型微晶硅薄膜的成膜,则使用 p 型杂质即含有硼 (B) 的乙硼烷 ( $\text{B}_2\text{H}_6$ )。

利用该成膜方法,把微晶硅薄膜直接成膜,并且能把成膜的微晶硅薄膜内含有的杂质(掺杂剂)活性化。

如上述那样,进行含有被活性化状态杂质的微晶硅薄膜成膜的处理室 101,优选与对不含有杂质的微晶硅薄膜进行成膜的处理室 101 分别设置。由此,能防止杂质向不含有杂质的微晶硅薄膜混入。在把不含有杂质的微晶硅薄膜与含有杂质的微晶硅薄膜进行层合成膜时,为了防止从大气中有杂质混入,优选使用多室形式的等离子 CVD 装置,不破坏真空地在各自进行成膜的处理室之间来进行基板 W 的运送。

#### 〈薄膜半导体装置的制造方法-1〉

下面根据图 6~图 8 的剖面工序图来说明适用上述成膜方法的薄膜半导体装置的制造方法第一例。第一例说明在具备 CMOS 结构的平面型底栅极 TFT 的显示装置用驱动板的制作中适用本发明的实施方式。

首先如图 6(1) 所示,准备绝缘性基板 1。该基板 1 例如适用旭玻璃社制 AN100、コーニング社制 Code1737 等。

在该基板 1 上形成栅极电极 3 的图形。在此,是把 Mo、W、Ta、Cu 等金属膜进行溅射成膜,把成膜的金属膜形成图形而作为栅极电极 3。栅极电极(金属膜)的膜厚度设定成 30~200nm。

然后利用等离子 CVD 法或 LPCVD 法等成膜方法在该栅极电极 3 上把成为栅极绝缘膜 5 的氮化硅膜 ( $\text{SiN}_x$ ) 成膜 10~50nm,在其上把氧化硅膜 ( $\text{SiO}_x$ ) 成膜 10~100nm。由此,就形成氮化硅膜和氧化硅膜层合结构的栅极绝缘膜 5。

在以上之后如图 6(2) 所示,进行在前面的〈成膜方法-1〉说明过的晶核生成工序 S1 和其后的成膜工序 S2,把不含有杂质的微晶硅薄膜 7 成膜。

在此,把微晶硅薄膜7成膜为膜厚度10~100nm,优选是40nm。

该微晶硅薄膜7成为TFT的有源层,该有源层包含的氧、碳、氮等杂质元素的浓度优选在 $3 \times 10^{20} \text{cm}^{-3}$ 以下。因此,如〈成膜方法-1〉说明的那样,供给清洗用气体(例如氟气体、氟化卤素气体或 $\text{NF}_3$ 气体等),通过等离子腐蚀而把处理室内进行清洗后进行上述的晶核生成工序S1和成膜工序S2,把这些杂质元素的浓度抑制低。

对于成膜的微晶硅薄膜7,也可以进行激光等脉冲激光、Ar激光等的气体激光、YAG等的固体激光、GaN等的半导体激光、Xe(氙)弧光灯等的急速加热法(RTA)、等离子流照射等能量照射以助长晶体性。

然后如图6(3)所示,继续利用等离子CVD等方法以1~100nm左右的膜厚度在微晶硅薄膜7上层合氧化硅膜9。

然后根据需要以控制在此形成的薄膜晶体管的 $V_{th}$ 为目的,把 $\text{B}^+$ 离子以剂量 $0.1\text{E}12\sim 4\text{E}12 / \text{cm}^2$ 向微晶硅薄膜7进行离子注入。这时,离子束的加速电压被设定为20~200keV左右。

接着如图7(1)所示,从把栅极电极3作为掩膜的基板1侧进行背面曝光,在氧化硅膜9上形成抗蚀剂图形201。利用把该抗蚀剂图形201作为掩膜的离子注入法向微晶硅薄膜7中进行用于形成n型MOS晶体管的LDD扩散层7-1的杂质导入。这时,例如进行:使用 $\text{P}^+$ 离子,设定成注入剂量: $6\text{E}12\sim 5\text{E}13 / \text{cm}^2$ 、加速电压:20~200keV左右的质量分离或非质量分离型的离子注入。离子注入后把抗蚀剂图形201剥离。

接着如图7(2)所示,把p沟道区域1p中的栅极电极3上部覆盖,且形成覆盖n沟道区域1n的抗蚀剂图形203。利用把该抗蚀剂图形203作为掩膜的离子注入法进行用于形成p沟道薄膜晶体管的源极-漏极7-2的杂质导入。这时,例如进行:使用 $\text{B}^+$ 离子,设定成注入剂量: $1\text{E}14\sim 3\text{E}15 / \text{cm}^2$ 、加速电压:5~100keV左右的质量分离或非质量分离型的离子注入。由此就形成p沟道的薄膜晶体管(pTFT)。离子注入后把抗蚀剂图形203剥离。

接着如图7(3)所示,把p沟道区域1p覆盖,且形成覆盖n沟道区域1n的栅极电极3上部的抗蚀剂图形205。利用把该抗蚀剂图形205作为掩膜的离子注入法进行用于形成n沟道薄膜晶体管的源极-漏极7-3的杂质导入。这时,例如进行:使用 $\text{P}^+$ 离子,设定成注入剂量: $1\text{E}15\sim 3\text{E}15 / \text{cm}^2$ 、加速电压:10~100keV左右的注入,形成n沟道的薄膜晶体管(nTFT)。离

子注入后把抗蚀剂图形 205 剥离。

如以上那样的离子注入后，利用红外灯加热、燃烧炉加热等急速加热法（RTA）或激光退火法、在 600℃以下的 N<sub>2</sub> 环境中的退火法等，使向微晶硅薄膜 7 中导入的杂质活性化。

然后如图 7（4）所示，对氧化硅膜 9 和微晶硅薄膜 7 同时进行图形腐蚀，对每个各薄膜晶体管 pTFT、nTFT 设定成岛状图形。

接着如图 8（1）所示，在把作为岛状图形的各薄膜晶体管 pTFT、nTFT 覆盖的状态下，把氧化硅薄膜 11a 和含有氢的氮化硅薄膜 11b 按该顺序层合成膜，把两层结构的层间绝缘膜 11 成膜。这些成膜例如通过等离子 CVD 等进行。

该阶段通过非活性气体或形成气体中等的退火处理，进行使层间绝缘膜 11 中的氢，特别是氮化硅薄膜 11b 中的氢向微晶硅薄膜 7 中扩散的氢工序。退火条件优选例如是 400℃、两小时左右。利用该氢工序则能把微晶硅薄膜 7 中的悬空链消除，谋求提高 TFT 特性。该氢工序并不限于从氮化硅薄膜 11b 中使氢扩散的方法，在氢等离子环境中把微晶硅薄膜 7 暴露也能达到。

接着如图 8（2）所示，在层间绝缘膜 11 和氧化硅膜 9 形成达到微晶硅薄膜 7 的源极/漏极 7-2、7-3 的接触孔 13。然后在层间绝缘膜 11 上形成经由该接触孔 13 而与源极/漏极 7-2、7-3 连接的配线电极 15。该配线电极 15 的形成是通过把 Al-Si 等配线用电极材料进行溅射成膜，并把它并把它形成图形。

接着如图 8（3）所示，例如把由丙烯类有机树脂构成的平坦化绝缘膜 17 涂布形成约 1 μm 的膜厚度。然后在平坦化绝缘膜 17 形成达到配线电极 15 的接触孔 19。把经由该接触孔 19 而与配线电极 15 连接的像素电极 21 形成在平坦化绝缘膜 17 上。像素电极 21 例如是把透明导电性材料即 ITO（Indium Tin Oxide）进行溅射成膜，并把它形成图形。

像素电极 21 在由 ITO 构成的情况下，把像素电极 21 在氮环境中进行约 220℃、30 分钟的退火。

在此，仅表示了显示装置用的驱动板中，仅表示了像素电极驱动用的像素晶体管是 n 沟道型的薄膜晶体管 nTFT，周边电路是 CMOS 结构，周边电路的一部分即 p 沟道型薄膜晶体管是 pTFT。

通过以上的办法，完成驱动板。然后，例如如果是液晶显示装置，则以覆盖像素电极 21 的状态形成配向膜。然而，准备按照对向电极和配向膜的顺序在基板上进行成膜的对向基板，并且在配向膜间密封液晶层而完成显示装置。另外，如果是利用有机电场发光元件的有机 EL 的显示装置，则在像素电极上层积形成含有发光层的有机层，在有机层上设置电极，并且根据需要在电极上利用保护膜进行覆盖，而完成显示装置。

根据以上的制造方法，能把上述的成膜方法适用于微晶硅薄膜 7 的成膜，所以能得到以产业上实用化程度保持成膜速度而进行成膜的把微晶硅薄膜 7 作为沟道层使用的底栅极型薄膜晶体管 pTFT、nTFT。这些薄膜晶体管 pTFT、nTFT 由于把晶体性的硅薄膜 7 作为沟道层使用，所以比非晶硅的载流子移动度高，能构成高性能的电路，使用该薄膜晶体管 pTFT、nTFT 能谋求构成驱动电路的显示装置的高性能化。

由于微晶硅薄膜 7 的成膜以低温进行，所以作为栅极电极 3 能使用熔点比较低的 Al、Cu、Ag、Au 等金属。

不使用激光晶体化装置那样复杂价格高的装置，仅利用等离子 CVD 装置、金属溅射装置、曝光装置和腐蚀装置就能制作薄膜晶体管。这就意味着通过与非晶硅 TFT 同等的处理就能成为使用微晶硅薄膜的 TFT。即，与近年来大型化进展的非晶硅 TFT 同样的基板大型化通过本发明成为可能，由于一般地也能应对 G8 代以后的 2m 平方以上的大型玻璃基板，所以对角 50 英寸以上的大型显示装置的生产也成为可能，能得到工业上有益的效果。

本实施方式表示了薄膜晶体管 pTFT、nTFT 的单栅极结构，但像素晶体管即薄膜晶体管 nTFT 也可以是在源极区域和漏极区域之间具有多个栅极的多栅极结构。多栅极结构的 TFT 与单栅极结构的 TFT 相比有容易降低断开电流的特点，与使用非晶硅的 TFT 比较，则在断开电流高的微晶硅 TFT 中 useful。

#### 〈薄膜半导体装置的制造方法-2〉

下面根据图 9~图 10 的剖面工序图来说明适用上述成膜方法的薄膜半导体装置的制造方法第二例。在第二例中，说明在具备仅 n 沟道的单沟道结构的沟道停止型底栅极 TFT 的显示装置用驱动板的制作中适用本发明的实施方式。

首先按使用第一例图 6 (1) ~ (3) 说明的同样的顺序在绝缘性基板 1

上形成栅极电极 3 的图形, 以把它覆盖的状态把栅极绝缘膜 5 成膜, 利用前面〈成膜方法-1〉说明过的成膜方法把不含有杂质的微晶硅薄膜 7 进行成膜, 然后进行到把氧化硅膜 9 成膜。然后根据需要以控制在此形成的薄膜晶体管的  $V_{th}$  为目的而进行离子注入。

在以上之后, 如图 9 (1) 所示, 把栅极电极 3 作为掩膜而从基板 1 侧进行背面曝光, 在氧化硅膜 9 上形成抗蚀剂图形 207。利用把该抗蚀剂图形 201 作为掩膜的腐蚀把微晶硅薄膜 7 上的氧化硅膜 9 除去, 仅在栅极电极 3 上残留氧化硅膜 9。该腐蚀后把抗蚀剂图形 207 剥离。

接着如图 9 (2) 所示, 利用前面〈成膜方法-5〉说明过的成膜方法把含有被活性化杂质的微晶硅薄膜 23 进行成膜。在此是把膜厚度 10~500nm 的微晶硅薄膜 23 进行成膜。这时, 通过把磷化氢 ( $PH_3$ ) 用于掺杂剂气体而形成 n 型的微晶硅薄膜 23 (以下记作 n 型微晶硅薄膜 23)。该 n 型微晶硅薄膜 23 的成膜在与把不含有杂质的微晶硅薄膜 7 进行成膜的处理室分开的其他处理室内进行。当把掺杂剂气体设定为乙硼烷 ( $B_2H_6$ ) 时, 则能得到含有被活性化的 p 型杂质的 p 型微晶硅薄膜。

由此, 先前形成的微晶硅薄膜 7 成为沟道层 7, 在此形成的含有掺杂剂的 n 型微晶硅薄膜 23 成为源极 / 漏极层 23。

接着如图 9 (3) 所示, 把源极 / 漏极层 23 和沟道层 7 同时按源极 / 漏极层 23 的图形进行腐蚀, 对每个各薄膜晶体管的区域设定成岛状图形。

在成为腐蚀停止层的氧化硅膜 9 上腐蚀被停止, 因此源极 / 漏极 23a 和沟道层 7 能在一个工序同时形成。由此, 就形成 n 沟道的沟道停止型薄膜晶体管 nTFT。

在以上之后, 图 10 (1) ~ (3) 所示的工序则与使用第一例图 8 (1) ~ (3) 说明的同样地进行。

即, 首先如图 10 (1) 所示, 在把形成的薄膜晶体管 nTFT 覆盖的状态下, 把氧化硅薄膜 11a 和含有氢的氮化硅薄膜 11b 这两层结构的层间绝缘膜 11 进行成膜。然后进行氢化处理。

接着如图 10 (2) 所示, 在层间绝缘膜 11 形成达到源极 / 漏极 23a 的接触孔 13。且形成与源极 / 漏极 23a 连接的配线电极 15。

接着如图 10 (3) 所示, 涂布形成平坦化绝缘膜 17, 形成达到作为像素晶体管使用的薄膜晶体管 nTFT 的配线电极 15 的接触孔 19。然后形成经

由接触孔 19 而与配线电极 15 连接的像素电极 21。

以上则完成驱动板。以上之后的显示装置的制作顺序则与第一例相同。

以上第二例的制造方法由于微晶硅薄膜 7 的成膜也适用上述的〈成膜方法-1〉, 所以能得到与第一例同样的效果。而且成为源极/漏极 23a 的 n 型微晶硅薄膜 23 的成膜也适用上述的〈成膜方法-5〉, 所以能谋求沟道停止型底栅极 TFT 制作工序的高效率。且由于微晶硅薄膜 7 和 n 型微晶硅薄膜 23 的成膜以低温进行, 所以作为栅极电极 3 能使用熔点比较低的 Al、Cu、Ag、Au 等金属。

本第二例表示了仅 n 沟道的单沟道结构的沟道停止型底栅极 TFT 的形成。但在设定成 CMOS 结构时, 只要把微晶硅薄膜 23 的成膜按 n 型和 p 型进行两次就可以。也可以与其他结构的 p 沟道型薄膜晶体管进行组合。

〈薄膜半导体装置的制造方法-3〉

下面根据图 11~图 12 的剖面工序图来说明适用上述成膜方法的薄膜半导体装置的制造方法第三例。第三例说明在具备仅 n 沟道的单沟道结构的沟道腐蚀型底栅极 TFT 显示装置用驱动板的制作中适用本发明的实施方式。

首先按使用第一例图 6 (1)~(2) 说明的同样的顺序在绝缘性基板 1 上形成栅极电极 3 的图形, 以把它覆盖的状态把栅极绝缘膜 5 成膜, 利用前面〈成膜方法-1〉说明过的实施方式的 CVD 成膜方法进行到把不含有杂质的微晶硅薄膜 7 成膜。然后根据需要以控制在此形成的薄膜晶体管的  $V_{th}$  为目的而进行离子注入。

然后, 如图 11 (1) 所示, 利用前面〈成膜方法-5〉说明过的实施方式的 CVD 成膜方法把含有被活性化杂质的微晶硅薄膜 23 进行成膜。在此是把膜厚度 10~200nm 的微晶硅薄膜 23 进行成膜。这时, 通过把磷化氢 ( $PH_3$ ) 用于掺杂剂气体而形成 n 型的微晶硅薄膜 23 (以下记作 n 型微晶硅薄膜 23)。该 n 型微晶硅薄膜 23 的成膜在与把不含有杂质的微晶硅薄膜 7 进行成膜的处理室分开的其他处理室内进行。但是, 优选的是在微晶硅薄膜 7 成膜后, 不破坏处理室内真空状态地运送基板来进行 n 型微晶硅薄膜 23 的成膜。当把掺杂剂气体设定为乙硼烷 ( $B_2H_6$ ) 时, 则能得到含有被活性化的 p 型杂质的 p 型微晶硅薄膜。

由此, 先前形成的微晶硅薄膜 7 成为沟道层, 在此形成的含有掺杂剂

的 n 型微晶硅薄膜 23 成为源极 / 漏极层 23。

接着如图 11 (2) 所示, 把源极 / 漏极层 23 和沟道层 7 同时进行图形腐蚀, 对每个各薄膜晶体管的区域设定成岛状图形。

然后如图 11 (3) 所示, 把成为岛状图形的源极 / 漏极层 23 在栅极电极 3 的上方分割为二地进行图形腐蚀, 形成源极 / 漏极 23a。由此, 就形成 n 沟道的沟道腐蚀型薄膜晶体管 nTFT。

在以上之后, 图 12 (1) ~ (3) 所示的工序则与使用第一例图 8 (1) ~ (3) 说明的同样地进行。

即首先如图 12 (1) 所示, 在把形成的薄膜晶体管 nTFT 覆盖的状态下, 把氧化硅薄膜 11a 和含有氢的氮化硅薄膜 11b 这两层结构的层间绝缘膜 11 成膜。然后进行氢化处理。

接着如图 12 (2) 所示, 在层间绝缘膜 11 形成达到源极 / 漏极 23a 的接触孔 13, 且形成与源极 / 漏极 23a 连接的配线电极 15。

接着如图 12 (3) 所示, 涂布形成平坦化绝缘膜 17, 形成达到作为像素晶体管使用的薄膜晶体管 nTFT 的配线电极 15 的接触孔 19。然后形成经由接触孔 19 而与配线电极 15 连接的像素电极 21。

通过以上的办法, 完成驱动板。以上之后的显示装置的制作顺序则与第一例相同。

以上第三例的制造方法由于微晶硅薄膜 7 的成膜也适用上述的〈成膜方法-1〉, 所以能得到与第一例同样的效果。而且成为源极 / 漏极 23a 的 n 型微晶硅薄膜 23 的成膜也适用上述的〈成膜方法-5〉, 所以能谋求沟道停止型底栅极 TFT 制作工序的高效率。且由于微晶硅薄膜 7 和 n 型微晶硅薄膜 23 的成膜以低温进行, 所以作为栅极电极 3 能使用熔点比较低的 Al、Cu、Ag、Au 等金属的情况与第二例相同。

本第三例表示了仅 n 沟道的单沟道结构的沟道腐蚀型底栅极 TFT 的形成。但在设定成 CMOS 结构时, 只要把微晶硅薄膜 23 的成膜按 n 型和 p 型进行两次就可以。也可以与其他结构的 p 沟道型薄膜晶体管进行组合。

在以上说明的第一例~第三例中都表示了平坦化绝缘膜 17 上形成像素电极 21 的结构, 但平坦化绝缘膜 17 也不一定需要, 也可以在层间绝缘膜 11 上直接形成像素电极 21。

在以上说明的第一例~第三例中都说明了把本发明适用在底栅极型薄

膜晶体管制作上的实施方式。但本发明也能适用图 13 所示的对偶栅极薄膜晶体管 TFT' 的制造。这时与第一例同样地进行到图 7 (4) 说明的工序后, 适用本发明的〈成膜方法-1〉而在成膜的微晶硅薄膜 7 上经由氧化硅膜 9 (栅极绝缘膜) 进行形成第二栅极电极 3' 的工序。该栅极电极 3' 与栅极电极 3 之间夹着配置微晶硅薄膜 7。也可以向上下栅极电极 3、3' 施加同一电位或不同的电位, 还能有意地控制临界电压。

也能适用图 14 所示的顶栅极型薄膜晶体管 TFT'' 的制造。这时在基板 1 上把缓冲层即氮化硅膜 31 和氧化硅膜 33 按该顺序成膜, 在其上部适用本发明的〈成膜方法-1〉而把成膜的微晶硅薄膜 7 进行成膜。把该微晶硅薄膜 7 布图成岛状后以把它覆盖的状态把由氧化硅膜 9 构成的栅极绝缘膜进行成膜, 在该上部进行形成栅极电极 3' 的工序。把该栅极电极 3' 和根据需要形成的抗蚀剂图形作为掩膜进行离子注入, 向微晶硅薄膜 7 导入杂质, 形成 LDD 扩散层和源极/漏极。

在以上说明的第一例~第三例中都说明了把本发明适用在使用薄膜晶体管的显示装置制作的薄膜半导体装置的制造方法, 但本发明不仅适用具备薄膜晶体管的显示装置, 太阳电池、光传感器等只要是使用光电转换元件等晶体性硅薄膜的薄膜半导体装置的制造方法, 也同样能适用, 能得到同样的效果。

微晶硅薄膜 7 的成膜能适用〈成膜方法-2〉~〈成膜方法-4〉的任一个。

#### [实施方式]

说明适用〈成膜方法-1〉(参照图 2) 进行成膜的微晶硅薄膜的膜质、成膜速度等评价结果。

下面的表 1 表示各工序使用的成膜气体和流量。作为基板 W 是应用在玻璃基板上利用等离子 CVD 法, 以膜厚 100nm 对氧化硅薄膜进行成膜。

[表 1]

#### 〈成膜方法-1〉

	晶核生成工序 S1	成膜工序 S2	
	成膜气体流量 Si <sub>2</sub> H <sub>6</sub> / GeF <sub>4</sub> / H <sub>2</sub>	成膜气体流量 Si <sub>2</sub> H <sub>6</sub> / H <sub>2</sub>	流量比 R
试样 1	30 / 3 / 700[sccm]	10 / 250[sccm]	26
试样 2		10 / 500[sccm]	51

试样 3		10 / 750[sccm]	76
试样 4		10 / 1000[sccm]	101

流量比 R: 总流量 / Si<sub>2</sub>H<sub>6</sub> 流量

首先在晶核生成工序 S1 中, 以各自的流量使用表 1 中的成膜气体, 按处理室内的压力 = 270Pa、基板温度 = 450℃ 的条件进行反应性热 CVD 300 秒, 以进行晶核的生成。

接着在成膜工序 S2 中, 在维持处理室内的压力 = 270Pa、基板温度 = 450℃ 的状态下以各自的流量使用表 1 中的成膜气体, 通过使产生等离子来把微晶硅薄膜成膜。平行平板型等离子 CVD 装置的电极之间的距离是 25mm, 电极面积是 2500 cm<sup>2</sup>, 高频电力是 1.2kW, 成膜时间是 5 分钟。

对于以上那样成膜的试样 1~4 的各微晶硅薄膜, 使用波长 514nm 的参照光进行喇曼光谱的测定, 从其结果得到各微晶硅薄膜的晶体化率 C。在此所说的晶体化率 C 是相对从薄膜的喇曼光谱得到的晶体成分 (结晶体积分率 I<sub>c</sub> 与微结晶体积分率 I<sub>u</sub> 的和) 的由整个体积的比率给出的值, 即晶体化率  $C = (I_c + I_u) / (I_c + I_u + I_a)$ 。I<sub>a</sub> 是非晶体积分率。

图 15 表示以上那样得到的各微晶硅膜中晶体化率 C 与超级硅烷气体的流量和成膜气体的总流量的流量比 R 的关系。

如从图 15 了解的那样, 流量比 R 在 50 以上则晶体化率 C 的上升有饱和的倾向。相反, 当流量比 R 不到 50, 则晶体化率急剧降低而得不到良好的晶体性膜。因此, 在成膜工序 S2 中, 通过把流量比 R 设定在 50 以上而被确认能得到晶体性稳定良好微晶硅膜。了解到流量比 R 若在 60 以上, 则更加能得到晶体性良好微晶硅膜。

图 16 表示由试样 4 (流量比 R = 101) 成膜的微晶硅薄膜的喇曼光谱。如该喇曼光谱所代表的那样, 试样 1~4 的微晶硅中的在流量比 R 是 50 以上的试样 2~4 的微晶硅薄膜中被观察到: 表示包含晶体结构的 Si 的 Si-Si 结的 TO 声子模型即 518~520 cm<sup>-1</sup> 附近有尖锐的峰值。峰值的半值宽度是 9.7~10.8 cm<sup>-1</sup>。

把试样 1~4 微晶硅薄膜的表面用扫描电子显微镜观察的结果是, 确认: 把流量比 R 设定在 50 以上进行成膜的试样 2~4 中有晶体粒径 20~100nm 的微晶硅生长。在剖面 TEM 观察中了解到, 在试样 1~4 有具有柱状晶体结构

(也叫做柱状)的晶体粒从基板表面生长。

根据以上的观察则确认,利用〈成膜方法-1〉能把由晶体粒径数 nm 的纳米晶体硅和晶体粒径 10~100nm 的微晶硅构成微晶硅薄膜进行成膜。根据剖面 TEM 的观察结果则确认,在膜厚度方向的整个区域能得到晶体性良好的微晶硅薄膜。

从试样 4 的微晶硅薄膜的膜厚度和成膜时间(5 分钟)计算出的成膜速度是 88nm/min。这与专利文献 1 所示的反应性热 CVD 法(基板温度 450℃)所达到的成膜速度 8~9 nm/min 相比,是约 10 倍的速度,被确认为,把超级硅烷气体用于成膜气体的等离子 CVD 法进行成膜的成膜速度的高速化。

把试样 4 微晶硅薄膜中的杂质浓度通过二次离子质量分析法(SIMS)进行了分析。图 17 表示 SIMS 分析的杂质浓度分布图。在 SIMS 分析中,没有测定成为微晶硅薄膜基底的基板中的杂质浓度,基板中的浓度分布图不反映实态。

如从图 17 了解的那样,还判明在适用〈成膜方法-1〉得到的试样 4 的微晶硅膜中,其膜中氧(O)的浓度是  $3 \times 10^{18} \text{cm}^{-3}$ ,与现有等离子 CVD 的成膜方法比较,氧浓度降低到 1/50~1/100。碳(C)和氮(N)的浓度也被抑制到  $2\sim 3 \times 10^{18} \text{cm}^{-3}$  的低水平。

除了以上的效果之外,从图 16 所示的喇曼光谱了解到,由本发明成膜方法得到的微晶硅薄膜是膜内部应力少的薄膜。一般地包含晶态的微晶硅薄膜的喇曼光谱以膜内部应力为起因而峰值出现在比本来单晶硅喇曼光谱的峰值  $520 \text{cm}^{-1}$  低的波长侧即  $510 \text{cm}^{-1}$  附近。但在此得到的微晶硅薄膜喇曼光谱的峰值非常靠近单晶硅喇曼光谱的峰值  $520 \text{cm}^{-1}$ ,根据这点则明白是内部应力少的膜。

因此,根据〈成膜方法-1〉,能得到由膜应力引起的载流子移动度偏差小的微晶硅薄膜,其结果是使用该微晶硅薄膜的薄膜半导体装置也能得到可把由载流子移动度为起因的特性被均匀的效果。

以上说明的试样 1~4 的微晶硅薄膜的成膜方法把基板温度设定成 400℃,但通过把处理室内(成膜环境内)的压力、RF 电力、原料气体与稀释气体的流量比等最佳化,即使在基板温度 100~300℃左右更低的温度也能使微晶硅薄膜成膜。由于能以这样低的基板温度进行成膜,所以仅通过追加

气体类就能使用现有的等离子 CVD 装置。

说明适用〈成膜方法-4〉(参照图 5)进行成膜的微晶硅薄膜的膜质、成膜速度等评价结果。

下面的表 2 表示在成膜工序 S2' 使用的成膜气体和流量。作为基板 W 是使用了在玻璃基板上利用等离子 CVD 法,以 100nm 的膜厚把氧化硅薄膜进行成膜。

[表 2]

〈成膜方法-4〉

	成膜工序 S2'	成膜时间
	成膜气体流量 Si <sub>2</sub> H <sub>6</sub> / Ar / H <sub>2</sub>	
试样 5	10 / 500 / 1000[sccm]	5 分钟
试样 6	10 / 1000 / 1000[sccm]	
比较例	10 / 1000 / 0[sccm]	10 分钟

这时,以各自的流量使用上述表 2 的成膜气体,按处理室内的压力 = 270Pa、基板温度 = 450℃使产生等离子而在基板上把微晶硅薄膜成膜。平行平板型等离子 CVD 装置的电极之间的距离是 25mm,电极面积是 2500 cm<sup>2</sup>,高频电力是 1.2kW,成膜时间是 5 分钟。没有使用氢气的比较例的成膜时间是 10 分钟。

把以上那样成膜的试样 5、6 和比较例的微晶硅薄膜中的杂质浓度通过二次离子质量分析法 (SIMS) 进行了分析。图 18 表示 SIMS 分析的氧浓度分布图。在 SIMS 分析中,没有测定成为微晶硅薄膜基底的基板中的杂质浓度,基板中的浓度分布图不反映实态。

如从图 18 了解的那样,确认适用〈成膜方法-4〉而被成膜的试样 5、6 的微晶硅膜能把膜中氧的浓度抑制得比比较例的微晶硅膜低。

特别是氢气的流量比非活性气体的流量大的试样 5,从基板上到膜厚度约 50nm 的氧浓度被抑制到  $4 \times 10^{18} \text{cm}^{-3}$  的低值。这时的成膜速度按 5 分钟成膜时间平均则是 1.1 nm / min。

另一方面,氢气的流量与非活性气体的流量是同量的试样 6,氧浓度从基板正上急剧上升,即使在氧浓度最低的区域也是  $1.7 \times 10^{19} \text{cm}^{-3}$ ,作为整个膜是  $4.5 \times 10^{20} \text{cm}^{-3}$ 。因此,适用〈成膜方法-4〉时为了实现氧浓度低的区域,则需要非活性气体的流量比氢气的流量少,优选非活性气体的流量是氢气

流量的 1/2 左右。这时也是超级硅烷气体的流量与总气体流量的流量比 R 优选是 50 以上，这与〈成膜方法-1〉相同。

如从比较例的氧浓度分布图了解的那样，在稀释气体中不含氢的情况下，从基板正上成为  $1 \times 10^{20} \text{cm}^{-3}$  以上的氧浓度，没有低氧浓度区域。

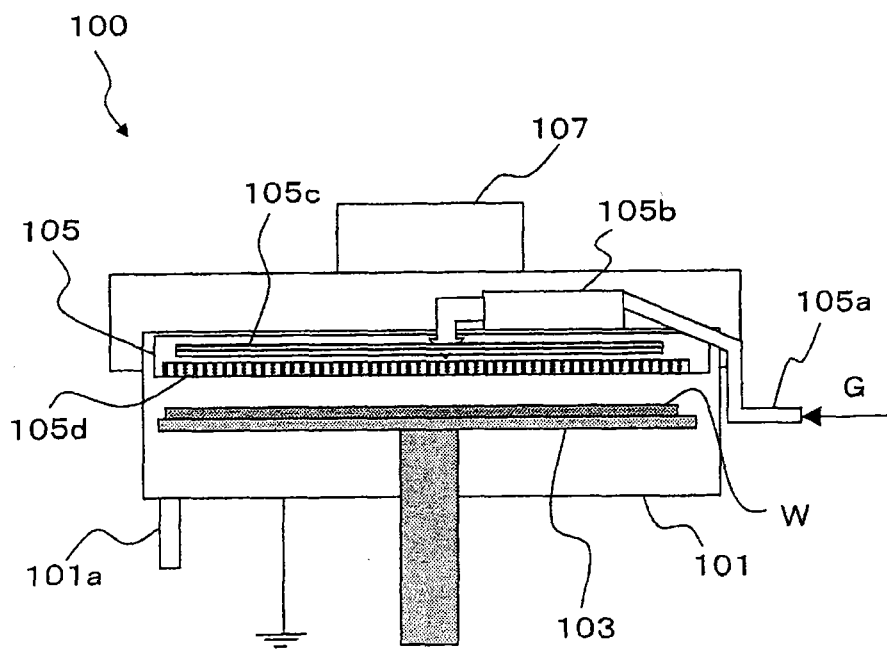
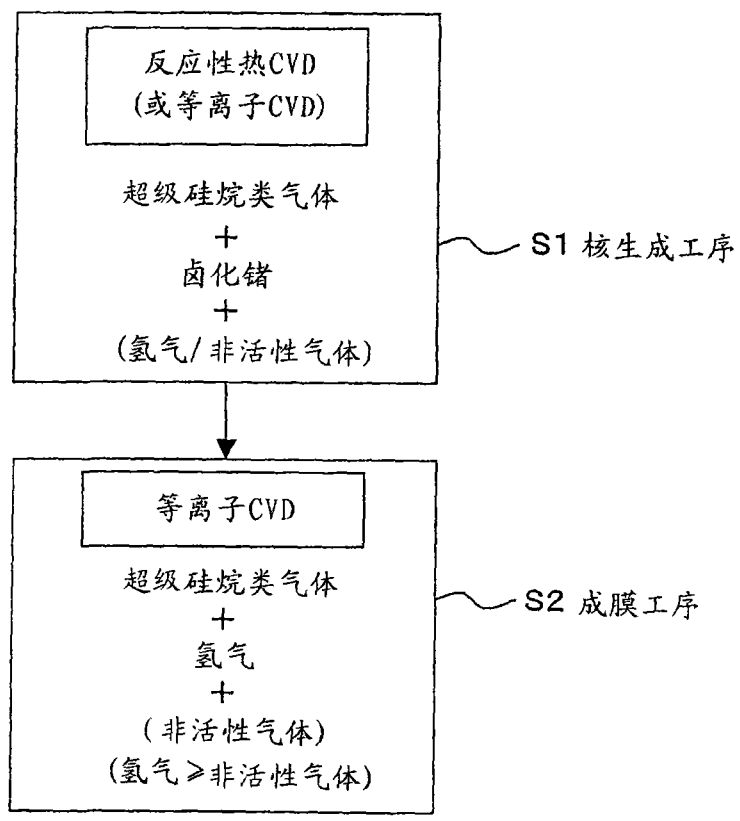
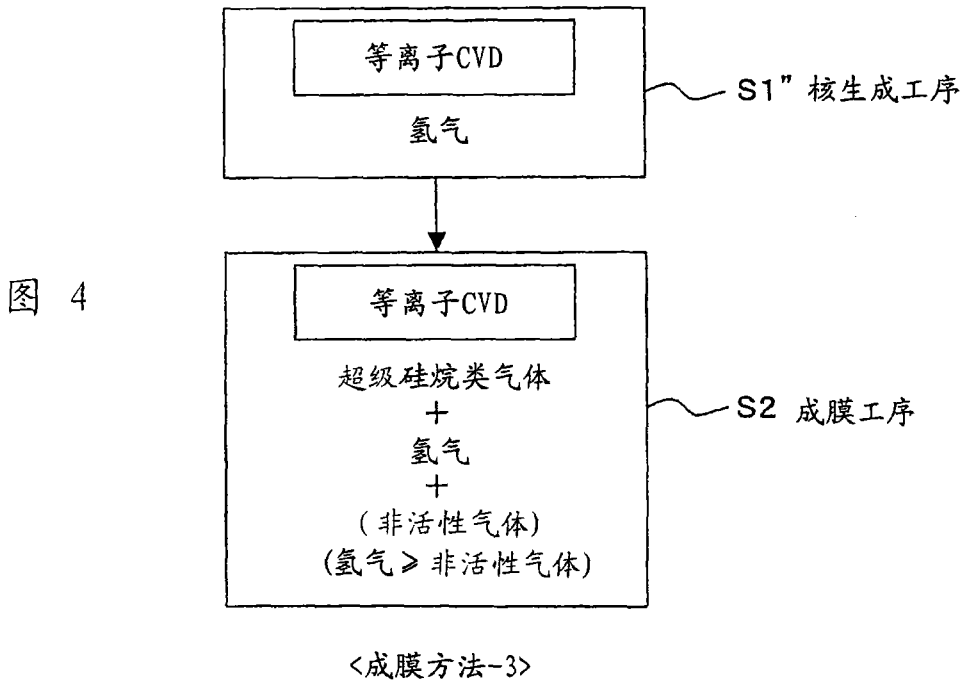
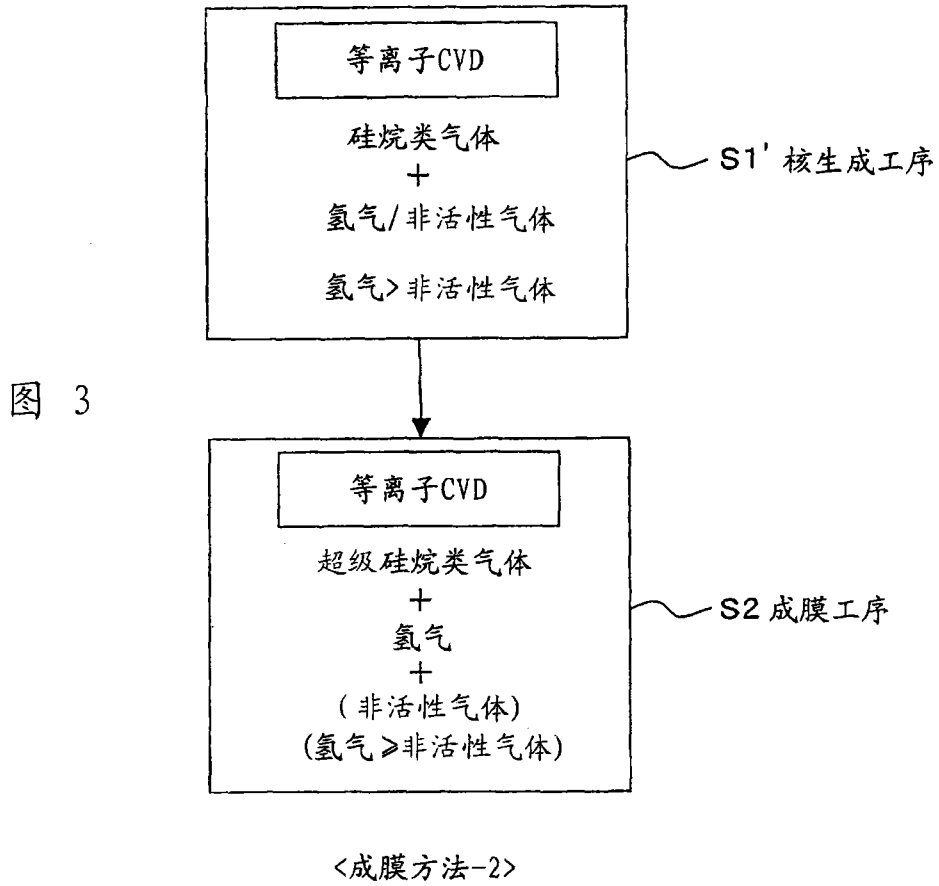


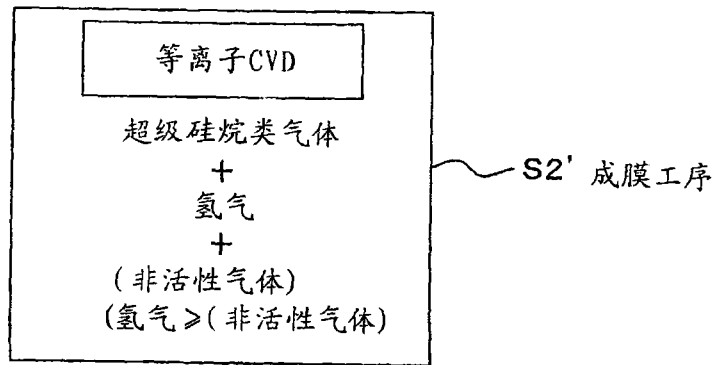
图 1



<成膜方法-1>

图 2





<成膜方法-4>

图 5

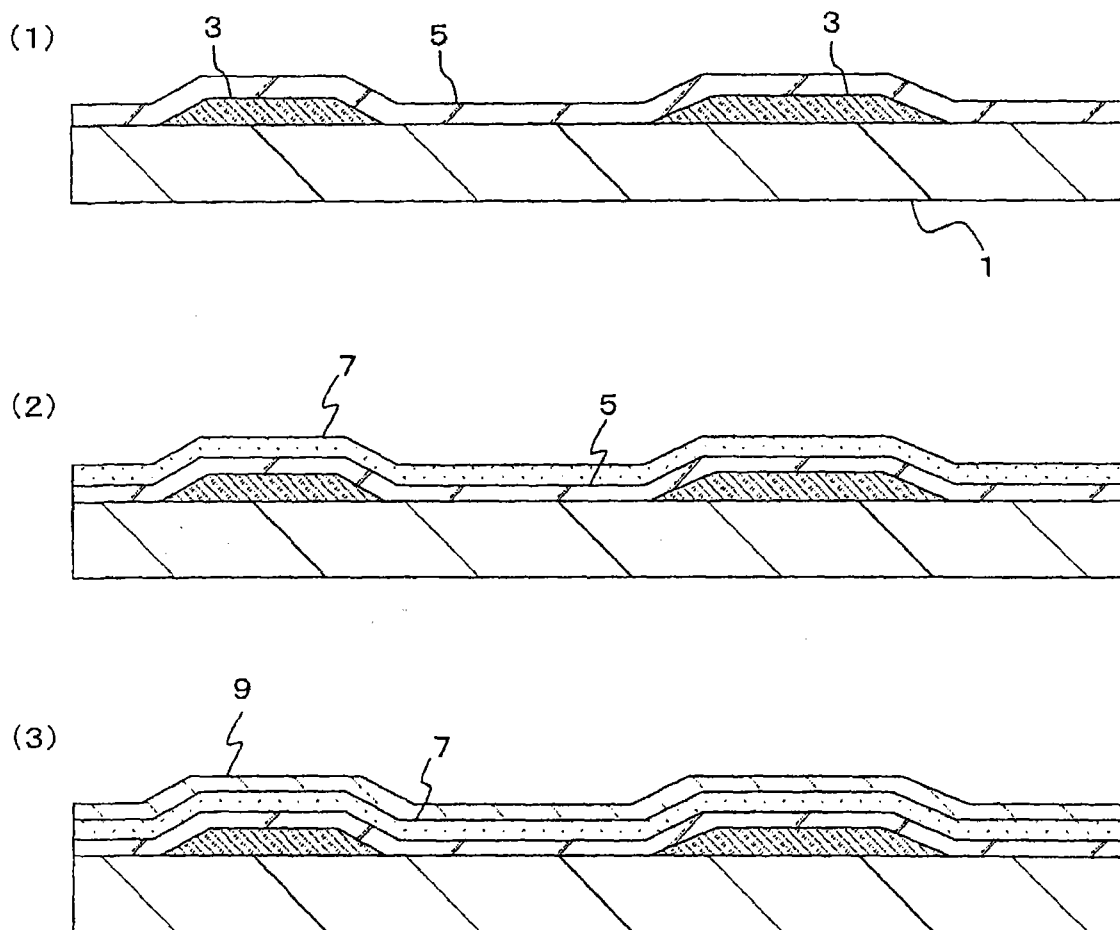


图 6

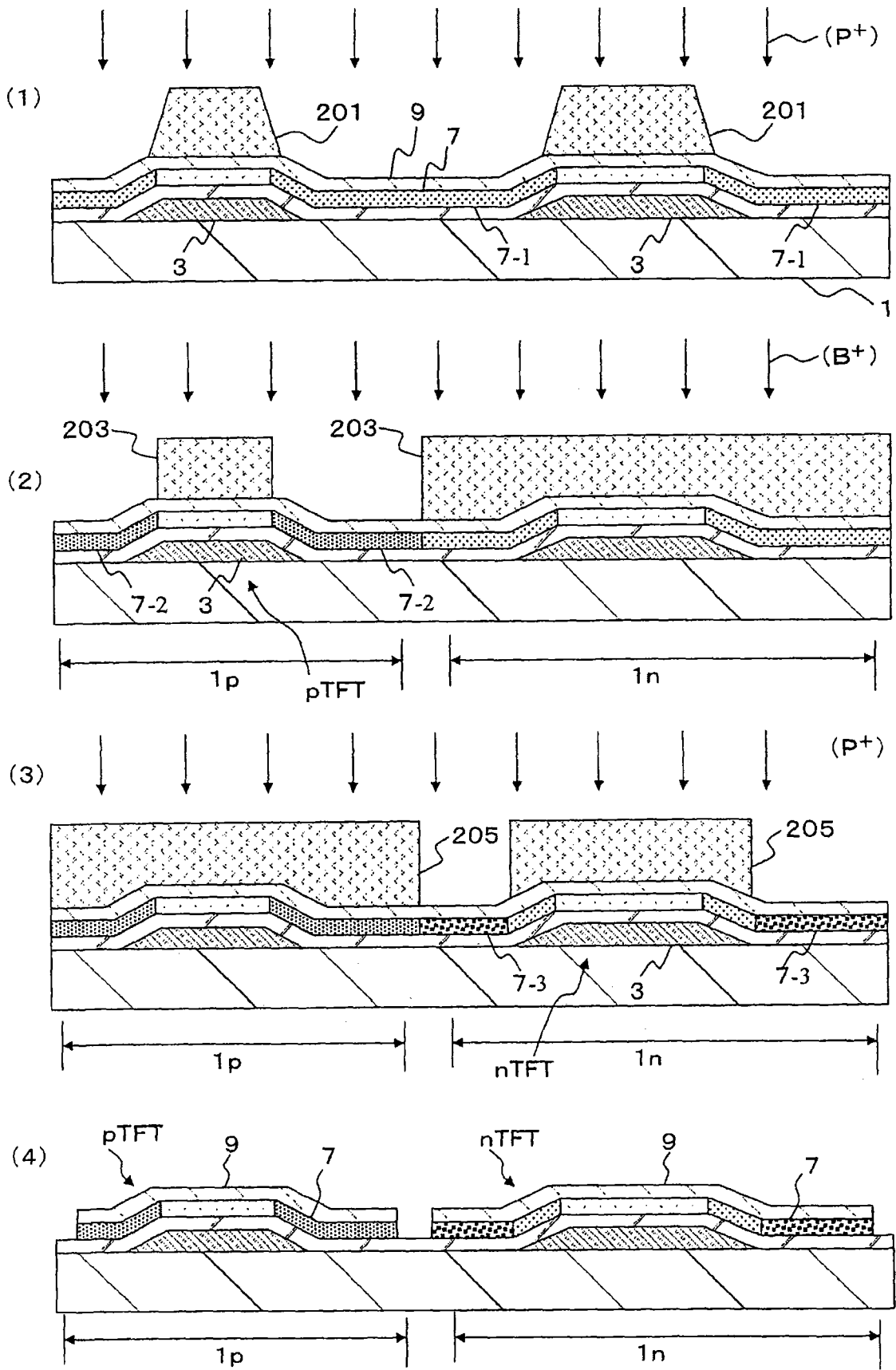


图 7

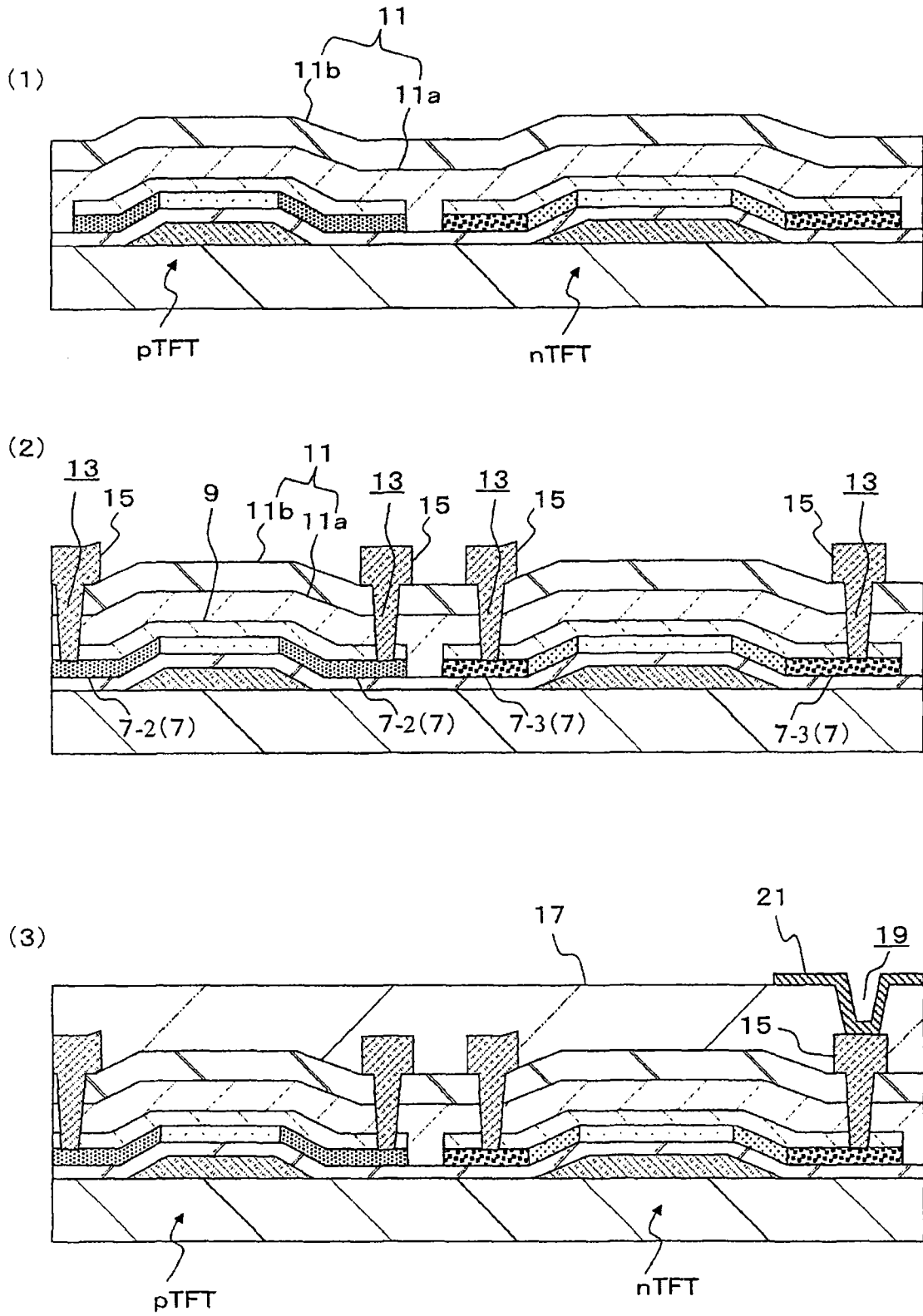


图 8

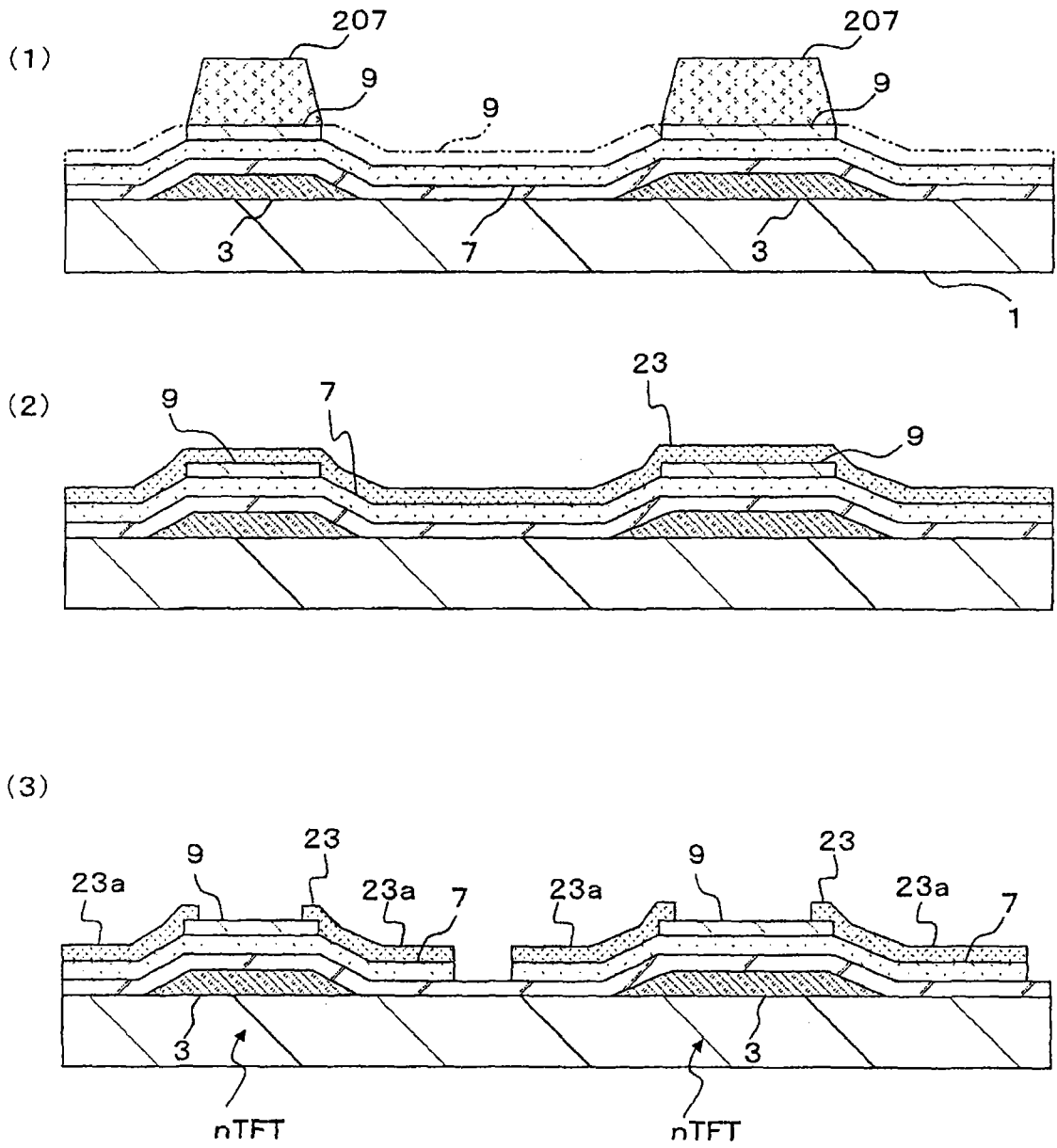


图 9

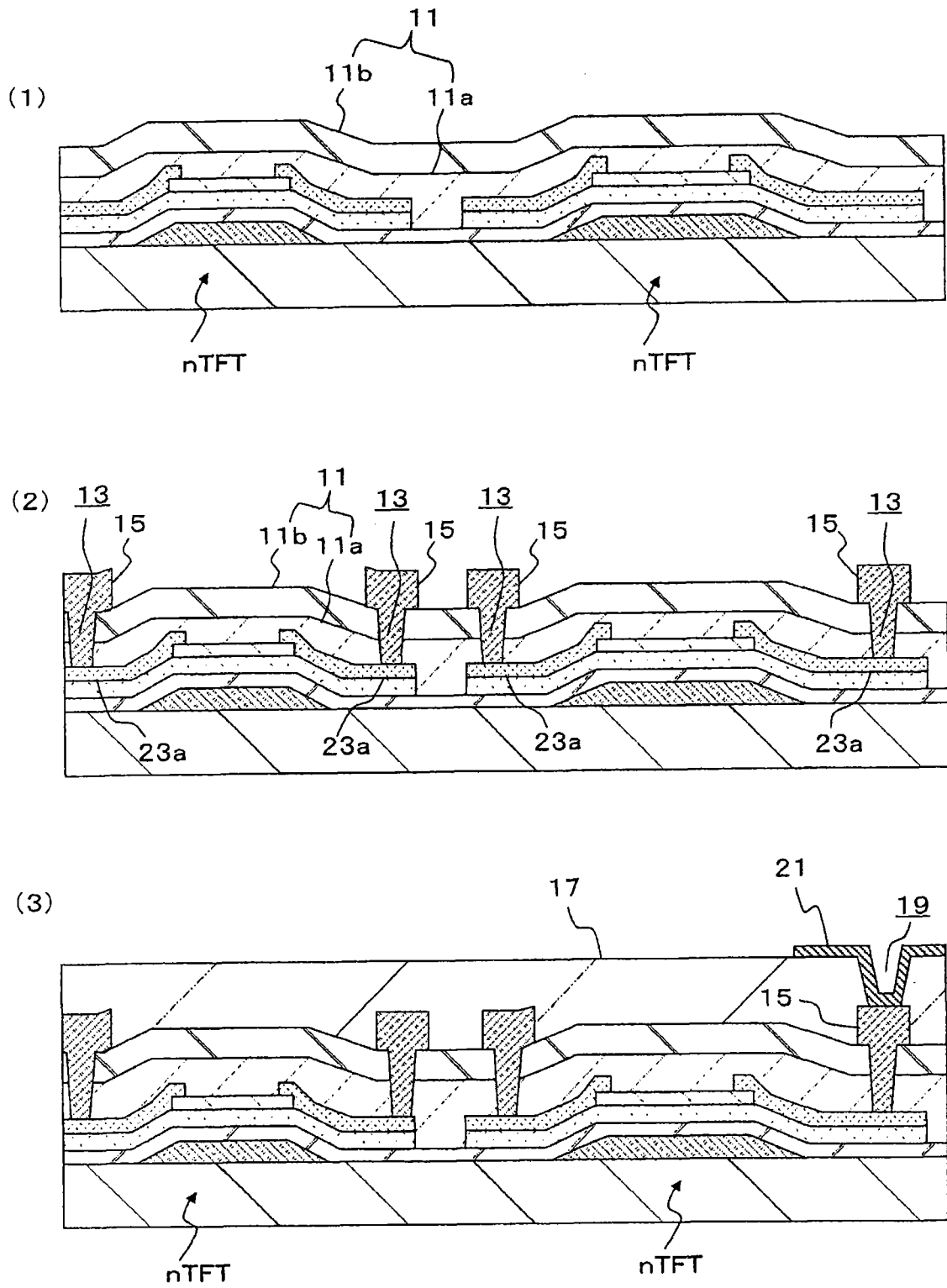


图 10

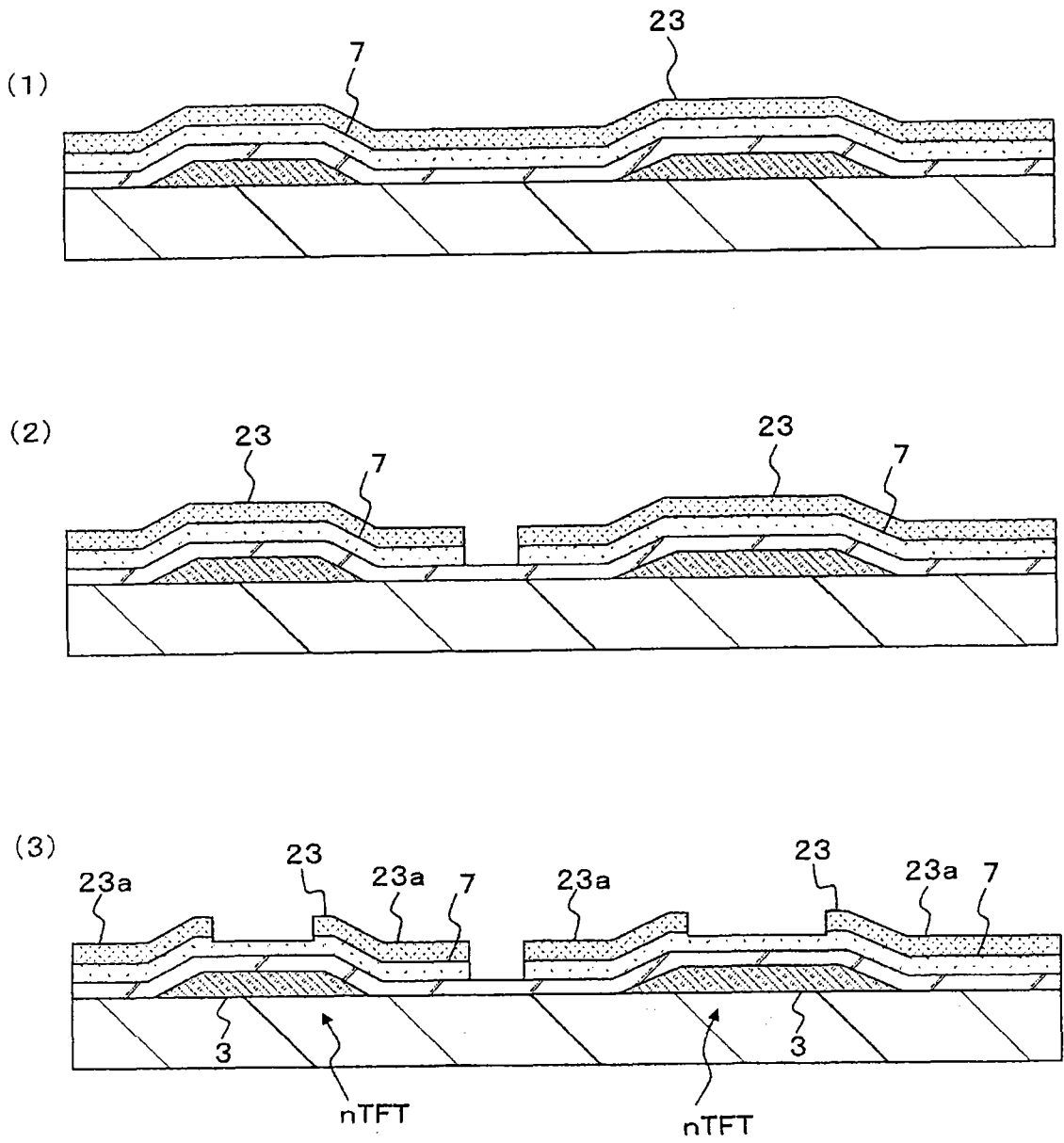


图 11

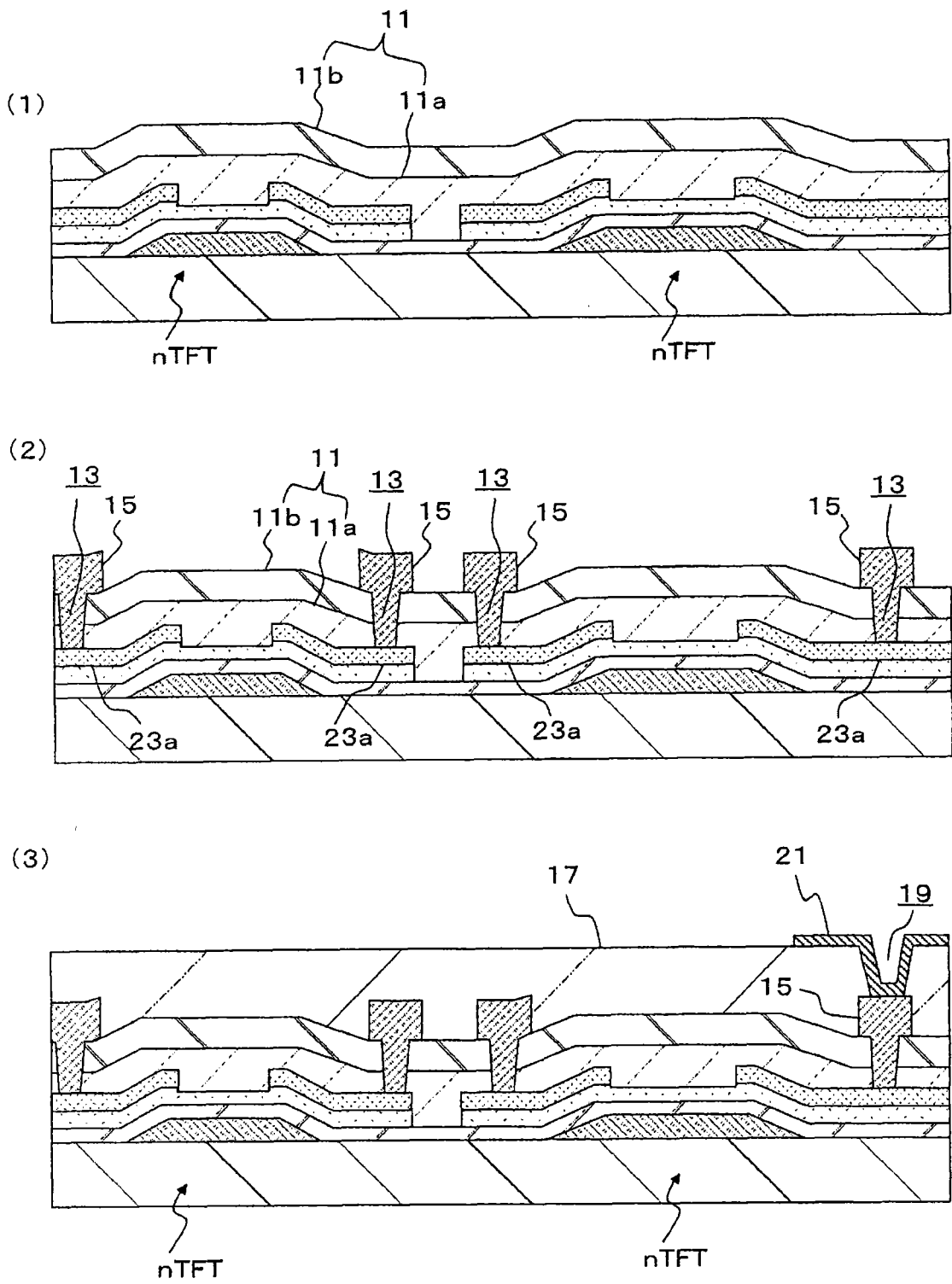


图 12

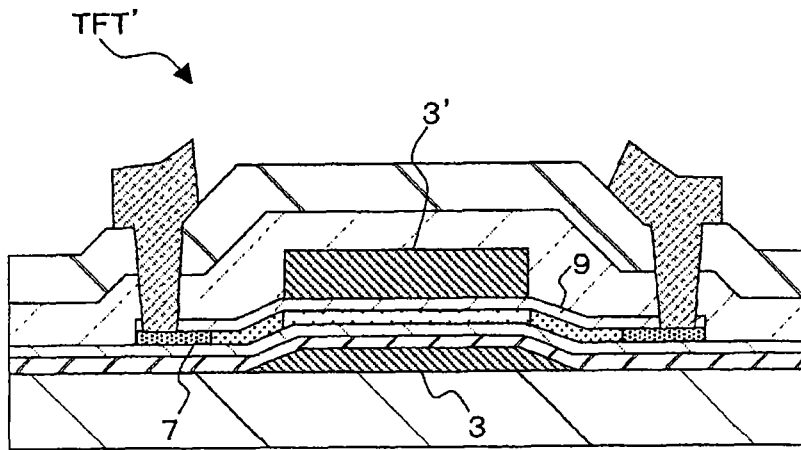


图 13

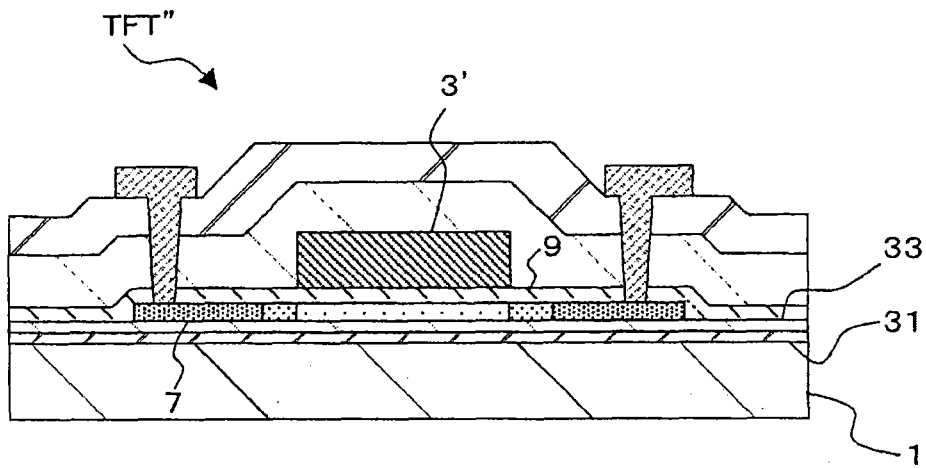
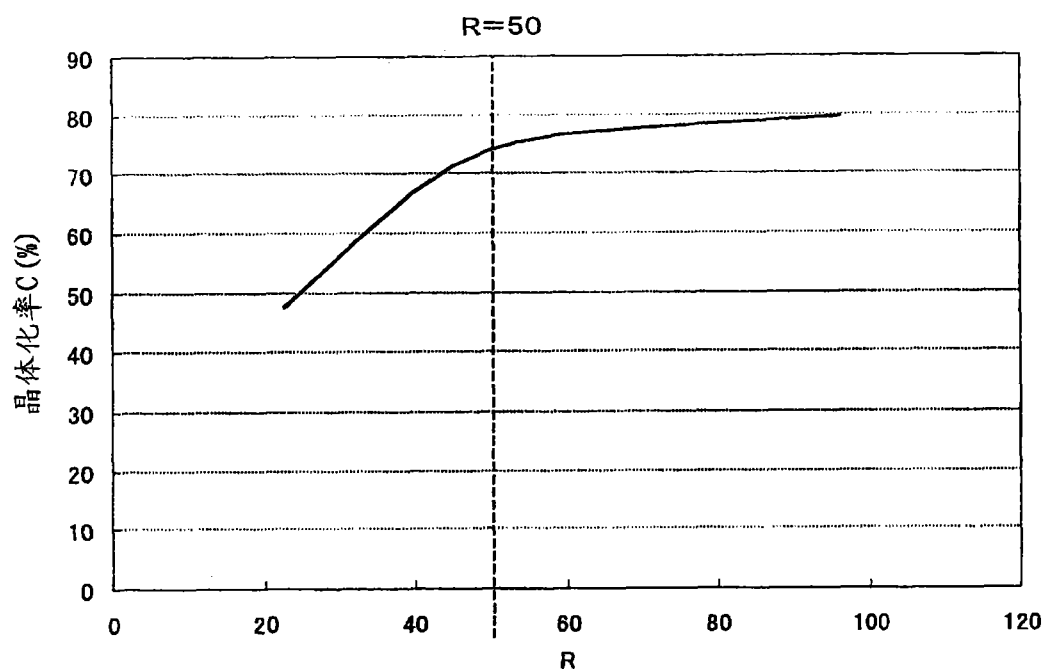


图 14



$$\text{流量} R = [\text{SinH}2n+2 + \text{H}2] / [\text{SinH}2n+2]$$

图 15

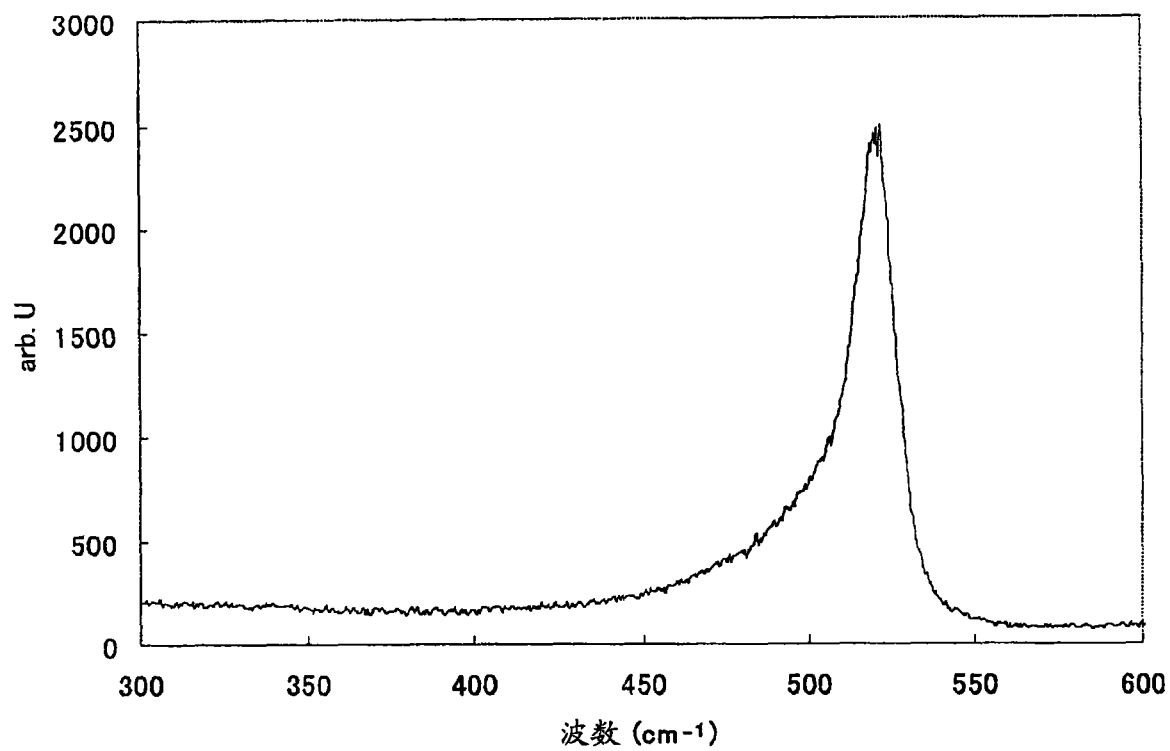


图 16

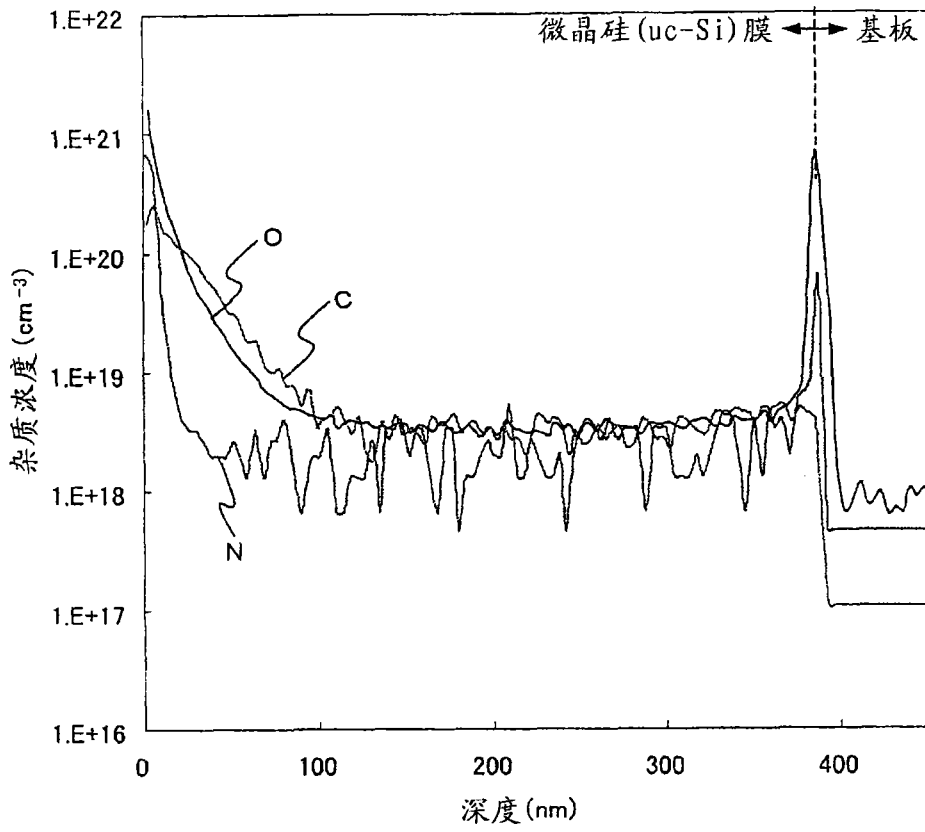


图 17

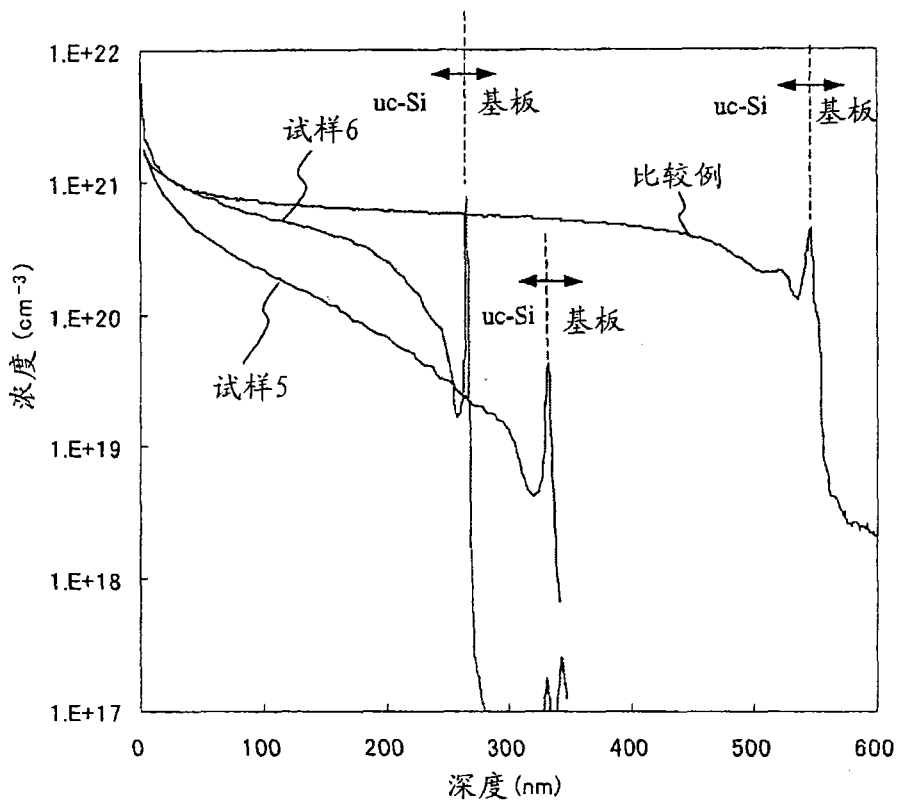


图 18