



(52) CPC특허분류

*H01L 21/02192* (2013.01)  
*H01L 21/02587* (2013.01)  
*H01L 27/11565* (2013.01)  
*H01L 27/11582* (2013.01)  
*H01L 29/41741* (2013.01)  
*H01L 29/42324* (2013.01)  
*H01L 29/4234* (2013.01)  
*H01L 29/512* (2013.01)  
*H01L 29/518* (2013.01)

(56) 선행기술조사문헌

KR1020110026313 A  
US20150294978 A1  
US20160111437 A1  
KR1020130039123 A  
US20160322381 A1  
US20160322379 A1  
KR1020130124289 A

(72) 발명자

**리우 진**

미국 캘리포니아주 95119 산 호세 그레이트 옥스  
파크웨이 5601 웨스턴 디지털 테크놀로지스 인크  
내

**알스마이어 요한**

미국 캘리포니아주 95119 산 호세 그레이트 옥스  
파크웨이 5601 웨스턴 디지털 테크놀로지스 인크  
내

---

**명세서**

**청구범위**

**청구항 1**

3차원 메모리 디바이스로서,

기관 위에 위치한 절연 층들 및 전기 전도성 층들의 교번하는 스택;

상기 교번하는 스택을 통해 연장되는 메모리 스택 구조물들 - 상기 메모리 스택 구조물들 각각은 메모리 필름 및 상기 메모리 필름의 내부 측벽과 접촉하는 메모리 레벨 채널 부분을 포함함 -;

각각의 메모리 레벨 채널 부분 위에 놓이는 드레인 선택 레벨 채널 부분들 - 각각의 드레인 선택 레벨 채널 부분의 기하학적 중심은 상기 각각의 메모리 레벨 채널 부분의 기하학적 중심에 대해 측방향으로 오프셋됨 -;

상기 드레인 선택 레벨 채널 부분들의 각각의 서브세트를 측방향으로 둘러싸고 그와 접촉하는 드레인 선택 레벨 게이트 유전체들; 및

각각의 드레인 선택 레벨 게이트 유전체들을 측방향으로 둘러싸는 드레인 선택 레벨 게이트 전극들을 포함하고,

상기 메모리 스택 구조물들은, 제1 수평 방향을 따라 연장되고 제2 수평 방향을 따라 균일한 행간(inter-row) 피치를 갖는 각각의 행들을 포함하는 2차원 주기적 어레이로서 배열되고;

상기 드레인 선택 레벨 채널 부분들은, 상기 제1 수평 방향을 따라 연장되고 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치의 2배의 주기성을 갖는 주기적으로 변조된 행간 중심-대-중심 간격을 갖는 각각의 행들로 배열되고;

상기 드레인 선택 레벨 채널 부분들은 상기 제1 수평 방향을 따라 연장되는 행들의 쌍들로서 배열되고;

행들의 각각의 쌍 내의 2개의 행들은 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 작은 제1 행간 중심-대-중심 간격을 갖고;

행들의 2개의 상이한 이웃 쌍들에 속하는 인접한 행들은, 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 크고 상기 제1 행간 중심-대-중심 간격보다 큰 제2 행간 중심-대-중심 간격을 갖고;

상기 드레인 선택 레벨 게이트 전극은 드레인 선택 레벨 채널 부분들의 행들의 각각의 쌍을 측방향으로 둘러싸는 측벽들의 연속적인 세트를 갖고;

상기 드레인 선택 레벨 게이트 전극들은 행들의 각각의 쌍에서 물리적으로 인접하지만, 행들의 각각의 쌍 사이에서 서로 물리적으로 분리되며;

상기 드레인 선택 레벨 채널 부분들의 상기 행들의 쌍 내의 각각의 드레인 선택 레벨 채널 부분은 상기 드레인 선택 레벨 게이트 전극들 중 각각의 하나에 의해 측방향으로 둘러싸이고;

상기 드레인 선택 레벨 게이트 전극의 측벽들의 연속적인 세트는 상기 행들의 쌍 내의 상기 각각의 드레인 선택 레벨 채널 부분을 부분적으로 측방향으로 둘러싸는 불록한 외부 측벽들, 및 세장형 템플릿 구조물을 둘러싸는 평면형의 비-불록한 외부 측벽들을 포함하고;

상기 전기 전도성 층들은 평면형의 비-불록한 외부 측벽들을 갖는, 3차원 메모리 디바이스.

**청구항 2**

3차원 메모리 디바이스를 형성하는 방법으로서,

기관 위에 절연 층들 및 스페이서 재료 층들의 교번하는 스택을 형성하는 단계 - 상기 스페이서 재료 층들은 전기 전도성 층들로서 형성되거나 그로 대체됨 -;

상기 교번하는 스택을 통해 메모리 스택 구조물들을 형성하는 단계 - 상기 메모리 스택 구조물들 각각은 메모리 필름 및 상기 메모리 필름의 내부 측벽과 접촉하는 메모리 레벨 채널 부분을 포함함 -;

상기 메모리 스택 구조물들을 형성하는 단계 이후에 상기 메모리 레벨 채널 부분들 위에 드레인 선택 레벨 채널 부분들을 형성하는 단계;

상기 드레인 선택 레벨 채널 부분들 상에 그리고 그 주위에 드레인 선택 레벨 게이트 유전체들을 형성하는 단계; 및

상기 드레인 선택 레벨 게이트 유전체들 주위에 드레인 선택 레벨 게이트 전극들을 형성하는 단계를 포함하고, 각각의 드레인 선택 레벨 채널 부분의 기하학적 중심은 각각의 아래에 놓인 메모리 레벨 채널 부분의 기하학적 중심에 대해 측방향으로 오프셋되고;

상기 메모리 스택 구조물들은, 제1 수평 방향을 따라 연장되고 제2 수평 방향을 따라 균일한 행간 피치를 갖는 각각의 행들을 포함하는 2차원 주기적 어레이로서 형성되고;

상기 드레인 선택 레벨 채널 부분들은, 상기 제1 수평 방향을 따라 연장되고 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치의 2배의 주기성을 갖는 주기적으로 변조된 행간 중심-대-중심 간격을 갖는 각각의 행들로 배열되고;

상기 드레인 선택 레벨 채널 부분들은 상기 제1 수평 방향을 따라 연장되는 행들의 쌍들로서 배열되고;

행들의 각각의 쌍 내의 2개의 행들은 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 작은 제1 행간 중심-대-중심 간격을 갖고;

행들의 2개의 상이한 이웃 쌍들에 속하는 인접한 행들은, 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 크고 상기 제1 행간 중심-대-중심 간격보다 큰 제2 행간 중심-대-중심 간격을 갖고;

상기 방법은,

드레인 선택 레벨 게이트 유전체 층 및 드레인 선택 레벨 게이트 전극 층의 스택을 상기 드레인 선택 채널 부분들 위에 형성하는 단계; 및

상기 드레인 선택 레벨 게이트 유전체 층 및 상기 드레인 선택 레벨 게이트 전극 층의 스택의 수평 부분들을 제거하는 단계 - 상기 드레인 선택 레벨 게이트 유전체 층의 나머지 부분들은 상기 드레인 선택 레벨 게이트 유전체들을 구성하고, 상기 드레인 선택 레벨 게이트 전극 층의 나머지 부분들은 상기 드레인 선택 레벨 게이트 전극들을 구성함 - 를 추가로 포함하고,

상기 드레인 선택 레벨 게이트 전극은 드레인 선택 레벨 채널 부분들의 행들의 각각의 쌍을 측방향으로 둘러싸는 측벽들의 연속적인 세트를 갖고;

상기 드레인 선택 레벨 게이트 전극들은 행들의 각각의 쌍에서 물리적으로 인접하지만, 행들의 각각의 쌍 사이에서 서로 물리적으로 분리되고;

상기 드레인 선택 레벨 게이트 전극의 측벽들의 연속적인 세트는 상기 행들의 쌍 내의 상기 각각의 드레인 선택 레벨 채널 부분을 부분적으로 측방향으로 둘러싸는 불록한 외부 측벽들, 및 세장형 템플릿 구조물을 둘러싸는 평면형의 비-불록한 외부 측벽들을 포함하고;

상기 전기 전도성 층들은 평면형의 비-불록한 외부 측벽들을 갖고;

상기 드레인 선택 레벨 게이트 유전체들은 행들의 각각의 쌍 사이에서 서로 물리적으로 분리되고;

각각의 드레인 선택 레벨 게이트 유전체는 제1 수평 방향을 따라 측방향으로 연장되는 상기 행들의 쌍으로서 배열되는 상기 드레인 선택 레벨 채널 부분들의 각각의 서브세트를 측방향으로 둘러싸고 그와 접촉하는, 3차원 메모리 디바이스 형성 방법.

### 청구항 3

3차원 메모리 디바이스로서,

기관 위에 위치한 절연 층들 및 전기 전도성 층들의 교번하는 스택;

상기 교번하는 스택을 통해 연장되는 메모리 스택 구조물들 - 상기 메모리 스택 구조물들 각각은 메모리 필름 및 상기 메모리 필름의 내부 측벽과 접촉하는 메모리 레벨 채널 부분을 포함함 -;

각각의 메모리 레벨 채널 부분 위에 놓이는 드레인 선택 레벨 채널 부분들;

상기 드레인 선택 레벨 채널 부분들의 각각의 서브세트를 측방향으로 둘러싸고 그와 접촉하는 드레인 선택 레벨 게이트 유전체들; 및

각각의 드레인 선택 레벨 게이트 유전체들을 측방향으로 둘러싸는 드레인 선택 레벨 게이트 전극들 - 상기 드레인 선택 레벨 게이트 전극들은 불록한 외부 측벽들을 포함함 - 을 포함하고,

상기 메모리 스택 구조물들은, 제1 수평 방향을 따라 연장되고 제2 수평 방향을 따라 균일한 행간 피치를 갖는 각각의 행들을 포함하는 2차원 주기적 어레이로서 배열되고;

상기 드레인 선택 레벨 채널 부분들은, 상기 제1 수평 방향을 따라 연장되고 주기적으로 변조된 행간 중심-대-중심 간격을 갖는 각각의 행들로 배열되고;

상기 드레인 선택 레벨 채널 부분들은 상기 제1 수평 방향을 따라 연장되는 행들의 쌍들로서 배열되고;

행들의 각각의 쌍 내의 2개의 행들은 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 작은 제1 행간 중심-대-중심 간격을 갖고;

행들의 2개의 상이한 이웃 쌍들에 속하는 인접한 행들은, 상기 메모리 스택 구조물들의 상기 2차원 주기적 어레이의 상기 행간 피치보다 크고 상기 제1 행간 중심-대-중심 간격보다 큰 제2 행간 중심-대-중심 간격을 갖고;

상기 드레인 선택 레벨 게이트 전극은 드레인 선택 레벨 채널 부분들의 행들의 각각의 쌍을 측방향으로 둘러싸는 상기 측벽들의 연속적인 세트를 포함하고;

상기 드레인 선택 레벨 게이트 전극들은 행들의 각각의 쌍에서 물리적으로 인접하지만, 행들의 각각의 쌍 사이에서 서로 물리적으로 분리되며;

상기 드레인 선택 레벨 채널 부분들의 상기 행들의 쌍 내의 각각의 드레인 선택 레벨 채널 부분은 상기 드레인 선택 레벨 게이트 전극들 중 각각의 하나에 의해 측방향으로 둘러싸이고;

상기 드레인 선택 레벨 게이트 전극의 측벽들의 연속적인 세트는 상기 행들의 쌍 내의 상기 각각의 드레인 선택 레벨 채널 부분을 부분적으로 측방향으로 둘러싸는 상기 불록한 외부 측벽들, 및 세장형 템플릿 구조물을 둘러싸는 평면형의 비-불록한 외부 측벽들을 포함하고;

상기 전기 전도성 층들은 평면형의 비-불록한 외부 측벽들을 갖는, 3차원 메모리 디바이스.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**발명의 설명**

**기술 분야**

[0001] 관련 출원

[0002] 본 출원은 2016년 11월 17일자로 출원된 미국 정규 출원 제15/354,067호의 우선권의 이익을 주장하며, 그 전체 내용이 본 명세서에 참고로 포함된다.

[0003] 기술분야

[0004] 본 개시내용은 일반적으로 반도체 디바이스 분야에 관한 것으로, 특히 자가 정렬된 드레인 선택 레벨 게이트 전극들을 채용하는 3차원 메모리 디바이스 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0005] 셀당 1 비트를 갖는 3차원 수직 NAND 스트링들은 T. Endoh 등의 "Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell" 명칭의 IEDM Proc. 2001 33-36 논문에 개시되어 있다.

**발명의 내용**

[0006] 본 개시내용의 일 양태에 따르면, 3차원 메모리 디바이스가 제공되며, 이는: 기판 위에 위치한 절연 층들 및 전기 전도성 층들의 교번하는 스택; 교번하는 스택을 통해 연장되는 메모리 스택 구조물들 - 메모리 스택 구조물들 각각은 메모리 필름 및 메모리 필름의 내부 측벽과 접촉하는 메모리 레벨 채널 부분을 포함함 -; 각각의 메모리 레벨 채널 부분 위에 놓이는 드레인 선택 레벨 채널 부분들; 드레인 선택 레벨 채널 부분들의 각각의 서브세트를 측방향으로 둘러싸고 그와 접촉하는 드레인 선택 레벨 게이트 유전체들; 및 각각의 드레인 선택 레벨 게이트 유전체들을 측방향으로 둘러싸는 드레인 선택 레벨 게이트 전극들을 포함한다. 일 실시예에서, 각각의 드레인 선택 레벨 채널 부분의 기하학적 중심은 각각의 메모리 레벨 채널 부분의 기하학적 중심에 대해 측방향으로 오프셋된다. 다른 실시예에서, 드레인 선택 레벨 게이트 전극들은 볼록한 외부 측벽들을 포함한다.

[0007] 본 개시내용의 다른 양태에 따르면, 3차원 메모리 디바이스를 형성하는 방법이 제공된다. 절연 층들 및 스페이서 재료 층들의 교번하는 스택이 기판 위에 형성된다. 스페이서 재료 층들은 전기 전도성 층들로서 형성되거나 그로 대체된다. 메모리 스택 구조물들은 교번하는 스택을 통해 형성된다. 메모리 스택 구조물들 각각은 메모리 필름 및 메모리 필름의 내부 측벽과 접촉하는 메모리 레벨 채널 부분을 포함한다. 드레인 선택 레벨 채널 부분들은 메모리 레벨 채널 부분들 위에 형성된다. 각각의 드레인 선택 레벨 채널 부분의 기하학적 중심은 각각의 아래에 놓인 메모리 레벨 채널 부분의 기하학적 중심에 대해 측방향으로 오프셋된다. 드레인 선택 레벨 게이트 유전체들이 드레인 선택 레벨 채널 부분들 상에 그리고 그 주위에 형성된다. 드레인 선택 레벨 게이트 전극들은 드레인 선택 레벨 게이트 유전체들 주위에 형성된다.

**도면의 간단한 설명**

[0008] 도 1은 본 개시내용의 일 실시예에 따른, 적어도 하나의 주변 디바이스, 반도체 재료 층, 및 게이트 유전체 층의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 2는 본 개시내용의 일 실시예에 따른, 절연 층들 및 희생 재료 층들의 교번하는 스택의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 3은 본 개시내용의 일 실시예에 따른, 단차형 테라스들 및 역-단차형(retro-stepped) 유전체 재료 부분의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 4a는 본 개시내용의 일 실시예에 따른, 메모리 개구들 및 지지 개구들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 4b는 도 4a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 4a의 단면의 평면이다. 도 4b에 도시된 영역 R은 도 7b에 도시된 영역에 대응한다.

도 5a 내지 도 5f는 본 개시내용의 일 실시예에 따른, 메모리 스택 구조물의 형성 동안의 메모리 개구의 순차적인 개략적 수직 단면도들이다.

도 6은 본 개시내용의 일 실시예에 따른, 메모리 스택 구조물들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 7a는 본 개시내용의 일 실시예에 따른, 드레인 선택 레벨(드레인 측 선택 게이트 전극 레벨) 반도체 재료 층 및 패터화된 레지스트 부분들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 7b는 도 7a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 7a의 개략적인 수직 단면도의 평면이다.

도 8a는 본 개시내용의 일 실시예에 따른, 드레인 선택 레벨 채널 부분들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 8b는 도 8a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 8a의 개략적인 수직 단면도의 평면이다.

도 9a는 본 개시내용의 일 실시예에 따른, 드레인 선택 레벨 게이트 유전체 층(즉, 드레인 측 선택 게이트 전극의 게이트 유전체) 및 드레인 선택 레벨(즉, 드레인 측) 게이트 전극 층들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 9b는 도 9a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 9a의 개략적인 수직 단면도의 평면이다.

도 10a는 본 개시내용의 일 실시예에 따른, 드레인 선택 레벨 게이트 유전체들 및 드레인 선택 레벨 게이트 전극들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 10b는 도 10a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 10a의 개략적인 수직 단면도의 평면이다.

도 11a는 본 개시내용의 일 실시예에 따른, 드레인 선택 레벨 유전체 층의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 11b는 도 11a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 11a의 개략적인 수직 단면도의 평면이다.

도 12는 본 개시내용의 일 실시예에 따른, 드레인 레벨 유전체 재료 층의 형성 이후의 예시적인 구조물의 수직 단면도이다.

도 13a는 본 개시내용의 일 실시예에 따른, 후면 트렌치들의 형성 이후의 예시적인 구조물의 수직 단면도이다.

도 13b는 도 13a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 13a의 개략적인 수직 단면도의 평면이다.

도 14는 본 개시내용의 일 실시예에 따른, 절연 층들에 대한 희생 재료 층들의 제거에 의한 후면 리세스들의 형성 이후의 예시적인 구조물의 수직 단면도이다.

도 15는 본 개시내용의 일 실시예에 따른, 후면 리세스들 및 후면 트렌치들의 주변 부분들 내의 선택적인 후면 차단 유전체 층 및 적어도 하나의 전도성 재료의 형성 이후의 예시적인 구조물의 수직 단면도이다.

도 16은 본 개시내용의 일 실시예에 따른, 퇴적된 전도성 재료를 후면 트렌치들 내부로부터 제거한 후의 예시적인 구조물의 수직 단면도이다.

도 17은 본 개시내용의 일 실시예에 따른, 각각의 후면 트렌치 내의 절연 스페이서 및 후면 콘택 구조물의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 18은 본 개시내용의 일 실시예에 따른, 드레인 영역들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 19a는 본 개시내용의 일 실시예에 따른, 추가의 콘택 비아 구조물들의 형성 이후의 예시적인 구조물의 개략적인 수직 단면도이다.

도 19b는 도 19a의 예시적인 구조물의 평면도이다. 수직 평면 A - A'는 도 19a의 개략적인 수직 단면도의 평면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0009] 위에서 논의된 바와 같이, 본 개시내용은 자가 정렬된 드레인 선택 레벨 게이트 전극들(즉, 드레인 측 선택 게이트 전극들, "SGD")을 포함하는 3차원 메모리 디바이스들 및 그 제조 방법들에 관한 것으로, 그 다양한 양태들이 아래에 기술된다. 본 개시내용의 실시예들은 다중레벨 메모리 구조물을 포함하는 다양한 구조물들을 형성하기 위해 채용될 수 있으며, 그의 비제한적인 예들은 복수의 NAND 메모리 스트링들을 포함하는 3차원 모놀리식 메모리 어레이 디바이스들과 같은 반도체 디바이스들을 포함한다.
- [0010] 도면은 축척대로 도시되지 않는다. 요소들의 중복의 부재가 명백히 기술되거나 명확하게 달리 지시되지 않는 한, 요소의 단일 인스턴스가 도시되는 경우 요소의 다수의 인스턴스들이 중복될 수 있다. "제1", "제2", 및 "제3" 과 같은 서수들은 단지 유사한 요소들을 식별하는 데에 채용되며, 상이한 서수들이 본 개시내용의 명세서 및 청구범위에 전반에 걸쳐 채용될 수 있다. 동일한 도면 부호는 동일한 요소 또는 유사한 요소를 지칭한다. 달리 지시되지 않는 한, 동일한 도면 부호를 갖는 요소들은 동일한 구성을 갖는 것으로 추정된다. 본 명세서에 사용되는 바와 같이, 제2 요소 "상에" 위치된 제1 요소는 제2 요소의 표면의 외부 면 상에 또는 제2 요소의 내부 면 상에 위치될 수 있다. 본 명세서에 사용되는 바와 같이, 제1 요소의 표면과 제2 요소의 표면 사이에 물리적 접촉이 존재하는 경우, 제1 요소는 제2 요소 "상에 직접" 위치된다.
- [0011] 본 명세서에 사용되는 바와 같이, "층"은 두께를 갖는 영역을 포함하는 재료 부분을 지칭한다. 층은 아래에 놓인 또는 위에 놓인 구조물의 전체에 걸쳐 연장될 수 있거나, 아래에 놓인 또는 위에 놓인 구조물의 범위보다 작은 범위를 가질 수 있다. 또한, 층은 연속적인 구조물의 두께보다 작은 두께를 갖는 균질한 또는 불균질한 연속적인 구조물의 영역일 수 있다. 예를 들어, 층은 연속적인 구조물의 상부 표면과 저부 표면에 있는 또는 그들 사이에 있는 임의의 쌍의 수평 평면들 사이에 위치될 수 있다. 층은 수평으로, 수직으로, 그리고/또는 테이퍼진 표면을 따라 연장될 수 있다. 기판은 하나의 층일 수 있거나, 그 내부에 하나 이상의 층들을 포함할 수 있거나, 그 상에, 그 위에, 그리고/또는 그 아래에 하나 이상의 층들을 가질 수 있다.
- [0012] 모놀리식 3차원 메모리 어레이는, 개재하는 기판 없이 반도체 웨이퍼와 같은 단일 기판 위에 다수의 메모리 레벨들이 형성되는 것이다. 용어 "모놀리식"은 어레이의 각각의 레벨의 층들이 어레이의 각각의 아래에 놓인 레벨의 층들 상에 직접 퇴적된다는 것을 의미한다. 대조적으로, 2차원 어레이들은 별도로 형성되고 이어서 함께 패키징되어 비-모놀리식 메모리 디바이스를 형성할 수 있다. 예를 들어, 발명의 명칭이 "Three-dimensional Structure Memory" 인 미국 특허 제5,915,167호에 기술된 바와 같이, 별개의 기판들 상에 메모리 레벨들을 형성하고 메모리 레벨들을 수직으로 적층함으로써 비-모놀리식 적층형 메모리들이 구성되었다. 기판들은 접합 이전에 메모리 레벨들로부터 박화되거나 제거될 수 있지만, 메모리 레벨들은 초기에 별개의 기판들 위에 형성되기 때문에, 그러한 메모리들은 진정한 모놀리식 3차원 메모리 어레이들이 아니다. 본 개시내용의 다양한 3차원 메모리 디바이스들은 모놀리식 3차원 NAND 스트링 메모리 디바이스를 포함하며, 본 명세서에 기술된 다양한 실시예들을 채용하여 제조될 수 있다.
- [0013] 도 1을 참조하면, 예를 들어, 수직 NAND 메모리 디바이스들을 포함하는 디바이스 구조물을 제조하기 위해 채용될 수 있는, 본 개시내용의 일 실시예에 따른 예시적인 구조물이 도시되어 있다. 예시적인 구조물은 반도체 기판(9, 10)일 수 있는 기판들을 포함한다. 기판은 기판 반도체 층(9)을 포함할 수 있다. 기판 반도체 층(9)은 반도체 웨이퍼 또는 반도체 재료 층일 수 있고, 적어도 하나의 원소 반도체 재료(예를 들어, 단결정 실리콘 웨이퍼 또는 층), 적어도 하나의 III-V 화합물 반도체 재료, 적어도 하나의 II-VI 화합물 반도체 재료, 적어도 하나의 유기 반도체 재료, 또는 당업계에 알려진 다른 반도체 재료들을 포함할 수 있다. 기판은, 예를 들어, 기판 반도체 층(9)의 최상부 표면일 수 있는 주 표면(7)을 가질 수 있다. 주 표면(7)은 반도체 표면일 수 있다. 일 실시예에서, 주 표면(7)은 단결정 반도체 표면과 같은 단결정 반도체 표면일 수 있다.
- [0014] 본 명세서에 사용되는 바와 같이, "반도체성 재료"는  $1.0 \times 10^{-6}$  S/cm 내지  $1.0 \times 10^5$  S/cm 범위의 전기 전도도를 갖는 재료를 지칭한다. 본 명세서에 사용되는 바와 같이, "반도체 재료"는 전기 도펀트가 내부에 존재하지 않을 시  $1.0 \times 10^{-6}$  S/cm 내지  $1.0 \times 10^5$  S/cm 범위의 전기 전도도를 갖는 재료를 지칭하며, 전기 도펀트를 이용한 적합한 도핑 시  $1.0$  S/cm 내지  $1.0 \times 10^5$  S/cm 범위의 전기 전도도를 갖는 도핑된 재료를 생성할 수 있다. 본 명세서에 사용되는 바와 같이, "전기 도펀트"는 밴드 구조(band structure) 내의 가전자대에 홀을 추가

하는 p-형 도펀트, 또는 밴드 구조 내의 전도대에 전자를 추가하는 n-형 도펀트를 지칭한다. 본 명세서에 사용되는 바와 같이, "전도성 재료"는  $1.0 \times 10^5$  S/cm 초과인 전기 전도도를 갖는 재료를 지칭한다. 본 명세서에 사용되는 바와 같이, "절연체 재료" 또는 "유전체 재료"는  $1.0 \times 10^{-6}$  S/cm 미만인 전기 전도도를 갖는 재료를 지칭한다. 본 명세서에 사용되는 바와 같이, "고농도로 도핑된 반도체 재료"는, 전도성 재료가 되도록, 즉  $1.0 \times 10^5$  S/cm 초과인 전기 전도도를 갖도록, 충분히 높은 원자 농도에서 전기 도펀트로 도핑된 반도체 재료를 지칭한다. "도핑된 반도체 재료"는 고농도로 도핑된 반도체 재료일 수 있거나, 또는  $1.0 \times 10^{-6}$  S/cm 내지  $1.0 \times 10^5$  S/cm 범위의 전기 전도도를 제공하는 농도에서의 전기 도펀트(즉, p-형 도펀트 및/또는 n-형 도펀트)를 포함하는 반도체 재료일 수 있다. "진성 반도체 재료"는 전기 도펀트로 도핑되지 않는 반도체 재료를 지칭한다. 따라서, 반도체 재료는 반도체성 또는 전도성일 수 있고, 진성 반도체 재료 또는 도핑된 반도체 재료일 수 있다. 도핑된 반도체 재료는 그 내부의 전기 도펀트의 원자 농도에 따라 반도체성 또는 전도성일 수 있다. 본 명세서에 사용되는 바와 같이, "금속성 재료"는 적어도 하나의 금속성 원소를 내부에 포함하는 전도성 재료를 지칭한다. 전기 전도도에 대한 모든 측정은 표준 조건에서 이루어진다.

[0015] 주변 회로부를 위한 적어도 하나의 반도체 디바이스(700)가 기판 반도체 층(9)의 일부분 상에 형성될 수 있다. 적어도 하나의 반도체 디바이스는 예를 들어, 전계 효과 트랜지스터들을 포함할 수 있다. 예를 들어, 적어도 하나의 얇은 트렌치 격리 구조물(120)은, 기판 반도체 층(9)의 부분들을 에칭하고 그 내부에 유전체 재료를 퇴적함으로써 형성될 수 있다. 게이트 유전체 층, 적어도 하나의 게이트 전도체 층, 및 게이트 캡 유전체 층이 기판 반도체 층(9) 위에 형성될 수 있고, 후속적으로 패터닝되어 적어도 하나의 게이트 구조물(150, 152, 154, 158)을 형성할 수 있으며, 그 각각은 게이트 유전체(150), 게이트 전극(152, 154), 및 게이트 캡 유전체(158)를 포함할 수 있다. 게이트 전극(152, 154)은 제1 게이트 전극 부분(152) 및 제2 게이트 전극 부분(154)의 스택을 포함할 수 있다. 적어도 하나의 게이트 스페이서(156)는, 유전체 라이너를 퇴적하고 이방성으로 에칭함으로써 적어도 하나의 게이트 구조물(150, 152, 154, 158) 주위에 형성될 수 있다. 활성 영역들(130)은, 예를 들어, 적어도 하나의 게이트 구조물(150, 152, 154, 158)을 마스크 구조물들로서 채용하여 전기 도펀트를 도입함으로써, 기판 반도체 층(9)의 상부 부분들에 형성될 수 있다. 필요에 따라 추가의 마스크들이 채용될 수 있다. 활성 영역(130)은 전계 효과 트랜지스터들의 소스 영역들 및 드레인 영역들을 포함할 수 있다. 제1 유전체 라이너(161) 및 제2 유전체 라이너(162)가 선택적으로 형성될 수 있다. 제1 및 제2 유전체 라이너들(161, 162) 각각은 실리콘 산화물 층, 실리콘 질화물 층, 및/또는 유전체 금속 산화물 층을 포함할 수 있다. 본 명세서에 사용되는 바와 같이, 실리콘 산화물은 이산화규소 뿐만 아니라, 각각의 실리콘 원자에 대해 2개 초과 또는 2개 미만의 산소 원자를 갖는 비-화학량론적 실리콘 산화물을 포함한다. 이산화규소가 바람직하다. 예시적인 예에서, 제1 유전체 라이너(161)는 실리콘 산화물 층일 수 있고, 제2 유전체 라이너(162)는 실리콘 질화물 층일 수 있다. 주변 회로부를 위한 적어도 하나의 반도체 디바이스는, 적어도 하나의 NAND 디바이스를 포함할 수 있는, 후속적으로 형성될 메모리 디바이스들을 위한 드라이버 회로를 포함할 수 있다.

[0016] 실리콘 산화물과 같은 유전체 재료가 적어도 하나의 반도체 디바이스 위에 퇴적될 수 있고, 후속적으로 평탄화되어 평탄화 유전체 층(170)을 형성할 수 있다. 일 실시예에서, 평탄화 유전체 층(170)의 평탄화된 상부 표면은 유전체 라이너들(161, 162)의 상부 표면과 동일 평면 상에 있을 수 있다. 후속적으로, 평탄화 유전체 층(170) 및 유전체 라이너들(161, 162)은 기판 반도체 층(9)의 상부 표면을 물리적으로 노출시키기 위해 영역으로부터 제거될 수 있다. 본 명세서에 사용되는 바와 같이, 표면은 표면이 진공, 또는 기체 상 물질(예컨대 공기)과 물리적으로 접촉하는 경우 "물리적으로 노출"된다.

[0017] 선택적인 반도체 재료 층(10)은, 예를 들어 선택적 에피택시에 의해, 단결정 반도체 재료의 퇴적에 의해 기판 반도체 층(9)의 상부 표면 상에 형성될 수 있다. 퇴적된 반도체 재료는 기판 반도체 층(9)의 반도체 재료와 동일하거나 상이할 수 있다. 퇴적된 반도체 재료는 전술된 바와 같이 반도체 기판 층(9)에 채용될 수 있는 임의의 재료일 수 있다. 반도체 재료 층(10)의 단결정 반도체 재료는 기판 반도체 층(9)의 단결정 구조물과 에피택셜 정렬되어 있을 수 있다. 평탄화 유전체 층(170)의 상부 표면 위에 위치한 퇴적된 반도체 재료의 부분들은, 예를 들어 화학적 기계적 평탄화(CMP)에 의해 제거될 수 있다. 이러한 경우에, 반도체 재료 층(10)은 평탄화 유전체 층(170)의 상부 표면과 동일 평면 상에 있는 상부 표면을 가질 수 있다. 반도체 재료 층(10)은 p-형 또는 n-형일 수 있는 제1 전도성 유형의 전기 도펀트로 도핑될 수 있다.

[0018] 적어도 하나의 반도체 디바이스(700)의 영역(즉, 구역)은 본 명세서에서 주변 디바이스 영역(200)으로 지칭된다. 메모리 어레이가 후속적으로 형성되는 디바이스 영역은 본 명세서에서 메모리 어레이 영역(100)으로

지칭된다. 전기 전도성 층들의 단차형 테라스들을 후속적으로 형성하기 위한 콘택 영역(300)이 메모리 어레이 영역(100)과 주변 디바이스 영역(200) 사이에 제공될 수 있다. 선택적으로, 게이트 유전체 층(12)이 반도체 재료 층(10) 및 평탄화 유전체 층(170) 위에 형성될 수 있다. 게이트 유전체 층(12)은 예를 들어 실리콘 산화물 층일 수 있다. 게이트 유전체 층(12)의 두께는 3 nm 내지 30 nm의 범위일 수 있지만, 더 작고 더 큰 두께도 또한 채용될 수 있다.

[0019] 도 2를 참조하면, 교번하는 복수의 제1 재료 층들(절연 층들(32)일 수 있음) 및 제2 재료 층들(희생 재료 층들(42)일 수 있음)의 스택이, 예를 들어 게이트 유전체 층(12)의 상부 표면 상에 있을 수 있는 기관의 상부 표면 위에 형성된다. 본 명세서에 사용되는 바와 같이, "재료 층"은 그 전체에 걸쳐 재료를 포함하는 층을 지칭한다. 본 명세서에 사용되는 바와 같이, 교번하는 복수의 제1 요소들 및 제2 요소들은 제1 요소들의 인스턴스들 및 제2 요소들의 인스턴스들이 교번하는 구조물을 지칭한다. 교번하는 복수 중 단부 요소가 아닌 제1 요소들의 각각의 인스턴스는 양 면들 상에서 제2 요소들의 2개의 인스턴스들에 의해 인접하고, 교번하는 복수 중 단부 요소가 아닌 제2 요소들의 각각의 인스턴스는 양 단부들 상에서 제1 요소들의 2개의 인스턴스들에 의해 인접한다. 제1 요소들은 그것들 사이에서 동일한 두께를 가질 수 있거나, 또는 상이한 두께들을 가질 수 있다. 제2 요소들은 그것들 사이에서 동일한 두께를 가질 수 있거나, 또는 상이한 두께들을 가질 수 있다. 교번하는 복수의 제1 재료 층들 및 제2 재료 층들은 제1 재료 층들의 인스턴스로 또는 제2 재료 층들의 인스턴스로 시작할 수 있고, 제1 재료 층들의 인스턴스로 또는 제2 재료 층들의 인스턴스로 끝날 수 있다. 일 실시예에서, 제1 요소들의 인스턴스 및 제2 요소들의 인스턴스는 교번하는 복수 내에서 주기성을 가지고 반복되는 유닛을 형성할 수 있다.

[0020] 각각의 제1 재료 층은 제1 재료를 포함하고, 각각의 제2 재료 층은 제1 재료와 상이한 제2 재료를 포함한다. 일 실시예에서, 각각의 제1 재료 층은 절연 층(32)일 수 있고, 각각의 제2 재료 층은 희생 재료 층일 수 있다. 이러한 경우에, 스택은 교번하는 복수의 절연 층들(32) 및 희생 재료 층들(42)을 포함할 수 있고, 절연 층들(32) 및 희생 재료 층들(42)을 포함하는 교번하는 층들의 프로토타입 스택을 구성한다. 본 명세서에 사용되는 바와 같이, "프로토타입" 구조물 또는 "인-프로세스" 구조물은, 그 안의 적어도 하나의 성분의 형상 또는 조성이 후속적으로 변형되는 일시적인 구조물을 지칭한다.

[0021] 교번하는 복수의 스택은 본 명세서에서 교번하는 스택(32, 42)으로 지칭된다. 일 실시예에서, 교번하는 스택(32, 42)은 제1 재료로 구성된 절연 층들(32), 및 절연 층들(32)의 재료와 상이한 제2 재료로 구성된 희생 재료 층들(42)을 포함할 수 있다. 절연 층들(32)의 제1 재료는 적어도 하나의 절연 재료일 수 있다. 이와 같이, 각각의 절연 층(32)은 절연 재료 층일 수 있다. 절연 층들(32)에 채용될 수 있는 절연 재료들은 실리콘 산화물(도핑된 또는 도핑되지 않은 실리케이트 유리 포함), 실리콘 질화물, 실리콘 산질화물, 유기실리케이트 유리(OSG), 스핀-온 유전체 재료, 고 유전상수(고-k) 유전체 산화물(예를 들어, 알루미늄 산화물, hafnium 산화물 등)로 통상적으로 알려진 유전체 금속 산화물 및 그 실리케이트, 유전체 금속 산질화물 및 그 실리케이트, 및 유기 절연 재료를 포함하지만, 이들로 제한되지 않는다. 일 실시예에서, 절연 층들(32)의 제1 재료는 실리콘 산화물일 수 있다.

[0022] 희생 재료 층들(42)의 제2 재료는 절연 층들(32)의 제1 재료에 선택적으로 제거될 수 있는 희생 재료이다. 본 명세서에 사용되는 바와 같이, 제거 공정이 제2 재료의 제거율의 적어도 2배인 비율로 제1 재료를 제거하는 경우, 제1 재료의 제거는 제2 재료에 "선택적"이다. 제2 재료의 제거율에 대한 제1 재료의 제거율의 비는 본 명세서에서 제2 재료에 대한 제1 재료의 제거 공정의 "선택도"로 지칭된다.

[0023] 희생 재료 층들(42)은 절연 재료, 반도체 재료, 또는 전도성 재료를 포함할 수 있다. 희생 재료 층들(42)의 제2 재료는 후속적으로, 예를 들어, 수직 NAND 디바이스의 제어 게이트 전극들로서 기능할 수 있는 전기 전도성 전극들로 대체될 수 있다. 제2 재료의 비제한적인 예들은 실리콘 질화물, 비정질 반도체 재료(예컨대, 비정질 실리콘), 및 다결정 반도체 재료(예컨대, 폴리실리콘)를 포함한다. 일 실시예에서, 희생 재료 층들(42)은 실리콘 질화물, 또는 실리콘 및 게르마늄 중 적어도 하나를 포함하는 반도체 재료를 포함하는 스페이서 재료 층들일 수 있다.

[0024] 일 실시예에서, 절연 층들(32)은 실리콘 산화물을 포함할 수 있고, 희생 재료 층들은 실리콘 질화물 희생 재료 층들을 포함할 수 있다. 절연 층들(32)의 제1 재료는, 예를 들어 화학 기상 퇴적(CVD)에 의해 퇴적될 수 있다. 예를 들어, 실리콘 산화물이 절연층들(32)에 채용되는 경우, 테트라에틸 오르토실리케이트(TEOS)가 CVD 공정을 위한 전구체 재료로서 채용될 수 있다. 희생 재료 층들(42)의 제2 재료는, 예를 들어, CVD 또는 원자층 퇴적(ALD)으로 형성될 수 있다.

- [0025] 희생 재료 층들(42)은 적합하게 패턴화되어, 희생 재료 층들(42)의 대체에 의해 후속적으로 형성될 전도성 재료 부분들이 후속적으로 형성될 모놀리식 3차원 NAND 스트링 메모리 디바이스들의 제어 게이트 전극들과 같은 전기 전도성 전극들로서 기능할 수 있도록 한다. 희생 재료 층들(42)은 기판의 주 표면(7)에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 부분을 포함할 수 있다.
- [0026] 절연 층들(32) 및 희생 재료 층들(42)의 두께들은 20 nm 내지 50 nm의 범위일 수 있지만, 각각의 절연 층(32) 및 각각의 희생 재료 층(42)에 대해 더 작고 더 큰 두께가 채용될 수 있다. 절연 층(32) 및 희생 재료 층(예컨대, 제어 게이트 전극 또는 희생 재료 층)(42)의 쌍들의 반복 수는 2 내지 1,024, 및 전형적으로 8 내지 256의 범위일 수 있지만, 더 많은 반복수가 또한 채용될 수 있다. 스택 내의 상부 및 저부 게이트 전극들은 선택 게이트 전극들로서 기능할 수 있다. 일 실시예에서, 교번하는 스택(32, 42) 내의 각각의 희생 재료 층(42)은 각각의 개별 희생 재료 층(42) 내에서 실질적으로 불변인 균일한 두께를 가질 수 있다.
- [0027] 본 개시내용은, 스페이서 재료 층들이 후속적으로 전기 전도성 층들로 대체되는 희생 재료 층들(42)인 실시예를 채용하여 기술되지만, 희생 재료 층들이 전기 전도성 층들로서 형성되는 실시예들이 본 명세서에서 명백하게 고려된다. 이러한 경우에, 스페이서 재료 층들을 전기 전도성 층들로 대체하기 위한 단계들은 생략될 수 있다.
- [0028] 선택적으로, 절연 캡 층(70)이 교번하는 스택(32, 42) 위에 형성될 수 있다. 절연 캡 층(70)은 희생 재료 층들(42)의 재료와 상이한 유전체 재료를 포함한다. 일 실시예에서, 절연 캡 층(70)은 전술된 바와 같이 절연 층(32)들에 채용될 수 있는 유전체 재료를 포함할 수 있다. 절연 캡 층(70)은 절연 층들(32) 각각보다 큰 두께를 가질 수 있다. 절연 캡 층(70)은 예를 들어 화학 기상 퇴적에 의해 퇴적될 수 있다. 일 실시예에서, 절연 캡 층(70)은 실리콘 산화물 층일 수 있다.
- [0029] 도 3을 참조하면, 단차형 공동은 주변 회로부를 위한 적어도 하나의 반도체 디바이스를 포함하는 주변 디바이스 영역(200)과 메모리 어레이 영역(100) 사이에 위치되는 콘택 영역(300) 내에 형성될 수 있다. 단차형 공동은, 단차형 공동의 수평 단면 형상이 기판(9, 10)의 상부 표면으로부터의 수직 거리의 함수로서 단계적으로 변화하도록, 다양한 단차형 표면들을 가질 수 있다. 일 실시예에서, 단차형 공동은 처리 단계들의 세트를 반복적으로 수행함으로써 형성될 수 있다. 처리 단계들의 세트는, 예를 들어, 하나 이상의 레벨만큼 공동의 깊이를 수직으로 증가시키는 제1 유형의 에칭 공정, 및 제1 유형의 후속 에칭 공정에서 수직으로 에칭될 영역을 측방향으로 확장시키는 제2 유형의 에칭 공정을 포함할 수 있다. 본 명세서에 사용되는 바와 같이, 교번하는 복수를 포함하는 구조물의 "레벨"은 구조물 내의 제1 재료 층 및 제2 재료 층의 쌍의 상대 위치로서 정의된다.
- [0030] 단차형 공동의 형성 이후에, 교번하는 스택(32, 42)의 주변 부분은 단차형 공동의 형성 이후에 단차형 표면들을 가질 수 있다. 본 명세서에 사용되는 바와 같이, "단차형 표면들"은, 각각의 수평 표면이 수평 표면의 제1 에지로부터 상향으로 연장되는 제1 수직 표면에 인접하도록 그리고 수평 표면의 제2 에지로부터 하향으로 연장되는 제2 수직 표면에 인접하도록 하는, 적어도 2개의 수평 표면들 및 적어도 2개의 수직 표면들을 포함하는 표면들의 세트를 지칭한다. "단차형 공동"은 단차형 표면들을 갖는 공동을 지칭한다.
- [0031] 교번하는 스택(32, 42)을 패턴화함으로써 테라스 영역이 형성된다. 교번하는 스택(32, 42) 내의 최상부 희생 재료 층(42) 이외의 각각의 희생 재료 층(42)은 교번하는 스택(32, 42) 내의 임의의 위에 놓인 희생 재료 층(42)보다 더 멀리 측방향으로 연장된다. 테라스 영역은, 교번하는 스택(32, 42) 내의 최저부 층으로부터 교번하는 스택(32, 42) 내의 최상부 층까지 연속적으로 연장되는 교번하는 스택(32, 42)의 단차형 표면들을 포함한다.
- [0032] 역-단차형 유전체 재료 부분(65)(즉, 절연 충전 재료 부분)은 내부에서의 유전체 재료의 퇴적에 의해 단차형 공동 내에 형성될 수 있다. 예를 들어, 실리콘 산화물과 같은 유전체 재료가 단차형 공동 내에 퇴적될 수 있다. 퇴적된 유전체 재료의 잉여 부분들은 예를 들어, 화학적 기계적 평탄화(CMP)에 의해, 절연 캡 층(70)의 상부 표면 위로부터 제거될 수 있다. 단차형 공동을 충전하는 퇴적된 유전체 재료의 나머지 부분은 역-단차형 유전체 재료 부분(65)을 구성한다. 본 명세서에 사용되는 바와 같이, "역-단차형" 요소는, 단차형 표면들, 및 요소가 존재하는 기판의 상부 표면으로부터 수직 거리의 함수로서 단조적으로 증가하는 수평 단면적을 갖는 요소를 지칭한다. 실리콘 산화물이 역-단차형 유전체 재료 부분(65)에 채용되는 경우, 역-단차형 유전체 재료 부분(65)의 실리콘 산화물은 B, P 및/또는 F와 같은 도펀트로 도핑될 수 있거나, 도핑되지 않을 수 있다.
- [0033] 선택적으로, 드레인 선택 레벨 격리 구조물들(72)(즉, 드레인 측 선택 게이트 전극 레벨에서 형성된 격리 구조물들)은 절연 캡 층(70), 및 드레인 선택 레벨들에 위치된 희생 재료 층들(42)의 서브세트를 통해 형성될 수 있다. 드레인 선택 레벨 격리 구조물들(72)은, 예를 들어, 드레인 선택 레벨 격리 트렌치들을 형성하고 드레인

선택 레벨 격리 트렌치들을 실리콘 산화물과 같은 유전체 재료로 충전함으로써 형성될 수 있다. 유전체 재료의 잉여 부분들은 절연 캡 층(70)의 상부 표면 위로부터 제거될 수 있다.

[0034] 도 4a 및 도 4b를 참조하면, 적어도 포토레지스트 층을 포함하는 리소그래피 재료 스택(도시되지 않음)이 절연 캡 층(70) 및 역-단차형 유전체 재료 부분(65) 위에 형성될 수 있고, 리소그래피 방식으로 패터닝되어 내부에 개구들을 형성할 수 있다. 개구들은 메모리 어레이 영역(100) 위에 형성된 제1 세트의 개구들 및 콘택 영역(300) 위에 형성된 제2 세트의 개구들을 포함한다. 리소그래피 재료 스택 내의 패턴은, 패터닝된 리소그래피 재료 스택을 에칭 마스크로서 채용하는 적어도 하나의 이방성 에칭에 의해 절연 캡 층(70) 또는 역-단차형 유전체 재료 부분(65)을 통해, 그리고 교번하는 스택(32, 42)을 통해 전사될 수 있다. 패터닝된 리소그래피 재료 스택 내의 개구들 아래에 놓인 교번하는 스택(32, 42)의 부분들이 에칭되어 메모리 개구들(49) 및 지지 개구들(19)을 형성한다. 본 명세서에 사용되는 바와 같이, "메모리 개구"는 메모리 스택 구조물과 같은 메모리 요소들이 후속적으로 형성되는 구조물을 지칭한다. 본 명세서에 사용되는 바와 같이, "지지 개구"는 다른 요소들을 기계적으로 지지하는 지지 구조물(예컨대, 지지 기둥 구조물)이 후속적으로 형성되는 구조물을 지칭한다. 메모리 개구들(49)은 메모리 어레이 영역(100) 내의 절연 캡 층(70) 및 교번하는 스택(32, 42)의 전체를 통해 형성된다. 지지 개구들(19)은 역-단차형 유전체 재료 부분(65), 및 콘택 영역(300) 내의 단차형 표면들 아래에 놓이는 교번하는 스택(32, 42)의 부분을 통해 형성된다.

[0035] 메모리 개구들(49)은 교번하는 스택(32, 42)의 전체를 통해 연장된다. 지지 개구들(19)은 교번하는 스택(32, 42) 내의 층들의 서브세트를 통해 연장된다. 교번하는 스택(32, 42)의 재료들을 통해 에칭하기 위해 채용되는 이방성 에칭 공정의 화학 작용은 교번하는 스택(32, 42) 내의 제1 및 제2 재료들의 에칭을 최적화하도록 교대로 이루어질 수 있다. 이방성 에칭은, 예를 들어, 일련의 반응성 이온 에칭일 수 있다. 메모리 개구들(49) 및 지지 개구들(19)의 측벽들은 실질적으로 수직일 수 있거나, 테이퍼질 수 있다. 패터닝된 리소그래피 재료 스택은, 예를 들어, 애싱(ashing)에 의해 후속적으로 제거될 수 있다.

[0036] 메모리 개구들(49) 및 지지 개구들(19)은, 메모리 개구들(49) 및 지지 개구들(19)이 교번하는 스택(32, 42)의 상부 표면으로부터 적어도 반도체 재료 층(10)의 최상부 표면을 포함하는 수평 평면까지 연장되도록, 게이트 유전체 층(12)을 통해 형성될 수 있다. 일 실시예에서, 반도체 재료 층(10) 내로의 오버에칭은 선택적으로, 반도체 재료 층(10)의 상부 표면이 각각의 메모리 개구(49) 및 각각의 지지 개구(19)의 저부에서 물리적으로 노출된 후에, 수행될 수 있다. 오버에칭은 리소그래피 재료 스택의 제거 전에, 또는 그 후에 수행될 수 있다. 다시 말하면, 반도체 재료 층(10)의 리세스된 표면들은 반도체 재료 층(10)의 벗겨진(undressed) 상부 표면들로부터 리세스 깊이만큼 수직으로 오프셋될 수 있다. 리세스 깊이는 예를 들어, 1 nm 내지 50 nm의 범위일 수 있지만, 더 작고 더 큰 리세스 깊이가 또한 채용될 수 있다. 오버에칭은 선택적이며, 생략될 수 있다. 오버에칭이 수행되지 않으면, 메모리 개구들(49) 및 지지 개구들(19)의 저부 표면들은 반도체 재료 층(10)의 최상부 표면과 동일 평면 상에 있을 수 있다.

[0037] 메모리 개구들(49) 및 지지 개구들(19) 각각은 기판의 최상부 표면에 실질적으로 수직으로 연장되는 측벽(또는 복수의 측벽들)을 포함할 수 있다. 메모리 개구들(49)의 2차원 어레이가 메모리 어레이 영역(100)에 형성될 수 있다. 지지 개구들(19)의 2차원 어레이가 콘택 영역(300)에 형성될 수 있다. 기판 반도체 층(9) 및 반도체 재료 층(10)은 반도체 기판일 수 있는 기판(9, 10)을 집합적으로 구성한다. 대안적으로, 반도체 재료 층(10)은 생략될 수 있고, 메모리 개구들(49) 및 지지 개구들(19)은 기판 반도체 층(9)의 상부 표면까지 연장될 수 있다.

[0038] 일 실시예에서, 메모리 개구들(49)은, 제1 수평 방향(hd1)을 따라 연장되는 행들을 포함하고 제1 수평 방향(hd1)에 수직일 수 있는 제2 수평 방향(hd2)을 따라 균일한 행간(inter-row) 피치(p)를 갖는 2차원 주기적 어레이로서 형성될 수 있다. 일 실시예에서, 복수의 2차원 주기적 어레이들은, 각각의 2차원 주기적 어레이가 제2 수평 방향을 따라 이웃 2차원 주기적 어레이로부터 측방향으로 이격된 클러스터로서 형성되도록, 형성될 수 있다. 각각의 2차원 주기적 어레이는, 제1 수평 방향(hd1)을 따라 연장되고 제2 수평 방향(hd2)을 따라 균일한 행간 피치(p)를 갖는 각각의 행들을 포함할 수 있다.

[0039] 도 5a 내지 도 5f는, 메모리 스택 구조물의 형성 동안, 도 4a 및 도 4b의 예시적인 구조물에서의 메모리 개구들(49) 중 하나인 메모리 개구(49)에서의 구조적 변화들을 도시한다. 동일한 구조적 변화가 다른 메모리 개구들(49) 및 지지 개구들(19) 각각에서 동시에 발생한다.

[0040] 도 5a를 참조하면, 도 4a 및 도 4b의 예시적인 디바이스 구조물에서의 메모리 개구(49)가 도시되어 있다. 메모리 개구(49)는 절연 캡 층(70), 교번하는 스택(32, 42), 게이트 유전체 층(12)을 통해, 그리고 선택적으로 반도체 재료 층(10)의 상부 부분 내로 연장된다. 이러한 처리 단계에서, 각각의 지지 개구(19)는 역-단차형 유전체

재료 부분(65), 교번하는 스택(32, 42) 내의 층들의 서브세트, 게이트 유전체 층(12)을 통해, 그리고 선택적으로 반도체 재료 층(10)의 상부 부분을 통해 연장될 수 있다. 반도체 재료 층(10)의 상부 표면에 대한 각각의 메모리 개구의 저부 표면의 리세스 깊이는 0 nm 내지 30 nm의 범위일 수 있지만, 더 큰 리세스 깊이가 또한 채용될 수 있다. 선택적으로, 희생 재료 층들(42)은 예를 들어, 등방성 에칭에 의해 측방향 리세스들(도시되지 않음)을 형성하도록 측방향으로 부분적으로 리세스될 수 있다.

[0041] 도 5b를 참조하면, 선택적인 에피택셜 채널 부분(예컨대, 에피택셜 페테스탈)(11)이 예를 들어, 선택적 에피택셜 시에 의해 각각의 메모리 개구(49) 및 각각의 지지 개구(19)의 저부 부분에서 형성될 수 있다. 각각의 에피택셜 채널 부분(11)은 반도체 재료 층(10)의 단결정 반도체 재료와 에피택셜 정렬되어 있는 단결정 반도체 재료를 포함한다. 일 실시예에서, 에피택셜 채널 부분(11)은 반도체 재료 층(10)과 동일한 전도성 유형의 전기 도펀트로 도핑될 수 있다. 일 실시예에서, 각각의 에피택셜 채널 부분(11)의 상부 표면은 희생 재료 층(42)의 상부 표면을 포함하는 수평 평면 위에 형성될 수 있다. 이러한 경우, 적어도 하나의 소스 선택 게이트 전극이, 에피택셜 채널 부분(11)의 상부 표면들을 포함하는 수평 평면 아래에 위치한 각각의 희생 재료 층(42)을 각각의 전도성 재료 층으로 대체함으로써, 후속적으로 형성될 수 있다. 에피택셜 채널 부분(11)은, 기판(9, 10) 내에 후속적으로 형성될 소스 영역과, 메모리 개구(49)의 상부 부분 내에 후속적으로 형성될 드레인 영역 사이에서 연장되는 트랜지스터 채널의 일부분일 수 있다. 공동(49')이 에피택셜 채널 부분(11) 위의 메모리 개구(49)의 비충전된 부분 내에 존재한다. 일 실시예에서, 에피택셜 채널 부분(11)은 단결정 실리콘을 포함할 수 있다. 일 실시예에서, 에피택셜 채널 부분(11)은 에피택셜 채널 부분이 접촉하는 반도체 재료 층(10)의 전도성 유형과 동일한 제1 전도성 유형의 도핑을 가질 수 있다. 반도체 재료 층(10)이 존재하지 않는 경우, 에피택셜 채널 부분(11)은 제1 전도성 유형의 도핑을 가질 수 있는 기판 반도체 층(9) 상에 직접 형성될 수 있다.

[0042] 도 5c를 참조하면, 차단 유전체 층(52), 전하 저장 층(54), 터널링 유전체 층(56), 및 선택적인 제1 반도체 채널 층(601)을 포함하는 층들의 스택이 메모리 개구들(49) 내에 순차적으로 퇴적될 수 있다.

[0043] 차단 유전체 층(52)은 단일 유전체 재료 층 또는 복수의 유전체 재료 층들의 스택을 포함할 수 있다. 일 실시예에서, 차단 유전체 층은 유전체 금속 산화물로 본질적으로 이루어진 유전체 금속 산화물 층을 포함할 수 있다. 본 명세서에 사용되는 바와 같이, 유전체 금속 산화물은 적어도 하나의 금속성 원소 및 적어도 산소를 포함하는 유전체 재료를 지칭한다. 유전체 금속 산화물은 적어도 하나의 금속성 원소 및 산소로 본질적으로 이루어질 수 있거나, 적어도 하나의 금속성 원소, 산소, 및 질소와 같은 적어도 하나의 비-금속성 원소로 본질적으로 이루어질 수 있다. 일 실시예에서, 차단 유전체 층(52)은 7.9 초과의 유전 상수를 갖는, 즉 실리콘 질화물의 유전 상수보다 큰 유전 상수를 갖는 유전체 금속 산화물을 포함할 수 있다.

[0044] 유전체 금속 산화물의 비제한적인 예들은 알루미늄 산화물( $Al_2O_3$ ), 하프늄 산화물( $HfO_2$ ), 란타늄 산화물( $La_2O_3$ ), 이트륨 산화물( $Y_2O_3$ ), 탄탈륨 산화물( $Ta_2O_5$ ), 이들의 실리케이트, 이들의 질소-도핑된 화합물, 이들의 합금, 및 이들의 스택을 포함한다. 유전체 금속 산화물 층은 예를 들어, 화학 기상 퇴적(CVD), 원자층 퇴적(ALD), 펄스형 레이저 퇴적(PLD), 액체 소스 미스트 화학 퇴적, 또는 이들의 조합에 의해 퇴적될 수 있다. 유전체 금속 산화물 층의 두께는 1 nm 내지 20 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다. 유전체 금속 산화물 층은 후속적으로, 저장된 전기 전하들의 제어 게이트 전극들로의 누설을 차단하는 유전체 재료 부분으로서 기능할 수 있다. 일 실시예에서, 차단 유전체 층(52)은 알루미늄 산화물을 포함한다. 일 실시예에서, 차단 유전체 층(52)은 상이한 재료 조성들을 갖는 다수의 유전체 금속 산화물 층들을 포함할 수 있다.

[0045] 대안적으로 또는 추가적으로, 차단 유전체 층(52)은 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물, 또는 이들의 조합과 같은 유전체 반도체 화합물을 포함할 수 있다. 일 실시예에서, 차단 유전체 층(52)은 실리콘 산화물을 포함할 수 있다. 이러한 경우, 차단 유전체 층(52)의 유전체 반도체 화합물은 저압 화학 기상 퇴적, 원자층 퇴적, 또는 이들의 조합과 같은 등각 퇴적 방법에 의해 형성될 수 있다. 유전체 반도체 화합물의 두께는 1 nm 내지 20 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다. 대안적으로, 차단 유전체 층(52)은 생략될 수 있고, 후속적으로 형성될 메모리 필름들의 표면들 상의 후면 리세스들의 형성 이후에 후면 차단 유전체 층이 형성될 수 있다.

[0046] 후속적으로, 전하 저장 층(54)이 형성될 수 있다. 일 실시예에서, 전하 저장 층(54)은 예를 들어, 실리콘 질화물일 수 있는 유전체 전하 트래핑 재료를 포함하는 전하 트래핑 재료의 연속적인 층 또는 패턴화된 개별 부분들일 수 있다. 대안적으로, 전하 저장 층(54)은 예를 들어, 측면 리세스들 내에서 희생 재료 층들(42) 내로 형성됨으로써, 다수의 전기적으로 격리된 부분들(예컨대, 플로팅 게이트들) 내로 패턴화되는 금속성 재료 또는 도핑

된 폴리실리콘과 같은 전도성 재료의 연속적인 층 또는 패턴화된 개별 부분들을 포함할 수 있다. 일 실시예에서, 전하 저장 층(54)은 실리콘 질화물 층을 포함한다. 일 실시예에서, 희생 재료 층들(42) 및 절연 층들(32)은 수직으로 일치하는 측벽들을 가질 수 있고, 전하 저장 층(54)은 단일 연속 층으로서 형성될 수 있다.

[0047] 다른 실시예에서, 희생 재료 층들(42)은 절연 층들(32)의 측벽들에 대해 측방향으로 리세스될 수 있고, 퇴적 공정과 이방성 에칭 공정의 조합이, 수직으로 이격된 복수의 메모리 재료 부분들로서 전하 저장 층(54)을 형성하기 위해 채용될 수 있다. 본 개시내용은 전하 저장 층(54)이 단일 연속 층인 실시예를 채용하는 것으로 기술되지만, 전하 저장 층(54)이 수직으로 이격된 복수의 메모리 재료 부분들(전하 트래핑 재료 부분들 또는 전기적으로 격리된 전도성 재료 부분들일 수 있음)로 대체되는 실시예들이 본 명세서에서 명백하게 고려된다.

[0048] 전하 저장 층(54)은 균질한 조성의 단일 전하 저장 층으로서 형성될 수 있거나, 또는 다수의 전하 저장 층들의 스택을 포함할 수 있다. 채용되는 경우, 다수의 전하 저장 층들은, 전도성 재료들(예컨대, 텅스텐, 몰리브덴, 탄탈륨, 티타늄, 백금, 루테튬, 및 이들의 합금과 같은 금속, 또는 텅스텐 규화물, 몰리브덴 규화물, 탄탈륨 규화물, 티타늄 규화물, 니켈 규화물, 코발트 규화물, 또는 이들의 조합과 같은 금속 규화물) 및/또는 반도체 재료들(예를 들어, 적어도 하나의 원소 반도체 요소 또는 적어도 하나의 화합물 반도체 재료를 포함하는 다결정 또는 비정질 반도체 재료)을 포함하는 복수의 이격된 플로팅 게이트 재료 층들을 포함할 수 있다. 대안적으로 또는 추가적으로, 전하 저장 층(54)은 하나 이상의 실리콘 질화물 세그먼트와 같은 절연 전하 트래핑 재료를 포함할 수 있다. 대안적으로, 전하 저장 층(54)은 예를 들어, 루테튬 나노입자일 수 있는 금속 나노입자와 같은 전도성 나노입자를 포함할 수 있다. 전하 저장 층(54)은 예를 들어 화학 기상 퇴적(CVD), 원자층 퇴적(ALD), 물리 기상 퇴적(PVD), 또는 내부에 전기 전하를 저장하기 위한 임의의 적합한 퇴적 기술에 의해 형성될 수 있다. 전하 저장 층(54)의 두께는 2 nm 내지 20 nm의 범위일 수 있지만, 더 작고 더 큰 두께도 또한 채용될 수 있다.

[0049] 터널링 유전체 층(56)은, 적합한 전기 바이어스 조건들 하에서 전하 터널링이 수행될 수 있는 유전체 재료를 포함한다. 전하 터널링은 형성될 모놀리식 3차원 NAND 스트링 메모리 디바이스의 동작 모드에 따라, 고온-캐리어 주입을 통해 또는 파울러-노르드하임 터널링 유도 전하 전달에 의해 수행될 수 있다. 터널링 유전체 층(56)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 유전체 금속 산화물(예컨대, 알루미늄 산화물 및 hafnium 산화물), 유전체 금속 산질화물, 유전체 금속 실리케이트, 이들의 합금, 및/또는 이들의 조합을 포함할 수 있다. 일 실시예에서, 터널링 유전체 층(56)은 제1 실리콘 산화물 층, 실리콘 산질화물 층, 및 제2 실리콘 산화물 층의 스택을 포함할 수 있으며, 이는 흔히 ONO 스택으로서 알려져 있다. 일 실시예에서, 터널링 유전체 층(56)은 실질적으로 탄소가 없는 실리콘 산화물 층 또는 실질적으로 탄소가 없는 실리콘 산질화물 층을 포함할 수 있다. 터널링 유전체 층(56)의 두께는 2 nm 내지 20 nm의 범위일 수 있지만, 더 작고 더 큰 두께도 또한 채용될 수 있다.

[0050] 선택적인 제1 반도체 채널 층(601)은 반도체 재료, 예컨대 적어도 하나의 원소 반도체 재료, 적어도 하나의 III-V 화합물 반도체 재료, 적어도 하나의 II-VI 화합물 반도체 재료, 적어도 하나의 유기 반도체 재료, 또는 당업계에 알려진 다른 반도체 재료들을 포함한다. 일 실시예에서, 제1 반도체 채널 층(601)은 비정질 실리콘 또는 폴리실리콘을 포함한다. 제1 반도체 채널 층(601)은 저압 화학 기상 퇴적(LPCVD)과 같은 등각 퇴적 방법에 의해 형성될 수 있다. 제1 반도체 채널 층(601)의 두께는 2 nm 내지 10 nm의 범위일 수 있지만, 더 작고 더 큰 두께도 또한 채용될 수 있다. 퇴적된 재료 층들(52, 54, 56, 601)로 충전되지 않는 각각의 메모리 개구(49)의 체적 내에 공동(49')이 형성된다.

[0051] 도 5d를 참조하면, 선택적인 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 차단 유전체 층(52)은 적어도 하나의 이방성 에칭 공정을 채용하여 순차적으로 이방성으로 에칭된다. 절연 캡 층(70)의 상부 표면 위에 위치된 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 및 차단 유전체 층(52)의 부분들은 적어도 하나의 이방성 에칭 공정에 의해 제거될 수 있다. 또한, 각각의 공동(49')의 저부에서의 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 및 차단 유전체 층(52)의 수평 부분들은 제거되어, 이들의 나머지 부분들 내에 개구들을 형성할 수 있다. 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 및 차단 유전체 층(52) 각각은 이방성 에칭 공정에 의해 에칭될 수 있다.

[0052] 제1 반도체 채널 층(601)의 각각의 나머지 부분은 관형 구성을 가질 수 있다. 전하 저장 층(54)은 전하 트래핑 재료 또는 플로팅 게이트 재료를 포함할 수 있다. 일 실시예에서, 각각의 전하 저장 층(54)은 프로그래밍 시에 전기 전하를 저장하는 전하 저장 영역들의 수직 스택을 포함할 수 있다. 일 실시예에서, 전하 저장 층(54)은, 희생 재료 층들(42)에 인접한 각각의 부분이 전하 저장 영역을 구성하는, 전하 저장 층일 수 있다.

- [0053] 에피택셜 채널 부분(11)의 표면(또는 에피택셜 채널 부분들(11)이 채용되지 않는 경우에 반도체 기판 층(10)의 표면)은 개구 아래에서 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 및 차단 유전체 층(52)을 통해 물리적으로 노출될 수 있다. 선택적으로, 각각의 공동(49')의 저부에 있는 물리적으로 노출된 반도체 표면은, 공동(49') 아래의 리세스된 반도체 표면이 에피택셜 채널 부분(11)의(또는 에피택셜 채널 부분들(11)이 채용되지 않는 경우에 반도체 기판 층(10)의) 최상부 표면으로부터 리세스 거리만큼 수직으로 오프셋되도록, 수직으로 리세스될 수 있다. 터널링 유전체 층(56)이 전하 저장 층(54) 위에 위치된다. 메모리 개구(49) 내의 차단 유전체 층(52), 전하 저장 층(54), 및 터널링 유전체 층(56)의 세트가 메모리 필름(50)을 구성하며, 이는 차단 유전체 층(52) 및 터널링 유전체 층(56)에 의해 주변 재료들로부터 절연되는(전하 저장 층(54)으로서 구현되는 바와 같은) 복수의 전하 저장 영역들을 포함한다. 일 실시예에서, 제1 반도체 채널 층(601), 터널링 유전체 층(56), 전하 저장 층(54), 및 차단 유전체 층(52)은 수직으로 일치하는 측벽들을 가질 수 있다.
- [0054] 도 5e를 참조하면, 제2 반도체 채널 층(602)이 에피택셜 채널 부분(11)(또는 부분(11)이 생략되는 경우에 반도체 기판 층(10)의) 반도체 표면 상에 직접, 그리고 제1 반도체 채널 층(601) 상에 직접 퇴적될 수 있다. 제2 반도체 채널 층(602)은 반도체 재료, 예컨대 적어도 하나의 원소 반도체 재료, 적어도 하나의 III-V 화합물 반도체 재료, 적어도 하나의 II-VI 화합물 반도체 재료, 적어도 하나의 유기 반도체 재료, 또는 당업계에 알려진 다른 반도체 재료들을 포함한다. 일 실시예에서, 제2 반도체 채널 층(602)은 비정질 실리콘 또는 폴리실리콘을 포함한다. 제2 반도체 채널 층(602)은 저압 화학 기상 퇴적(LPCVD)과 같은 등각 퇴적 방법에 의해 형성될 수 있다. 제2 반도체 채널 층(602)의 두께는 2 nm 내지 10 nm의 범위일 수 있지만, 더 작고 더 큰 두께도 또한 채용될 수 있다. 제2 반도체 채널 층(602)은 각각의 메모리 개구(49) 내의 공동을 완전히 충전할 수 있다.
- [0055] 제1 반도체 채널 층(601) 및 제2 반도체 채널 층(602)의 재료들은 집합적으로 반도체 채널 재료로 지칭된다. 다시 말해서, 반도체 채널 재료는 제1 반도체 채널 층(601) 및 제2 반도체 채널 층(602) 내의 모든 반도체 재료의 세트이다.
- [0056] 도 5f를 참조하면, 절연 캡 층(70)의 상부 표면 위에 위치한 제2 반도체 채널 층(602)의 수평 부분은 리세스 에칭 또는 화학적 기계적 평탄화(CMP)를 채용할 수 있는 평탄화 공정에 의해 제거될 수 있다. 제2 반도체 채널 층(602)의 각각의 나머지 부분은 전체적으로 메모리 개구(49) 내에 또는 전체적으로 지지 개구(19) 내에 위치될 수 있다.
- [0057] 제1 반도체 채널 층(601) 및 제2 반도체 채널 층(602)의 각각의 인접한 쌍은, 메모리 레벨 채널 부분(60)을 포함하는 수직 NAND 디바이스가 턴 온될 때 전류가 그를 통해 흐를 수 있는 메모리 레벨 채널 부분(60)을 집합적으로 형성할 수 있다. 터널링 유전체 층(56)은 전하 저장 층(54)에 의해 둘러싸이고, 메모리 레벨 채널 부분(60)의 일부분을 측방향으로 둘러싼다. 차단 유전체 층(52), 전하 저장 층(54), 및 터널링 유전체 층(56)의 각각의 인접한 세트는 메모리 필름(50)을 집합적으로 구성하며, 이는 거시적 유지 시간(macroscopic retention time)으로 전기 전하를 저장할 수 있다. 일부 실시예들에서, 차단 유전체 층(52)이 이 단계에서 메모리 필름(50) 내에 존재하지 않을 수 있고, 차단 유전체 층이 후면 리세스들의 형성 이후에 후속적으로 형성될 수 있다. 본 명세서에 사용되는 바와 같이, 거시적 유지 시간은 24시간을 초과하는 유지 시간과 같은, 영구 메모리 디바이스로서의 메모리 디바이스의 동작에 적합한 유지 시간을 지칭한다.
- [0058] 도 6을 참조하면, 도 5f의 처리 단계들 이후의 예시적인 구조물이 도시된다. 메모리 개구(49) 내의 메모리 필름(50)과 메모리 레벨 채널 부분(60)(수직 반도체 채널의 일부분임)의 각각의 조합은 메모리 스택 구조물(55)을 구성한다. 메모리 스택 구조물(55)은 메모리 레벨 채널 부분(60), 터널링 유전체 층(56), 전하 저장 층(54)의 부분들로서 구현된 복수의 메모리 요소들, 및 선택적인 차단 유전체 층(52)의 조합이다. 에피택셜 채널 부분(11)과 메모리 스택 구조물(55)의 각각의 조합은 본 명세서에서 메모리 개구 충전 구조물(11, 55)로 지칭된다. 각각의 지지 개구(19) 내의 에피택셜 채널 부분(11), 메모리 필름(50), 및 메모리 레벨 채널 부분(60)의 각각의 조합은 각각의 지지 개구들(19)을 충전하고, 지지 기둥 구조물(20)(즉, 비트 라인에 전기적으로 접속되지 않는 더미 구조물)을 구성한다.
- [0059] 메모리 개구 충전 구조물(11, 55)의 인스턴스가 도 4a 및 도 4b의 구조물의 각각의 메모리 개구(49) 내에 형성될 수 있다. 지지 기둥 구조물(20)의 인스턴스가 도 4a 및 도 4b의 구조물의 각각의 지지 개구(19) 내에 형성될 수 있다. 각각의 예시적인 메모리 스택 구조물(55)은 다수의 반도체 채널 층들(601, 602)을 포함할 수 있는 메모리 레벨 채널 부분(60), 및 메모리 필름(50)을 포함한다. 메모리 필름(50)은 메모리 레벨 채널 부분(60)을 측방향으로 둘러싸는 터널링 유전체 층(56) 및 터널링 유전체 층(56)을 측방향으로 둘러싸는 전하 저장 영역들

의 수직 스택(메모리 재료 층(54)으로서 구현됨) 및 선택적인 차단 유전체 층(52)을 포함할 수 있다. 본 개시 내용이 메모리 스택 구조물에 대한 예시된 구성을 채용하는 것으로 기술되지만, 본 개시내용의 방법들은 메모리 필름(50)에 대한 그리고/또는 메모리 레벨 채널 부분(60)에 대한 상이한 층 스택들 또는 구조물들을 포함하는 대안적인 메모리 스택 구조물들에 적용될 수 있다.

[0060] 도 7a 및 도 7b를 참조하면, 드레인 선택 레벨 반도체 재료 층(22L)이 절연 캡 층(70) 위에 형성된다. 도 7b에 도시된 영역은 도 4b에 도시된 영역(R)에 대응한다. 드레인 선택 레벨 반도체 재료 층(22L)은, 제1 반도체 채널 층(601)의 재료와 동일하거나 상이할 수 있고 제2 반도체 채널 층(602)의 재료와 동일하거나 상이할 수 있는 반도체 재료를 포함한다. 일 실시예에서, 드레인 선택 레벨 반도체 재료 층(22L)은 진성일 수 있거나, 또는 진성 또는 p-형 폴리실리콘 또는 비정질 실리콘과 같은 반도체 재료 층(10)의 전도성 유형과 동일한 제1 전도성 유형의 도핑을 가질 수 있다. 일 실시예에서, 드레인 선택 레벨 반도체 재료 층(22L)은 아래에 놓인 메모리 레벨 채널 부분(60)의 효과적인 선택 및 선택해제를 위해 최적화된 도펀트 농도를 가질 수 있다. 일 실시예에서, 드레인 선택 레벨 반도체 재료 층(22L)은 메모리 레벨 채널 부분(60)의 도펀트 농도와 동일한 도펀트 농도 또는 상이한 도펀트 농도를 가질 수 있다. 일 실시예에서, 드레인 선택 레벨 반도체 재료 층(22L) 내의 제1 전도성 유형의 도펀트의 원자 농도는  $1.0 \times 10^{14}/\text{cm}^3$  내지  $1.0 \times 10^{17}/\text{cm}^3$ 의 범위일 수 있지만, 더 작고 더 큰 도펀트 농도가 또한 채용될 수 있다.

[0061] 드레인 선택 레벨 반도체 재료 층(22L)은 등각 퇴적 공정 또는 비-등각 퇴적 공정에 의해 형성될 수 있다. 예를 들어, 드레인 선택 레벨 반도체 재료 층(22L)은 플라즈마 강화 화학 기상 퇴적(PECVD) 또는 저압 화학 기상 퇴적(LPCVD)에 의해 형성될 수 있다. 드레인 선택 레벨 반도체 재료 층(22L)의 두께는 20 nm 내지 200 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다.

[0062] 패턴화된 포토레지스트 부분들(23, 123)은, 드레인 선택 레벨 반도체 재료 층(22L) 위에 포토레지스트 층을 적용하고, 리소그래피 노광 및 현상에 의해 포토레지스트 층을 리소그래피 방식으로 패턴화함으로써, 드레인 선택 레벨 반도체 재료 층(22L) 위에 형성될 수 있다. 패턴화된 포토레지스트 부분들(23, 123)은 기둥-형 포토레지스트 부분들(23) 및 세장형 포토레지스트 부분들(123)을 포함할 수 있다. 기둥-형 포토레지스트 부분들(23)은 실질적으로 원형 또는 타원형 수평 단면 형상들을 가질 수 있고, 제1 수평 방향(hd1)을 따라 연장되고 주기적으로 변조된 행간 중심-대-중심 간격(ICS1, ICS2)을 갖는 행들로 배열될 수 있으며, 중심-대-중심 간격(ICS1, ICS2)의 합은 메모리 스택 구조물들(55)의 2차원 주기적 어레이의 행간 피치(p)의 2배의 주기성을 갖는다(즉,  $ICS1+ICS2=2p$ ). 본 명세서에 사용되는 바와 같이, 요소들의 제1 행과 요소들의 제2 행 사이의 "행간 중심-대-중심" 간격은 제1 행 내의 요소들의 기하학적 중심들을 통과하는 제1 수직 평면과 제2 행 내의 요소들의 기하학적 중심들을 통과하는 제2 수직 평면 사이의 거리를 지칭한다. 본 명세서에 사용되는 바와 같이, 요소의 "기하학적 중심"은 요소와 동일한 체적을 갖고 전체에 걸쳐 균일한 밀도를 갖는 가상 물체의 질량 중심을 지칭한다.

[0063] 일 실시예에서, 기둥-형 포토레지스트 부분들(23)은 제2 수평 방향(hd2)을 따르는 메모리 스택 구조물들(55)의 균일한 피치(p)보다 작은 제1 행간 중심-대-중심 간격(ICS1)을 갖는 제1 수평 방향(hd1)을 따라 연장되는 행들의 쌍들로서 배열될 수 있다. 행들의 2개의 상이한 이웃 쌍들에 속하는 인접한 행들은 제2 행간 중심-대-중심 간격(ICS2)을 가지며, 이는 메모리 스택 구조물들(55)의 균일한 피치(p)보다 크고 제1 행간 중심-대-중심 간격(ICS1)보다 크다. 일 실시예에서, 제1 행간 중심-대-중심 간격(ICS1)은 균일한 피치(p)의 40% 내지 균일한 피치(p)의 95%, 예컨대 균일한 피치의 60% 내지 균일한 피치의 80%의 범위일 수 있다. 제2 행간 중심-대-중심 간격(ICS2)은 균일한 피치(p)의 105% 내지 균일한 피치(p)의 160%, 예컨대 균일한 피치의 120% 내지 균일한 피치의 140%의 범위일 수 있다. 제1 행간 중심-대-중심 간격(ICS1)과 제2 행간 중심-대-중심 간격(ICS2)의 합은 메모리 스택 구조물들(55)의 균일한 피치(p)의 2배일 수 있다.

[0064] 세장형 포토레지스트 부분들(123)은 역-단차형 유전체 재료 부분(65)의 영역 위에 위치될 수 있다. 일 실시예에서, 각각의 세장형 포토레지스트 부분(123)은 제1 수평 방향(hd1)을 따라 세장형일 수 있다. 각각의 세장형 포토레지스트 부분(123)의 폭은 메모리 스택 구조물들(55)의 균일한 피치(p)의 40% 내지 메모리 스택 구조물들(55)의 균일한 피치(p)의 100%의 범위일 수 있다. 각각의 세장형 포토레지스트 부분(123)의 에지는 최외측 기둥-형 포토레지스트 부분(23)에 근접할 수 있어서, 세장형 포토레지스트 부분(123)과 최외측 기둥-형 포토레지스트 부분(23) 사이의 겹은 기둥-형 포토레지스트 부분들(23)의 행들의 쌍 내의 가장 가까운 이웃 거리에 필적한다.

[0065] 도 8a 및 도 8b를 참조하면, 패턴화된 포토레지스트 부분들(23, 123)의 패턴을 드레인 선택 레벨 반도체 재료 층(22L) 내로 전사하기 위해 이방성 에칭이 수행된다(즉, 선택 레벨 반도체 재료 층(22L)은 패턴화된 포토레지

스트 부분들(23, 123)을 마스크로서 사용하여 에칭된다). 절연 캡 층(70) 및 역-단차형 유전체 재료 부분(65)은 에칭 정지 층들로서 채용될 수 있다. 기둥-형 포토레지스트 부분들(23)의 패턴들을 복제하는 드레인 선택 레벨 반도체 재료 층(22L)의 나머지 부분들은 드레인 선택 레벨 채널 부분들(22)을 구성하고, 이들은 드레인 선택 레벨 채널 부분들(22) 중 하나 및 각각의 아래에 놓인 메모리 레벨 채널 부분(60)을 포함하는 각각의 반도체 채널 내에 통합된다. 세장형 포토레지스트 부분들(123)의 패턴들을 복제하는 드레인 선택 레벨 반도체 재료 층(22L)의 나머지 부분들은 최외측 드레인 선택 레벨 채널 부분들(22)에 인접하는 세장형 반도체 템플릿들(122)을 구성한다.

[0066] 드레인 선택 레벨 채널 부분들(22)은 메모리 레벨 채널 부분들(60) 위에 형성된다. 각각의 드레인 선택 레벨 채널 부분(22)의 기하학적 중심은 제2 수평 방향(hd2)일 수 있는 제1 수평 방향(hd1)에 수직인 방향을 따라 각각의 아래에 놓인 메모리 레벨 채널 부분(60)의 기하학적 중심에 대해 측방향으로 오프셋된다.

[0067] 일 실시예에서, 메모리 스택 구조물들(55)은 제1 수평 방향(hd1)을 따라 연장되는 각각의 행들을 포함하는 적어도 하나의 2차원 주기적 어레이로서 형성될 수 있다. 2차원 주기적 어레이는 제2 수평 방향(hd2)을 따라 균일한 행간 피치(p)를 가질 수 있다. 드레인 선택 레벨 채널 부분들(22)은, 제1 수평 방향(hd1)을 따라 연장되고 주기적으로 변조된 행간 중심-대-중심 간격(ICS1, ICS2)을 갖는 각각의 행들로 배열될 수 있으며, 중심-대-중심 간격(ICS1, ICS2)의 합은 메모리 스택 구조물들(55)의 2차원 주기적 어레이의 행간 피치(p)의 2배의 주기성, 즉, 2p를 갖는다.

[0068] 일 실시예에서, 드레인 선택 레벨 채널 부분들(22)은 제1 수평 방향(hd1)을 따라 연장되는 행들의 쌍들(PRR)로서 배열될 수 있다. 행들의 각각의 쌍(PRR)은 드레인 선택 레벨 채널 부분들(22)의 2개의 행들을 포함한다. 드레인 선택 레벨 채널 부분들(22)의 각각의 행은 제1 수평 방향(hd1)을 따라 배열되며, 제1 수평 방향(hd1)을 따라 주기적인 피치를 가질 수 있다. 주기적인 피치는 드레인 선택 레벨 채널 부분들(22)의 각각의 행과 동일할 수 있다. 행들의 각각의 쌍(PRR)을 갖는 2개의 행들은 제1 행간 중심-대-중심 간격(ICS1)을 가질 수 있으며, 이는 메모리 스택 구조물들(55)의 2차원 주기적 어레이의 행간 피치(p)보다 작다. 위에서 논의된 바와 같이, 제1 행간 중심-대-중심 간격(ICS1)은 균일한 피치(p)의 40% 내지 균일한 피치(p)의 95%, 예컨대 균일한 피치의 60% 내지 균일한 피치의 80%의 범위일 수 있다.

[0069] 일 실시예에서, 드레인 선택 레벨 채널 부분들(22)의 각각의 기하학적 중심은, 드레인 선택 레벨 채널 부분(22)이 제2 수평 방향(hd2)을 따라 접촉하는 각각의 아래에 놓인 메모리 레벨 채널 부분(60)의 기하학적 중심으로부터 측방향으로 오프셋될 수 있고, 제1 수평 방향(hd1)을 따라 측방향으로 오프셋되지 않을 수 있다. 아래에 놓인 메모리 레벨 채널 부분(60)의 기하학적 중심에 대한 드레인 선택 레벨 채널 부분들(22)의 각각의 기하학적 중심의 측방향 오프셋 거리는 균일한 피치(p)의 2.5% 내지 균일한 피치(p)의 30%의 범위일 수 있다. 드레인 선택 레벨 채널 부분(22)의 임의의 주어진 행 내에서, 아래에 놓인 메모리 레벨 채널 부분들(60)에 대한 측방향 오프셋의 방향 및 크기는 각각의 드레인 선택 레벨 채널 부분(22)에 대해 동일할 수 있다. 일 실시예에서, 아래에 놓인 메모리 레벨 채널 부분(60)의 기하학적 중심에 대한 드레인 선택 레벨 채널 부분들(22)의 기하학적 중심의 측방향 오프셋은 드레인 선택 레벨 채널 부분들(22)의 각각의 교번 행에 대해 크기가 동일하고 방향이 반대일 수 있다. 각각의 행 내의 드레인 선택 레벨 채널 부분들(22)은 행들의 상이한 쌍(PRR) 내에 위치한 인접 행에 대한 것보다, 행들의 동일한 쌍(PRR) 내의 인접 행에 대해 방향(hd2)(예를 들어, 비트 라인 방향)으로 서로 더 가깝게 오프셋된다. 따라서, 행들의 상이한 쌍들(PRR)의 인접 행들에 위치한 드레인 선택 레벨 채널 부분들(22)은, 균일한 피치(p)의 105% 내지 균일한 피치(p)의 160%, 예컨대 균일한 피치의 120% 내지 균일한 피치의 140%의 범위일 수 있는 더 넓은 제2 행간 중심-대-중심 간격(ICS2)을 갖는다.

[0070] 도 9a 및 도 9b를 참조하면, 드레인 선택 레벨 게이트 유전체 층(24L) 및 적어도 하나의 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)이 순차적으로 퇴적될 수 있다. 드레인 선택 레벨 게이트 유전체 층(24L)은, 실리콘 산화물 게이트 유전체 층 및/또는 유전체 금속 산화물 게이트 유전체 층을 포함할 수 있는 적어도 하나의 유전체 재료 층을 포함한다. 드레인 선택 레벨 게이트 유전체 층(24L)은 각각의 등각 퇴적(예컨대, 화학 기상 퇴적 또는 원자층 퇴적)에 의해 적어도 하나의 유전체 재료의 퇴적에 의해 형성될 수 있다. 대안적으로 또는 추가적으로, 드레인 선택 레벨 게이트 유전체 층(24L)의 층은 드레인 선택 레벨 채널 부분들(22)의 표면 부분들의 산화에 의해 형성될 수 있다. 드레인 선택 레벨 게이트 유전체 층(24L)의 두께는 1.5 nm 내지 10 nm, 예컨대 2 nm 내지 7 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다.

[0071] 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)은 적어도 하나의 전도성 재료 층을 포함한다. 예를 들어, 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)은 도핑된 반도체 게이트 전극 층(26L), 금속 질화물 게이트 전

극 층(27L), 및 금속 게이트 전극 층(28L)의, 저부로부터 상부로의, 층 스택을 포함할 수 있다. 예를 들어, 도핑된 반도체 게이트 전극 층(26L)은 도핑된 폴리실리콘과 같은 도핑된 반도체 재료를 포함할 수 있고, 금속 질화물 게이트 전극 층(27L)은 금속 질화물, 예컨대 TiN, TaN, 또는 WN을 포함할 수 있고, 금속 게이트 전극 층(28L)은 W, Co, Mo, Ru, 또는 이들의 합금과 같은 금속을 포함할 수 있다. 예를 들어, 층 스택은 도핑된 폴리실리콘 층(26L), 티타늄 질화물 층(27L) 및 텅스텐 층(28L) 스택을 포함할 수 있다.

[0072] 드레인 선택 레벨 게이트 유전체 층(24L) 및 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 총 두께는, 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 재료(들)가 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR) 내의 드레인 선택 레벨 채널 부분들(22)의 2개의 행들 사이에 병합되지만, 드레인 선택 레벨 채널 부분들(22)의 행들의 이웃 쌍들 사이에는 병합되지 않도록 선택된다.

[0073] 일 실시예에서, 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 측벽들의 연속적인 세트는 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR) 및 반도체 템플릿(122)을 측방향으로 둘러싸지만, 드레인 선택 레벨 채널 부분들(22)의 행들의 상이한 쌍(PRR)을 측방향으로 둘러싸는 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 측벽들의 임의의 다른 연속적인 세트에 인접하지 않는다.

[0074] 도 10a 및 도 10b를 참조하면, 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L) 및 드레인 선택 레벨 게이트 유전체 층(24L)의 수평 부분들을 제거하기 위해, 이방성 에칭(예컨대, 측벽 스페이서 에칭)이 수행된다. 드레인 선택 레벨 게이트 유전체 층(26L, 27L, 28L) 및 드레인 선택 레벨 게이트 전극 층(24L)의 스택의 수평 부분들은 이방성 에칭에 의해 제거된다. 이방성 에칭은 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L) 및 드레인 선택 레벨 게이트 유전체 층(24L)을 수직으로 균일하게 리세스할 수 있다. 따라서, 이방성 에칭은 드레인 선택 레벨 채널 부분들(22)의 행들의 쌍들(PRR) 사이에 위치되거나 드레인 선택 레벨 채널 부분들(22)의 상부 표면을 포함하는 수평 평면 위에 위치되는 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L) 및 드레인 선택 레벨 게이트 유전체 층(24L)의 부분들을 제거할 수 있다. 선택적으로, 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 나머지 부분들의 상부 표면들이 드레인 선택 레벨 채널 부분들(22)의 상부 표면을 포함하는 수평 평면에 대해 수직으로 리세스되도록, 오버에칭이 수행될 수 있다. 다시 말해서, 드레인 선택 레벨 채널 부분들(22)은 드레인 선택 레벨 게이트 전극 층 위로 돌출될 수 있다.

[0075] 드레인 선택 레벨 게이트 유전체 층(24L)의 각각의 나머지 개별 부분은 본 명세서에서 드레인 선택 레벨 게이트 유전체(24)로 지칭된다. 드레인 선택 레벨 게이트 유전체들(24)은 드레인 선택 레벨 채널 부분들(22) 상에 그리고 그 주위에 형성된다. 각각의 드레인 선택 레벨 게이트 유전체(24)는, 관형 기하학적 구조를 갖고 각각의 드레인 선택 레벨 채널 부분(22)을 측방향으로 둘러싸는 수직 부분들, 및 수직 부분들 각각의 저부 주변부에 인접하는 수평 부분을 포함한다. 각각의 드레인 선택 레벨 게이트 유전체(24)는 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR) 내의 드레인 선택 레벨 채널 부분들(22) 각각을 측방향으로 둘러싼다.

[0076] 적어도 하나의 드레인 선택 레벨 게이트 전극 층(26L, 27L, 28L)의 각각의 나머지 개별 부분은 본 명세서에서 드레인 선택 레벨 게이트 전극(29)으로 지칭된다. 드레인 선택 레벨 게이트 전극들(29)은 드레인 선택 레벨 게이트 유전체들(24) 주위에 형성된다. 각각의 드레인 선택 레벨 게이트 전극(29)은 도핑된 반도체 게이트 전극 층(26L)의 나머지 부분인 도핑된 반도체 게이트 전극 부분(26), 금속 질화물 게이트 전극 층(27L)의 나머지 부분인 금속 질화물 게이트 전극 부분(27), 및 금속 게이트 전극 층(28L)의 나머지 부분인 금속 게이트 전극 부분(28)을 포함할 수 있다. 각각의 드레인 선택 레벨 게이트 전극(29)은 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR) 내의 드레인 선택 레벨 채널 부분들(22) 각각을 측방향으로 둘러싼다. 다시 말하면, 드레인 선택 레벨 게이트 전극(29)(즉, 드레인 측 선택 게이트 전극, SGD)은 드레인 선택 레벨 채널 부분(22) 주위에 측벽 스페이서를 형성한다. 각각의 드레인 선택 레벨 게이트 전극(29)의 수평 부분은 각각의 드레인 선택 레벨 게이트 전극(29) 아래에 놓인다.

[0077] 드레인 선택 레벨 게이트 전극들(29)은 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR) 사이의 겹을 따라 서로 물리적으로 분리된다. 그러나, 드레인 선택 레벨 게이트 전극들(29)은 행들의 각각의 쌍(PRR)에서 인접해 있다(즉, 인접 전극과 접촉하여 연속적인 전극을 형성함). 따라서, 드레인 선택 레벨 게이트 전극들(29)은 제2 수평 방향(hd2)(예컨대, 비트 라인 방향)을 따라 서로로부터 측방향으로 이격되는데, 그 이유는 행들의 각각의 쌍(PRR) 사이의 제2 행간 중심-대-중심 간격(ICS2)이 행들의 각각의 쌍(PRR)에서의 제1 행간 중심-대-중심 간격(ICS1)보다 더 크기 때문이다. 드레인 선택 레벨 게이트 유전체들(24)은 행들의 각각의 쌍(PRR) 사이에서 서로 물리적으로 분리된다. 각각의 드레인 선택 레벨 게이트 유전체(24)는 제1 수평 방향(hd1)을 따라 측방향으로 연장되는 행들의 쌍(PRR)으로서 배열되는 드레인 선택 레벨 채널 부분들(22)의 각각의 서브세트

를 측방향으로 둘러싸고 그와 접촉한다.

- [0078] 제1 재료에 대해 선택적인 제2 재료 및 메모리 필름들(50)의 최외측 층을 제거하는 에칭 공정은 습식 에칭 용액을 채용하는 습식 에칭 공정일 수 있거나, 또는 에칭제가 증기 상으로 후면 트렌치들(79) 내로 도입되는 기체 상(건식) 에칭 공정일 수 있다. 예를 들어, 희생 재료 층들(42)이 실리콘 질화물을 포함하는 경우, 에칭 공정은, 예시적인 구조물이 인산을 포함하는 습식 에칭 탱크 내에 침지되는 습식 에칭 공정일 수 있으며, 이는 실리콘 산화물, 실리콘, 및 본 기술 분야에서 채용된 다양한 다른 재료들에 대해 선택적으로 실리콘 질화물을 에칭한다. 지지 기둥 구조물(20), 역-단차형 유전체 재료 부분(65), 및 메모리 스택 구조물들(55)은 구조적 지지를 제공하는 한편, 후면 리세스들(43)은 희생 재료 층들(42)에 의해 이전에 점유된 체적들 내에 존재한다.
- [0079] 각각의 후면 리세스(43)는 측방향으로 연장되는 공동일 수 있으며, 이는 공동의 수직 범위보다 큰 측방향 치수를 갖는다. 다시 말하면, 각각의 후면 리세스(43)의 측방향 치수는 후면 리세스(43)의 높이보다 더 클 수 있다. 희생 재료 층들(42)의 제2 재료가 제거된 체적들 내에 복수의 후면 리세스들(43)이 형성될 수 있다. 메모리 스택 구조물들(55)이 형성되는 메모리 개구들은 본 명세서에서 후면 리세스들(43)과 대조적으로 전면 개구들 또는 전면 공동들로 지칭된다. 일 실시예에서, 메모리 어레이 영역(100)은 기판(9, 10) 위에 배치된 복수의 디바이스 레벨들을 갖는 모놀리식 3차원 NAND 스트링들의 어레이를 포함한다. 이러한 경우에, 각각의 후면 리세스(43)는 모놀리식 3차원 NAND 스트링들의 어레이의 각각의 워드 라인을 수용하기 위한 공간을 한정할 수 있다.
- [0080] 복수의 후면 리세스들(43) 각각은 기판(9, 10)의 상부 표면에 실질적으로 평행하게 연장될 수 있다. 후면 리세스(43)는 아래에 놓인 절연 층(32)의 상부 표면 및 위에 놓인 절연 층(32)의 저부 표면에 의해 수직으로 경계지어질 수 있다. 일 실시예에서, 각각의 후면 리세스(43)는 전체에 걸쳐 균일한 높이를 가질 수 있다.
- [0081] 선택적인 에피택셜 채널 부분들(11) 및 반도체 재료 층(10)의 물리적으로 노출된 표면 부분들은 유전체 재료들의 반도체 재료들의 열적 변환 및/또는 플라즈마 변환에 의해 유전체 재료 부분들로 변환될 수 있다. 예를 들어, 열적 변환 및/또는 플라즈마 변환은 각각의 에피택셜 채널 부분(11)의 표면 부분을 관형 유전체 스페이서(116)로 변환하고, 반도체 재료 층(10)의 각각의 물리적으로 노출된 표면 부분을 평면형 유전체 부분(616)으로 변환하기 위해 채용될 수 있다. 일 실시예에서, 각각의 관형 유전체 스페이서(116)는 토러스(torus)에 위상적으로 동형일 수 있으며, 즉 대체로 링-형상일 수 있다. 본 명세서에 사용되는 바와 같이, 요소의 형상이 구멍을 파괴하지 않고서 그리고 토러스의 형상 내로 새로운 구멍을 형성하지 않고서 연속적으로 신장될 수 있는 경우, 요소는 토러스에 위상적으로 동형이다. 관형 유전체 스페이서들(116)은, 에피택셜 채널 부분들(11)과 동일한 반도체 요소를 포함하고 산소 및/또는 질소와 같은 적어도 하나의 비-금속성 요소를 추가로 포함하는 유전체 재료를 포함하여, 관형 유전체 스페이서들(116)의 재료가 유전체 재료이도록 한다. 일 실시예에서, 관형 유전체 스페이서들(116)은 에피택셜 채널 부분들(11)의 반도체 재료의 유전체 산화물, 유전체 질화물, 또는 유전체 산질화물을 포함할 수 있다. 마찬가지로, 각각의 평면형 유전체 부분(616)은, 반도체 재료 층과 동일한 반도체 요소를 포함하고 산소 및/또는 질소와 같은 적어도 하나의 비-금속성 요소를 추가로 포함하는 유전체 재료를 포함하여, 평면형 유전체 부분들(616)의 재료가 유전체 재료이도록 한다. 일 실시예에서, 평면형 유전체 부분들(616)은 반도체 재료 층(10)의 반도체 재료의 유전체 산화물, 유전체 질화물, 또는 유전체 산질화물을 포함할 수 있다.
- [0082] 도 15를 참조하면, 후면 차단 유전체 층(44)이 선택적으로 형성될 수 있다. 후면 차단 유전체 층(44)은, 존재하는 경우, 후면 리세스들(43) 내에 후속적으로 형성될 제어 게이트들을 위한 제어 게이트 유전체로서 기능하는 유전체 재료를 포함한다. 차단 유전체 층(52)이 각각의 메모리 개구 내에 존재하는 경우에, 후면 차단 유전체 층은 선택적이다. 차단 유전체 층(52)이 생략되는 경우에, 후면 차단 유전체 층은 존재한다.
- [0083] 후면 차단 유전체 층(44)은 후면 리세스들(43) 내에 그리고 후면 트렌치(79)의 측벽 상에 형성될 수 있다. 후면 차단 유전체 층(44)은 후면 리세스들(43) 내에서 절연 층(32)의 수평 표면들 및 메모리 스택 구조물들(55)의 측벽들 상에 직접 형성될 수 있다. 후면 차단 유전체 층(44)이 형성되는 경우, 후면 차단 유전체 층(44)의 형성 이전에 관형 유전체 스페이서들(116) 및 평면형 유전체 부분(616)의 형성은 선택적이다. 일 실시예에서, 후면 차단 유전체 층(44)은 원자층 퇴적(ALD)과 같은 등각 퇴적 공정에 의해 형성될 수 있다. 후면 차단 유전체 층(44)은 본질적으로 알루미늄 산화물로 이루어질 수 있다. 후면 차단 유전체 층(44)의 두께는 1 nm 내지 15 nm, 예컨대 2 내지 6 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다.
- [0084] 후면 차단 유전체 층(44)의 유전체 재료는 알루미늄 산화물과 같은 유전체 금속 산화물, 적어도 하나의 전이 금속 원소의 유전체 산화물, 적어도 하나의 란타늄 원소의 유전체 산화물, 알루미늄, 적어도 하나의 전이 금속 원

소, 및/또는 적어도 하나의 란탄족 원소의 조합의 유전체 산화물일 수 있다. 대안적으로 또는 추가적으로, 후면 차단 유전체 층은 실리콘 산화물 층을 포함할 수 있다. 후면 차단 유전체 층은 화학 기상 퇴적 또는 원자층 퇴적과 같은 등각 퇴적 방법에 의해 퇴적될 수 있다. 후면 차단 유전체 층의 두께는 1 nm 내지 10 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다. 후면 차단 유전체 층은 후면 트렌치들(79)의 측벽들, 절연 층들(32)의 수평 표면들 및 측벽들, 후면 리세스들(43)에 물리적으로 노출되는 메모리 스택 구조물들(55)의 측벽 표면들의 부분들, 및 평면형 유전체 부분(616)의 상부 표면 상에 형성된다. 후면 공동(79')이, 후면 차단 유전체 층으로 충전되지 않은 각각의 후면 트렌치(79)의 부분 내에 존재한다.

[0085] 적어도 하나의 전도성 재료가 등각 퇴적에 의해 후면 리세스들(43), 후면 트렌치들(79)의 주변 부분들 내에, 그리고 드레인 레벨 유전체 재료 층(73) 위에 퇴적될 수 있다. 후면 리세스(43) 내에 퇴적된 적어도 하나의 전도성 재료의 각각의 연속적인 부분은 전기 전도성 층(46)을 구성한다. 후면 리세스들(43)의 외부에 퇴적된 전도성 재료는, 드레인 레벨 유전체 재료 층(73) 위에 그리고 후면 트렌치들(79)의 주변 부분들에 퇴적된 전도성 재료의 연속 층인 연속 금속성 재료 층(46L)을 집합적으로 구성한다.

[0086] 예시적인 예에서, 금속성 배리어 층(명시적으로 도시되지 않음)이 후면 리세스들 내에 퇴적될 수 있다. 금속성 배리어 층은 후속적으로 퇴적될 금속성 충전 재료에 대한 확산 배리어 층 및/또는 접착 촉진 층으로서 기능할 수 있는 전기 전도성 금속성 재료를 포함한다. 금속성 배리어 층은 전도성 금속 질화물 재료, 예컨대 TiN, TaN, WN, 또는 그의 스택을 포함할 수 있거나, 또는 TiC, TaC, WC, 또는 그의 스택과 같은 전도성 금속 카바이드 재료를 포함할 수 있다. 일 실시예에서, 금속성 배리어 층은 화학 기상 퇴적(CVD) 또는 원자층 퇴적(ALD)과 같은 등각 퇴적 공정에 의해 퇴적될 수 있다. 금속성 배리어 층의 두께는 2 nm 내지 8 nm, 예컨대 3 nm 내지 6 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다. 일 실시예에서, 금속성 배리어 층은 TiN과 같은 전도성 금속 질화물로 본질적으로 이루어질 수 있다.

[0087] 금속 충전 재료가 복수의 후면 리세스들(43) 내에, 적어도 하나의 후면 콘택 트렌치(79)의 측벽들 상에, 그리고 드레인 레벨 유전체 재료 층(73)의 상부 표면 위에 퇴적되어, 금속성 충전 재료 층을 형성한다. 금속성 충전 재료는, 예를 들어 화학 기상 퇴적(CVD), 원자층 퇴적(ALD), 무전해 도금, 전기도금, 또는 이들의 조합일 수 있는 등각 퇴적 방법에 의해 퇴적될 수 있다. 일 실시예에서, 금속성 충전 재료 층은 적어도 하나의 원소 금속으로 본질적으로 이루어질 수 있다. 금속성 충전 재료 층의 적어도 하나의 원소 금속은, 예를 들어 텅스텐, 코발트, 루테튬, 티타늄, 및 탄탈륨으로부터 선택될 수 있다. 일 실시예에서, 금속성 충전 재료 층은 본질적으로 단일 원소 금속으로 이루어질 수 있다. 일 실시예에서, 금속성 충전 재료 층은 WF<sub>6</sub>과 같은 불소-함유 전구체 기체를 채용하여 퇴적될 수 있다. 일 실시예에서, 금속성 충전 재료 층은 불순물로서의 불소 원자의 잔류 레벨을 포함하는 텅스텐 층일 수 있다. 금속성 충전 재료 층은 금속성 배리어 층에 의해 절연 층들(32) 및 메모리 스택 구조물들(55)로부터 이격되며, 금속성 배리어 층은 그를 통한 불소 원자의 확산을 차단하는 금속성 배리어 층이다.

[0088] 복수의 전기 전도성 층들(46)이 복수의 후면 리세스들(43) 내에 형성될 수 있다. 연속적인 금속성 재료 층(46L)은 각각의 후면 콘택 트렌치(79)의 측벽들 상에 그리고 드레인 레벨 유전체 재료 층(73) 위에 형성될 수 있다. 각각의 전기 전도성 층(46)은 금속성 배리어 층의 일부분, 및 유전체 재료 층들 - 절연 층들(32)의 쌍, 최저부 절연 층 및 게이트 유전체 층(12), 또는 최상부 절연 층 및 절연 캡 층(70)일 수 있음 - 의 수직으로 이웃하는 쌍 사이에 위치되는 금속성 충전 재료 층의 일부분을 포함한다. 연속적인 금속성 재료 층(46L)은 금속성 배리어 층의 연속적인 부분, 및 후면 트렌치들(79) 내에 또는 드레인 레벨 유전체 재료 층(73) 위에 위치되는 금속성 충전 재료 층의 연속적인 부분을 포함한다.

[0089] 각각의 희생 재료 층(42)은 전기 전도성 층(46)으로 대체될 수 있다. 후면 차단 유전체 층 및 연속적인 금속성 재료 층(46L)으로 충전되지 않는 각각의 후면 콘택 트렌치(79)의 부분 내에 후면 공동(79')이 존재한다. 관형 유전체 스페이서(116)가 에피택셜 채널 부분(11)을 측방향으로 둘러싼다. 최저부 전기 전도성 층(46)은 전기 전도성 층들(46)의 형성 시에 각각의 관형 유전체 스페이서(116)를 측방향으로 둘러싼다.

[0090] 도 16을 참조하면, 연속적인 전기 전도성 재료 층(46L)의 퇴적된 금속성 재료는, 예를 들어 등방성 습식 에칭, 이방성 건식 에칭, 또는 이들의 조합에 의해, 각각의 후면 콘택 트렌치(79)의 측벽들로부터 그리고 드레인 레벨 유전체 재료 층(73) 위로부터 다시 에칭된다. 후면 리세스들(43) 내의 퇴적된 금속성 재료의 각각의 나머지 부분은 전기 전도성 층(46)을 구성한다. 각각의 전기 전도성 층(46)은 전도성 라인 구조물일 수 있다. 따라서, 희생 재료 층들(42)은 전기 전도성 층들(46)로 대체된다.

[0091] 각각의 드레인 선택 레벨 게이트 전극(29)은 수직 NAND 스트링의 드레인 측 선택 게이트 전극(SGD)으로서 기능

한다. 최저부 전기 전도성 층들 중 하나 또는 몇몇은 수직 NAND 스트링의 소스 측 선택 게이트 전극(SGS)으로서 기능한다. 드레인 측 및 소스 측 선택 게이트 전극들 사이에 위치한 각각의 전기 전도성 층(46)은, 동일한 레벨에 위치한 복수의 제어 게이트 전극들과, 동일한 레벨에 위치한 복수의 제어 게이트 전극들과 전기적으로 상호접속하는, 즉 전기적으로 단락되는 워드 라인의 조합으로서 기능할 수 있다. 각각의 전기 전도성 층(46) 내의 복수의 제어 게이트 전극들은 메모리 스택 구조물들(55)을 포함하는 수직 메모리 디바이스들을 위한 제어 게이트 전극들이다. 다시 말하면, 각각의 전기 전도성 층(46)은 복수의 수직 메모리 디바이스들을 위한 공통 제어 게이트 전극으로서 기능하는 워드 라인일 수 있다.

[0092] 일 실시예에서, 연속적인 전기 전도성 재료 층(46L)의 제거는 후면 차단 유전체 층(44)의 재료에 대해 선택적일 수 있다. 이러한 경우에, 후면 차단 유전체 층(44)의 수평 부분은 각각의 후면 콘택 트렌치(79)의 저부에 존재할 수 있다. 게이트 유전체 층(12)은 후면 차단 유전체 층(44)의 수평 부분에 의해 후면 콘택 트렌치(79)로부터 수직으로 이격될 수 있다.

[0093] 다른 실시예에서, 연속적인 전기 전도성 재료 층(46L)의 제거는 후면 차단 유전체 층(44)의 재료에 대해 선택적이지 않을 수 있거나, 후면 차단 유전체 층(44)은 채용되지 않을 수 있다. 이러한 경우에, 게이트 유전체 층(12)의 상부 표면 및/또는 측벽 표면은, 게이트 유전체 층(12)이 연속적인 전기 전도성 재료 층(46L)의 제거 동안 제거되지 않거나 부분적으로 제거되는지에 따라 후면 콘택 트렌치(79)의 저부에서 물리적으로 노출될 수 있다. 후면 공동(79')이 각각의 후면 콘택 트렌치(79) 내에 존재한다.

[0094] 도 17을 참조하면, 절연 재료 층이 등각 퇴적 공정에 의해 적어도 하나의 후면 콘택 트렌치(79) 내에 그리고 드레인 레벨 유전체 재료 층(73) 위에 형성될 수 있다. 예시적인 등각 퇴적 공정들은 화학 기상 퇴적 및 원자층 퇴적을 포함하지만, 이들로 한정되지 않는다. 절연 재료 층은 실리콘 산화물, 실리콘 질화물, 유전체 금속 산화물, 유기실리케이트 유리, 또는 이들의 조합과 같은 절연 재료를 포함한다. 일 실시예에서, 절연 재료 층은 실리콘 산화물을 포함할 수 있다. 절연 재료 층은, 예를 들어 저압 화학 기상 퇴적(LPCVD) 또는 원자층 퇴적(ALD)에 의해 형성될 수 있다. 절연 재료 층의 두께는 1.5 nm 내지 60 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다.

[0095] 후면 차단 유전체 층(44)이 존재하는 경우, 절연 재료 층은 후면 차단 유전체 층(44)의 표면들 상에 직접 그리고 전기 전도성 층들(46)의 측벽들 상에 직접 형성될 수 있다. 후면 차단 유전체 층(44)이 채용되지 않는 경우, 절연 재료 층은 절연 층들(32)의 측벽들 상에 직접 그리고 전기 전도성 층들(46)의 측벽들 상에 직접 형성될 수 있다.

[0096] 드레인 레벨 유전체 재료 층(73) 위로부터 그리고 각각의 후면 콘택 트렌치(79)의 저부에서 절연 재료 층의 수평 부분들을 제거하기 위해, 이방성 에칭이 수행된다. 절연 재료 층의 각각의 나머지 부분은 절연 스페이서(74)를 구성한다. 후면 공동(79')이 각각의 절연 스페이서(74)에 의해 둘러싸인 체적 내에 존재한다.

[0097] 이방성 에칭 공정은 선택적인 후면 차단 유전체 층(44) 및 절연 스페이서(74)를 통하는 개구 아래에 놓인 평면형 유전체 부분(616)의 부분들을 제거하기 위한 에칭 화학작용에서의 변화와 함께 또는 이것 없이 계속될 수 있다. 개구가 각각의 후면 공동(79') 아래의 평면형 유전체 부분(616)을 통해 형성됨으로써, 후면 공동(79')을 수직으로 연장시킨다. 반도체 재료 층(10)의 상부 표면은 각각의 후면 콘택 트렌치(79)의 저부에서 물리적으로 노출될 수 있다. 각각의 평면형 유전체 부분(616)의 나머지 부분은 본 명세서에서 환형 유전체 부분(616')으로 지칭되며, 이는 반도체 재료 층(10)의 반도체 재료의 유전체 산화물을 포함할 수 있고, 균일한 두께 및 그를 통하는 개구를 가질 수 있다.

[0098] 소스 영역(61)은 반도체 재료 층(10)의 물리적으로 노출된 표면 부분들 내로의 전기 도펀트의 주입에 의해 각각의 후면 공동(79') 아래의 반도체 재료 층(10)의 표면 부분에 형성될 수 있다. 각각의 소스 영역(61)은 절연 스페이서(74)를 통하는 각각의 개구 아래에 놓이는 기관(9, 10)의 표면 부분 내에 형성된다. 주입 공정 동안의 주입된 도펀트 원자의 스트래글(straggle) 및 후속 활성화 어닐링 공정 동안의 주입된 도펀트 원자의 측방향 확산으로 인해, 각각의 소스 영역(61)은 절연 스페이서(74)를 통하는 개구의 측방향 범위보다 더 큰 측방향 범위를 가질 수 있다. 각각의 소스 영역(61)은 제1 전도성 유형과 반대인 제2 전도성 유형의 도핑을 가질 수 있다. 예를 들어, 제1 전도성 유형이 p-형인 경우, 제2 전도성 유형은 n-형이고, 그 반대로 마찬가지이다.

[0099] 소스 영역(61)과 복수의 에피택셜 채널 부분들(11) 사이에서 연장되는 반도체 재료 층(10)의 상부 부분은 복수의 전계 효과 트랜지스터들을 위한 수평 반도체 채널(59)을 구성한다. 수평 반도체 채널(59)은 각각의 에피택셜 채널 부분들(11)을 통해 다수의 수직 반도체 채널들(60)에 접속된다. 수평 반도체 채널(59)은 소스 영역

(61) 및 복수의 에피택셜 채널 부분들(11)과 접촉한다. 교번하는 스택(32, 46) 내의 전기 전도성 층들(46)의 형성 시에 제공되는 최저부 전기 전도성 층(46)은 전계 효과 트랜지스터들을 위한 선택 게이트 전극을 포함할 수 있다. 각각의 소스 영역(61)은 반도체 기관(9, 10)의 상부 부분에 형성된다.

[0100] 콘택 비아 구조물(76)이 각각의 공동(79') 내에 형성될 수 있다. 각각의 콘택 비아 구조물(76)은 각각의 공동(79')을 충전할 수 있다. 콘택 비아 구조물들(76)은 후면 콘택 트렌치(79)의 나머지 비충전된 체적(즉, 후면 공동(79')) 내에 적어도 하나의 전도성 재료를 퇴적함으로써 형성될 수 있다. 예를 들어, 적어도 하나의 전도성 재료는 전도성 라이너(76A) 및 전도성 충전 재료 부분(76B)을 포함할 수 있다. 전도성 라이너(76A)는 전도성 금속성 라이너, 예컨대 TiN, TaN, WN, TiC, TaC, WC, 이들의 합금, 또는 이들의 스택을 포함할 수 있다. 전도성 라이너(76A)의 두께는 3 nm 내지 30 nm의 범위일 수 있지만, 더 작고 더 큰 두께가 또한 채용될 수 있다. 전도성 충전 재료 부분(76B)은 금속 또는 금속 합금을 포함할 수 있다. 예를 들어, 전도성 충전 재료 부분(76B)은 W, Cu, Al, Co, Ru, Ni, 이들의 합금, 또는 이들의 스택을 포함할 수 있다.

[0101] 적어도 하나의 전도성 재료는, 교번하는 스택(32, 46) 위에 놓인 드레인 레벨 유전체 재료 층(73)을 정지 층으로서 채용하여 평탄화될 수 있다. 화학적 기계적 평탄화(CMP) 공정이 채용되는 경우, 드레인 레벨 유전체 재료 층(73)은 CMP 정지 층으로서 채용될 수 있다. 후면 콘택 트렌치들(79) 내의 적어도 하나의 전도성 재료의 각각의 나머지 연속적인 부분은 후면 콘택 비아 구조물(76)을 구성한다. 후면 콘택 비아 구조물(76)은 교번하는 스택(32, 46)을 통해 연장되고, 소스 영역(61)의 상부 표면과 접촉한다. 후면 차단 유전체 층(44)이 채용되는 경우, 후면 콘택 비아 구조물(76)은 후면 차단 유전체 층(44)의 측벽과 접촉할 수 있다.

[0102] 이전 실시예에서, 드레인 선택 레벨 게이트 전극들(29)은 전기 전도성 층들(예를 들어, 워드 라인들)(46)을 형성하기 전에 그리고 후면 콘택 비아 구조물(76)을 형성하기 전에 형성된다. 대안적인 하나의 실시예에서, 드레인 선택 레벨 게이트 전극들(29)을 형성하기 위한 전술된 단계들은, 전기 전도성 층들(예컨대, 워드 라인들)(46)을 형성한 후에 그리고 후면 콘택 비아 구조물(76)을 형성하기 전에 수행될 수 있다. 다른 대안적인 하나의 실시예에서, 드레인 선택 레벨 게이트 전극들(29)을 형성하기 위한 전술된 단계들은, 전기 전도성 층들(예컨대, 워드 라인들)(46)을 형성한 후에 그리고 후면 콘택 비아 구조물(76)을 형성한 후에 수행될 수 있다.

[0103] 도 18을 참조하면, 비아 공동들이 드레인 레벨 유전체 재료 층(73)을 통해 형성된다. 예를 들어, 포토레지스트 층(도시되지 않음)이 드레인 레벨 유전체 재료 층(73) 위에 적용될 수 있고, 리소그래피 방식으로 패터닝되어 메모리 스택 구조물들(55) 위에 놓이는 영역들에 개구들을 형성할 수 있다. 이방성 에칭이 수행되어, 드레인 레벨 유전체 재료 층(73)을 통해 포토레지스트 층의 패턴을 전사함으로써, 비아 공동들을 형성할 수 있다. 포토레지스트 층은 예를 들어, 애싱에 의해 후속적으로 제거될 수 있다.

[0104] 일 실시예에서, 반도체 재료는 예를 들어 저압 화학 기상 퇴적(LPCVD)과 같은 등각 반도체 재료 퇴적 공정에 의해 비아 공동들 내에 퇴적될 수 있다. 퇴적된 반도체 재료의 잉여 부분들은, 화학적 기계적 평탄화(CMP) 및/또는 리세스 에칭을 채용할 수 있는 평탄화 공정에 의해 드레인 레벨 유전체 재료 층(73)의 상부 표면을 포함하는 수평 평면 위로부터 제거될 수 있다. 반도체 재료 부분이 드레인 레벨 유전체 재료 층(73)을 통해 각각의 비아 공동 내에 형성된다. 일 실시예에서, 반도체 재료는 제1 전도성 유형의 도핑을 가질 수 있거나, 또는 진성일 수 있다. 이러한 경우에, 제2 전도성 유형의 도펀트가 각각의 반도체 재료 부분의 적어도 상부 부분 내에 주입되어 드레인 영역들(63)을 형성할 수 있으며, 이는 제2 전도성 유형의 도핑을 갖는다. 소스 영역들(61) 및 드레인 영역들(63)은  $1.0 \times 10^{19}/\text{cm}^3$  내지  $2.0 \times 10^{20}/\text{cm}^3$  범위의 도펀트 농도에서 제2 전도성 유형의 도핑을 가질 수 있지만, 더 작고 더 큰 도펀트 농도가 또한 채용될 수 있다.

[0105] 다른 실시예에서, 드레인 영역들(63)은, 드레인 선택 레벨 채널 부분들(22) 내에 제2 전도성 유형의 도펀트(예컨대, P 또는 As와 같은 n-형 도펀트)를 이온 주입하여 각각의 드레인 선택 레벨 채널 부분(22)의 적어도 상부 부분을 드레인 영역(63)으로 변환함으로써, 형성될 수 있다. 대안적인 실시예들에서, 드레인 영역들(63)은 전기 전도성 층들(예컨대, 워드 라인들)(46)을 형성하기 전에 또는 후면 콘택 비아 구조물(76)을 형성하기 전에 형성될 수 있다.

[0106] 일 실시예에서, 드레인 영역들(63)은 드레인 선택 레벨 채널 부분들(22)의 상부 표면들을 포함하는 수평 평면으로 연장될 수 있다. 이 경우에, 드레인 영역들(63)은 드레인 선택 레벨 채널 부분들(22)의 상부 표면들과 물리적으로 접촉할 수 있다. 대안적으로, 드레인 영역들(63)의 저부 표면은 드레인 선택 레벨 채널 부분들(22)의 상부 표면들을 포함하는 수평 평면 위에 위치될 수 있다. 이 경우에, 제1 전도성 유형의 도핑을 갖는 또는 진성인 반도체 재료 부분들의 나머지 부분들은 상부 반도체 채널 부분(64)을 구성한다.

- [0107] 반도체 채널들(59, 11, 60, 22, 64)은 각각의 드레인 영역(63)과, 드레인 영역들(63) 아래에 놓인 메모리 스택 구조물들(55)의 어레이에 근접한 각각의 소스 영역(61) 사이에 형성된다. 각각의 반도체 채널(59, 11, 60, 64)은 수평 반도체 채널(59), 선택적인 에피택셜 채널 부분(11)(존재하는 경우), 수직 반도체 채널(60, 22 및 선택적으로 64)을 포함한다. 각각의 수직 반도체 채널(60, 22, 64)은 메모리 레벨 채널 부분(60), 드레인 선택 레벨 채널 부분(22), 및 선택적인 상부 반도체 채널 부분(64)을 포함한다.
- [0108] 반도체 채널(59, 11, 60, 64)의 다양한 성분들 각각은 반도체 채널(59, 11, 60, 64)의 다른 성분들의 반도체 조성(들)과 동일할 수 있거나 동일하지 않을 수 있는 독립적인 반도체 조성을 가질 수 있다. 또한, 반도체 채널(59, 11, 60, 64)의 다양한 성분들 각각은 p-도핑되거나 진성일 수 있다. 반도체 채널(59, 11, 60, 64)의 다양한 성분들 각각의 도펀트 농도는 최적의 성능을 위해 독립적으로 제어될 수 있다. 이와 같이, 반도체 채널(59, 11, 60, 64)의 다양한 성분들 각각의 도펀트 농도는 반도체 채널(59, 11, 60, 64)의 다양한 성분들 중 다른 성분들의 도펀트 농도와 동일할 수 있거나 동일하지 않을 수 있다.
- [0109] 드레인 영역들(63)은 드레인 레벨 유전체 재료 층(73) 내에 임베딩되고, 드레인 선택 레벨 게이트 전극들(29) 위에 위치될 수 있다. 일 실시예에서, 드레인 영역들(63) 각각은, 드레인 선택 레벨 채널 부분들(22) 중 각각의 하나 및 메모리 레벨 채널 부분들(60) 중 각각의 하나를 포함하고 선택적으로 상부 반도체 채널 부분(64)을 포함하는 각각의 수직 반도체 채널(60, 22, 64)의 상부 단부와 접촉할 수 있다. 일 실시예에서, 각각의 드레인 영역(63)은 드레인 영역(63) 아래에 놓인 메모리 레벨 채널 부분들(60) 중 각각의 하나의 기하학적 중심과 동일한 수직 축 상에 위치되는 각각의 기하학적 중심을 가질 수 있다. 다시 말하면, 드레인 영역들(63)은 메모리 스택 구조물들(55)의 주기적 2차원 어레이의 영역들과 일치하는 영역들에 위치된 주기적 2차원 어레이로서 형성될 수 있다. 대안적으로, 드레인 영역들(63)은, 예컨대 드레인 영역들(63)이 드레인 선택 레벨 채널 부분들(22) 내로의 이온 주입에 의해 형성될 때, 드레인 선택 레벨 채널 부분들(22)과 일치하는 영역들에 위치된 주기적 2차원 어레이로서 형성될 수 있다.
- [0110] 도 19a 및 도 19b를 참조하면, 콘택 레벨 유전체 재료 층(80)이 드레인 레벨 유전체 재료 층(73) 위에 형성될 수 있다. 콘택 레벨 유전체 재료 층(80)은 실리콘 산화물, 실리콘 질화물, 및/또는 유기실리케이트 유리과 같은 유전체 재료를 포함한다.
- [0111] 추가적인 콘택 비아 구조물들(88, 86, 8P)이 콘택 레벨 유전체 층(80), 드레인 레벨 유전체 재료 층(73), 드레인 선택 레벨 유전체 층(71)을 통해, 그리고 선택적으로 역-단차형 유전체 재료 부분(65)을 통해 형성될 수 있다. 예를 들어, 드레인 콘택 비아 구조물들(88)은 각각의 드레인 영역(63) 상의 콘택 레벨 유전체 재료 층(80)을 통해 형성될 수 있다. 제2 수평 방향(즉, hd2)으로 연장되는 비트 라인들(90)은 드레인 콘택 비아 구조물들(88)과 전기적으로 접촉하여 형성될 수 있다. 워드 라인 콘택 비아 구조물들(86)은 콘택 레벨 유전체 층(80), 드레인 레벨 유전체 재료 층(73), 드레인 선택 레벨 유전체 층(71)을 통해, 그리고 역-단차형 유전체 재료 부분(65)을 통해 전기 전도성 층들(46) 상에 형성될 수 있다. 주변 디바이스 콘택 비아 구조물들(8P)은 콘택 레벨 유전체 층(80), 드레인 레벨 유전체 재료 층(73), 드레인 선택 레벨 유전체 층(71)을 통해, 그리고 역-단차형 유전체 재료 부분(65)을 통해 주변 디바이스들의 각각의 노드들 상에 직접 형성될 수 있다.
- [0112] 본 개시내용의 예시적인 구조물은 3차원 메모리 디바이스를 포함하며, 이는: 기판(9, 10) 위에 위치된 절연 층들(32) 및 전기 전도성 층들(46)의 교번하는 스택, 교번하는 스택(32, 46)을 통해 연장되는 메모리 스택 구조물들(55) - 메모리 스택 구조물들(55) 각각은 메모리 필름(50), 및 메모리 필름(50)의 내부 측면과 접촉하는 메모리 레벨 채널 부분(60)을 포함함 -, 및 각각의 메모리 레벨 채널 부분(60) 위에 놓이는 드레인 선택 레벨 채널 부분들(22)을 포함한다. 일 실시예에서, 각각의 드레인 선택 레벨 채널 부분(22)의 기하학적 중심은 각각의 메모리 레벨 채널 부분(60)의 기하학적 중심에 대해 측방향으로 오프셋된다. 드레인 선택 레벨 게이트 유전체들(24)은 드레인 선택 레벨 채널 부분들(22)의 각각의 서브셋을 측방향으로 둘러싸고 그와 접촉한다. 드레인 선택 레벨 게이트 전극들(29)은 각각의 드레인 선택 레벨 게이트 유전체들(24)을 측방향으로 둘러싼다. 일 실시예에서, 드레인 선택 레벨 게이트 전극들은 볼록한 외부 측면들을 포함한다.
- [0113] 일 실시예에서, 메모리 스택 구조물들(55)은 제1 수평 방향(hd1)을 따라 연장되고 제2 수평 방향(hd2)을 따라 균일한 행간 피치(p)를 갖는 각각의 행들을 포함하는 2차원 주기적 어레이로서 배열되고; 드레인 선택 레벨 채널 부분들(22)은, 제1 수평 방향(hd1)을 따라 연장되고 메모리 스택 구조물들(55)의 2차원 주기적 어레이의 행간 피치(p)의 2배의 주기성을 갖는 주기적으로 변조된 행간 중심-대-중심 간격(ICS1, ICS2)을 갖는 각각의 행들로 배열된다.
- [0114] 행들의 2개의 상이한 이웃 쌍들(PRR)에 속하는 인접한 행들은, 메모리 스택 구조물들(55)의 2차원 주기적 어레이

이의 행간 피치(p)보다 크고 제1 행간 중심-대-중심 간격(ICS1)보다 큰 제2 행간 중심-대-중심 간격(ICS2)을 갖는다.

- [0115] 드레인 선택 레벨 게이트 전극들(29)은, 도 10b에 도시된 바와 같이, 드레인 선택 레벨 채널 부분들(22)의 행들의 각각의 쌍(PRR)을 측방향으로 둘러싸는 측벽들의 연속적인 세트를 갖는다.
- [0116] 드레인 선택 레벨 게이트 전극들(29)은 도 10b에 도시된 바와 같이, 행들의 각각의 쌍(PRR)에서 물리적으로 인접하지만, 행들의 각각의 쌍(PRR) 사이에서 서로 물리적으로 분리된다.
- [0117] 드레인 선택 레벨 게이트 전극들(29)의 측벽들의 연속적인 세트는 드레인 선택 레벨 채널 부분들(22)의 행들의 쌍(PRR) 내의 각각의 드레인 선택 레벨 채널 부분(22)을 부분적으로 측방향으로 둘러싸는 볼록한 외부 측벽들(29A), 및 세장형 템플릿 구조물(122)을 둘러싸는 평면형의 비-볼록한 외부 측벽들(29B)을 포함한다. 볼록한 외부 측벽들(29A)은 도 10b에 도시된 바와 같이 오목한 외부 측벽 부분들(29C)에 의해 분리된다. 대조적으로, 전기 전도성 층들(즉, 워드 라인들)(46)은, 도 16 및 도 17에 도시된 바와 같이, 콘택 비아 구조물(76)을 포함하는 후면 트렌치(79) 내의 유전체 스페이서(74)의 평면형 측벽에 맞닿는 평면형의 비-볼록한 외부 측벽들(46S)을 갖는다. 본 명세서에 사용되는 바와 같이, "외부" 측벽들은 각각의 반도체 채널 부분들(22, 60)로부터 멀어지게 향하는 측벽들이다.
- [0118] 일 실시예에서, 드레인 선택 레벨 채널 부분들(22)은 제1 수평 방향(hd1)을 따라 연장되는 행들의 쌍들(PRR)로서 배열되고; 행들의 각각의 쌍(PRR)을 갖는 2개의 행들은 메모리 스택 구조물들(55)의 2차원 주기적 어레이의 행간 피치(p)보다 작은 제1 행간 중심-대-중심 간격(ICS1)을 갖는다. 일 실시예에서, 드레인 선택 레벨 게이트 전극들(29)은 행들의 각각의 쌍(PRR) 사이에서 서로 물리적으로 분리된다. 드레인 선택 레벨 채널 부분들(22)의 행들의 쌍(PRR) 내의 각각의 드레인 선택 레벨 채널 부분(22)은 드레인 선택 레벨 게이트 전극들(29) 중 각각의 하나에 의해 측방향으로 둘러싸인다.
- [0119] 일 실시예에서, 드레인 선택 레벨 게이트 유전체들(24)은 행들의 각각의 쌍(PRR) 사이에서 서로 물리적으로 분리된다. 드레인 선택 레벨 채널 부분들(22)의 행들의 쌍(PRR) 내의 각각의 드레인 선택 레벨 채널 부분(22)은 드레인 선택 레벨 게이트 유전체들(24) 중 각각의 하나에 의해 측방향으로 둘러싸이고 그와 접촉한다. 일 실시예에서, 각각의 드레인 선택 레벨 게이트 유전체(24)는 각각의 드레인 선택 레벨 채널 부분(22)의 측벽과 접촉하는 수직 부분들, 및 드레인 선택 레벨 게이트 유전체(24)의 수직 부분들 각각의 저부 주변부에 인접하는 수평 부분을 포함한다.
- [0120] 일 실시예에서, 드레인 선택 레벨 채널 부분들(22)의 각각의 기하학적 중심은 제2 수평 방향(hd2)을 따라 각각의 아래에 놓인 메모리 레벨 채널 부분(60)의 기하학적 중심으로부터 측방향으로 오프셋되고, 제1 수평 방향(hd1)을 따라서는 측방향으로 오프셋되지 않는다. 일 실시예에서, 드레인 선택 레벨 게이트 유전체들(24) 각각은 각각의 아래에 놓인 메모리 레벨 채널 부분(60)의 상부 표면과 물리적으로 접촉한다. 3차원 메모리 디바이스는 각각의 드레인 선택 레벨 채널 부분들(22)의 상부 단부와 각각 접촉하는 드레인 영역들(63)을 추가로 포함할 수 있다.
- [0121] 일 실시예에서, 교번하는 스택(32, 46)은, 교번하는 스택(32, 46) 내의 최상부 전기 전도성 층(46) 이외의 각각의 전기 전도성 층(46)이 교번하는 스택(32, 46) 내의 임의의 위에 놓인 전기 전도성 층(46)보다 더 멀리 측방향으로 연장되는 테라스 영역을 포함한다. 테라스 영역은, 교번하는 스택(32, 46) 내의 최저부 층으로부터 교번하는 스택(32, 46) 내의 최상부 층까지 연속적으로 연장되는 교번하는 스택(32, 46)의 단차형 표면들을 포함한다. 지지 기둥 구조물들(20)이, 단차형 표면들을 통해, 그리고 단차형 표면들 위에 놓이는 역-단차형 유전체 재료 부분(65)을 통해 연장된다.
- [0122] 예시적인 구조물은 3차원 메모리 디바이스를 포함할 수 있다. 일 실시예에서, 3차원 메모리 디바이스는 수직 NAND 메모리 디바이스를 포함한다. 전기 전도성 층들(46)은 모놀리식 3차원 NAND 메모리 디바이스의 각각의 워드 라인을 포함할 수 있거나, 그에 전기적으로 접속될 수 있다. 기판(9, 10)은 실리콘 기판을 포함할 수 있다. 수직 NAND 메모리 디바이스는 실리콘 기판 위에 모놀리식 3차원 NAND 스트링들의 어레이를 포함할 수 있다. 모놀리식 3차원 NAND 스트링들의 어레이의 제1 디바이스 레벨 내의 적어도 하나의 메모리 셀(전기 전도성 층(46)의 레벨에서 전하 저장 층(54)의 일부분으로서 구현된 바와 같음)은 모놀리식 3차원 NAND 스트링들의 어레이의 제2 디바이스 레벨 내의 다른 메모리 셀(다른 전기 전도성 층(46)의 레벨에서 전하 저장 층(54)의 다른 부분으로서 구현됨) 위에 위치될 수 있다. 실리콘 기판은 그 위에 위치된 메모리 디바이스를 위한 드라이버 회로를 포함하는 집적 회로를 포함할 수 있다. 전기 전도성 층들(46)은 예를 들어, 후면 트렌치들(79)의 쌍 사이에서,

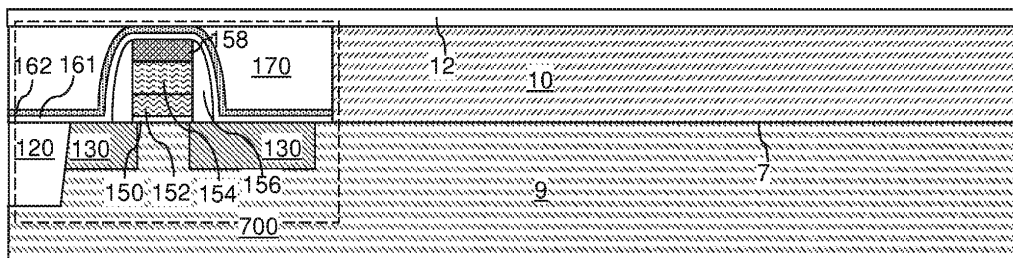
기관(9, 10)의 상부 표면에 실질적으로 평행하게 연장되는 스트립 형상을 갖는 복수의 제어 게이트 전극들을 포함할 수 있다. 복수의 제어 게이트 전극들은 적어도 제1 디바이스 레벨 내에 위치한 제1 제어 게이트 전극 및 제2 디바이스 레벨 내에 위치한 제2 제어 게이트 전극을 포함한다. 모놀리식 3차원 NAND 스트링들의 어레이는: 복수의 반도체 채널들(59, 11, 60, 22, 64) - 여기서 복수의 반도체 채널들(59, 11, 60, 22, 64) 각각의 적어도 하나의 단부 부분(60, 22, 64)은 기관(9, 10)의 상부 표면에 실질적으로 수직으로 연장됨 -; 및 복수의 전하 저장 요소들(전하 트래핑 재료 부분들으로서 구현되는 바와 같음)을 포함할 수 있다. 각각의 전하 저장 요소는 복수의 반도체 채널들(59, 11, 60, 22, 64) 중 각각의 하나에 인접하게 위치될 수 있다.

[0123] 본 개시내용의 일 실시예는 SGD 디바이스 패턴화 및 격리를 위한 단일 마스크 단계, 및 2-스태거링된 SGD 디바이스 격리를 실현하기 위한 간단한 공정 단계들을 사용하여 드레인 측 선택 게이트(SGD) 디바이스를 제조하는 보다 간단한 방법을 제공한다. 2-스태거링된 SGD 디바이스는 전용 공간을 요구함이 없이 채널 포스트들(22) 및 자가-정렬된 선택 게이트 전극(29) 격리의 형성에 의해 3차원 NAND 메모리 어레이의 상부 상에 형성된다. 종래 기술의 공정들에서 메모리 블록들 사이의 드레인 측 선택 게이트 전극들을 분리하는 얇은 트렌치 격리 공정은 드레인 측 선택 게이트 전극(29)의 자가 정렬 분리로 인해 생략될 수 있다.

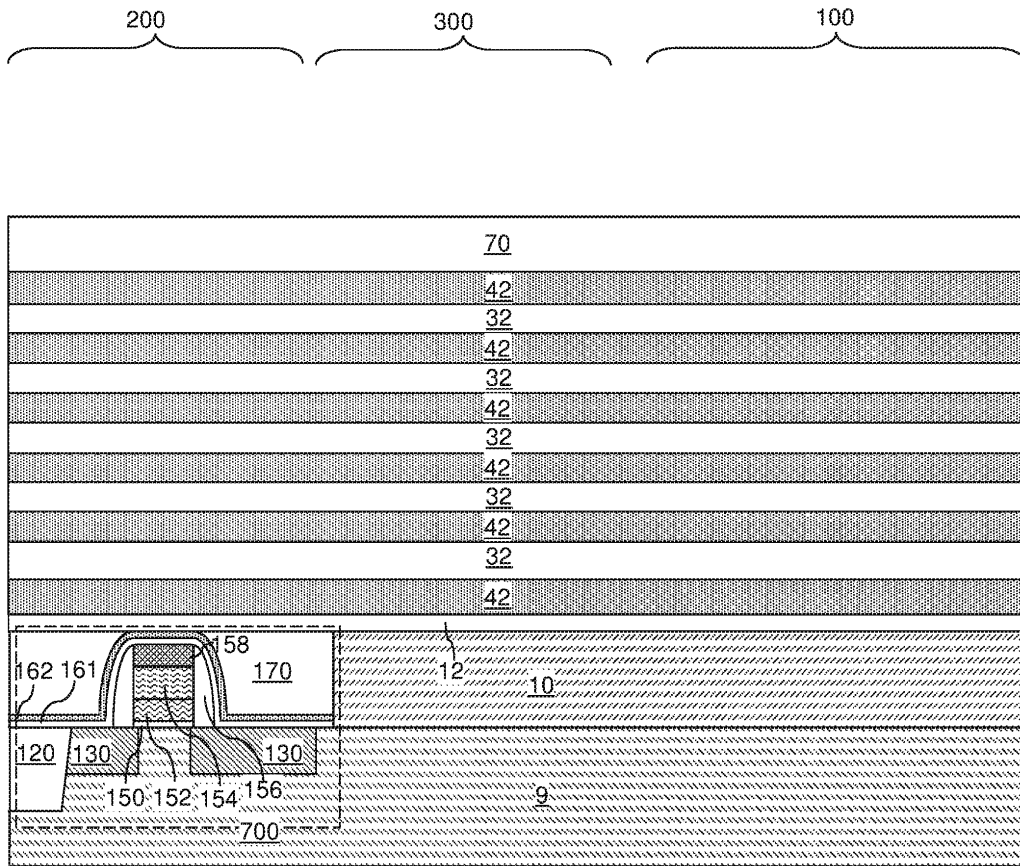
[0124] 전술한 내용이 특정 바람직한 실시예들을 언급하지만, 본 개시내용이 그렇게 제한되지 않는다는 것이 이해될 것이다. 다양한 수정들이 개시된 실시예들에 대해 이루어질 수 있고 그러한 수정들은 본 개시내용의 범주 내에 있도록 의도된다는 것이 당업자에게 떠오를 것이다. 특정 구조 및/또는 구성을 채용하는 실시예가 본 개시내용에 예시되어 있는 경우, 본 개시내용은, 그러한 치환이 명백히 금지되거나 달리 당업자에게 불가능하다고 알려져 있지 않다면, 기능적으로 등가인 임의의 다른 호환가능한 구조들 및/또는 구성들로 실시될 수 있음이 이해된다. 본 명세서에 인용된 모든 간행물, 특허 출원 및 특허는 전체적으로 본 명세서에 참고로 포함된다.

도면

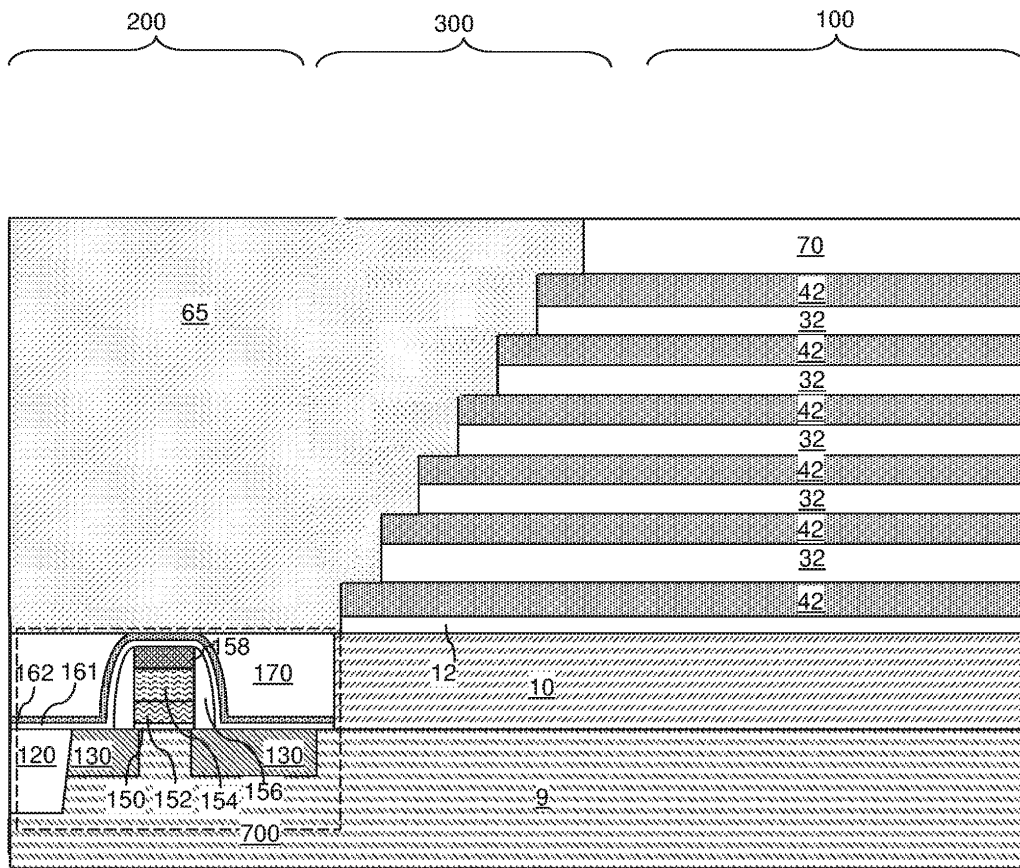
도면1



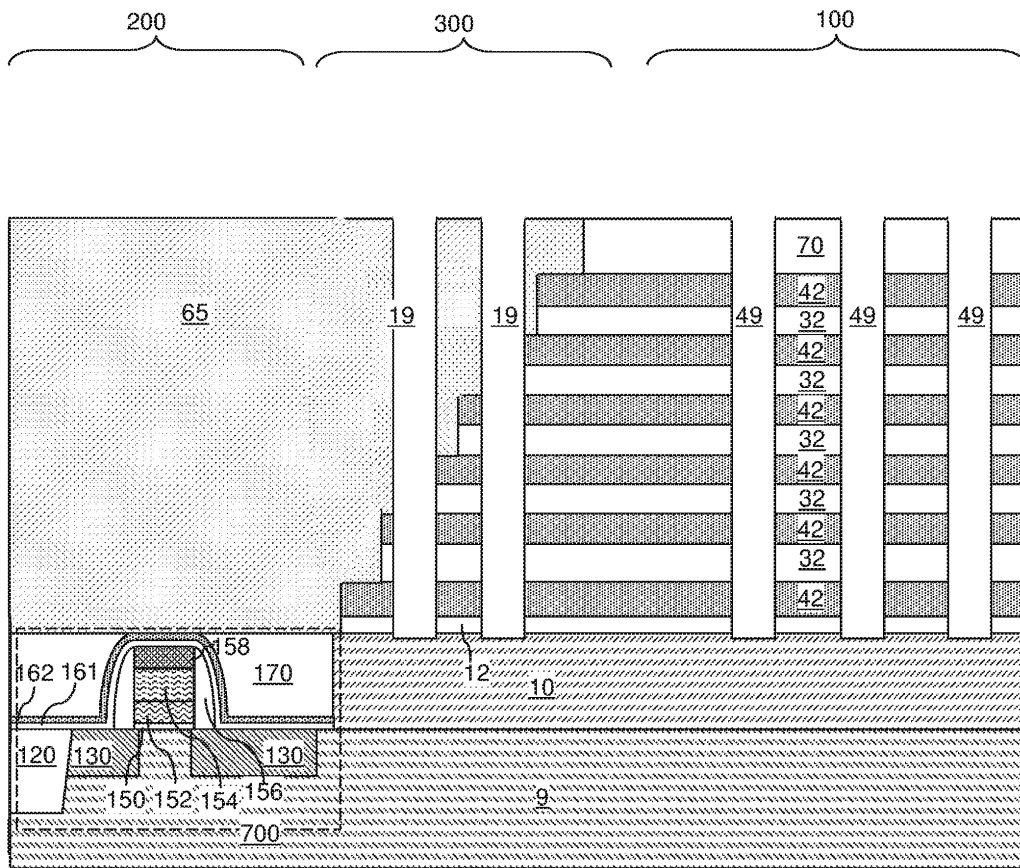
도면2



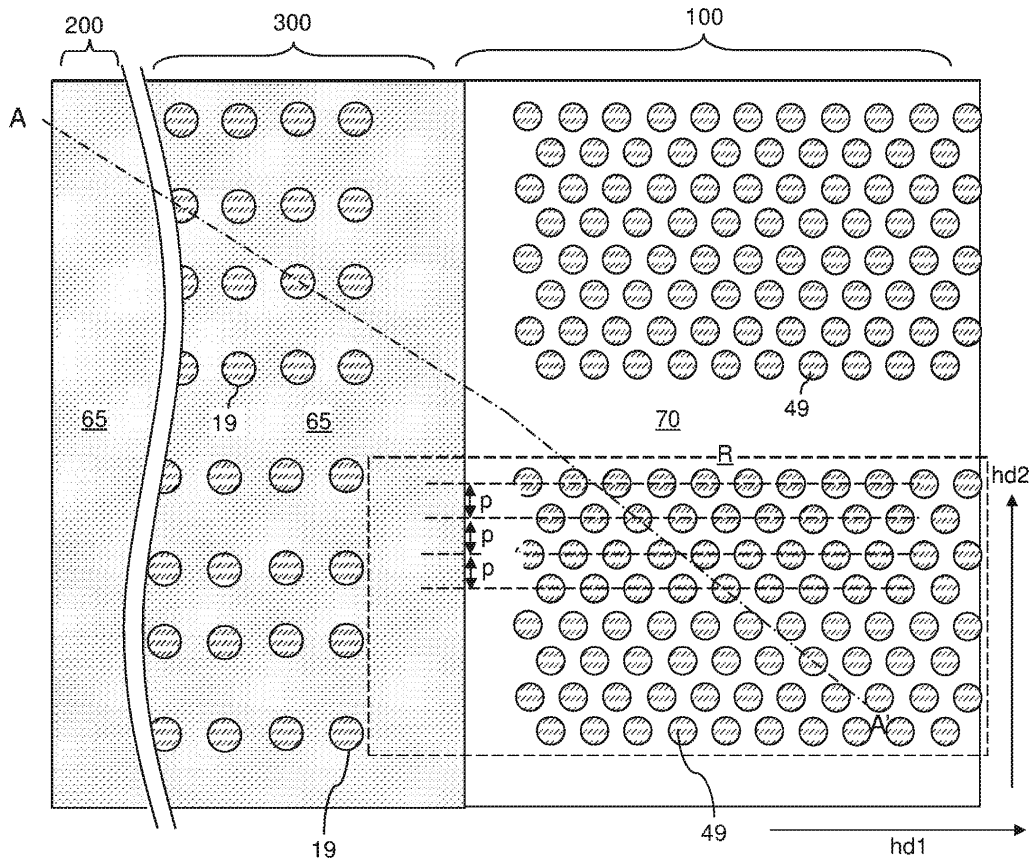
도면3



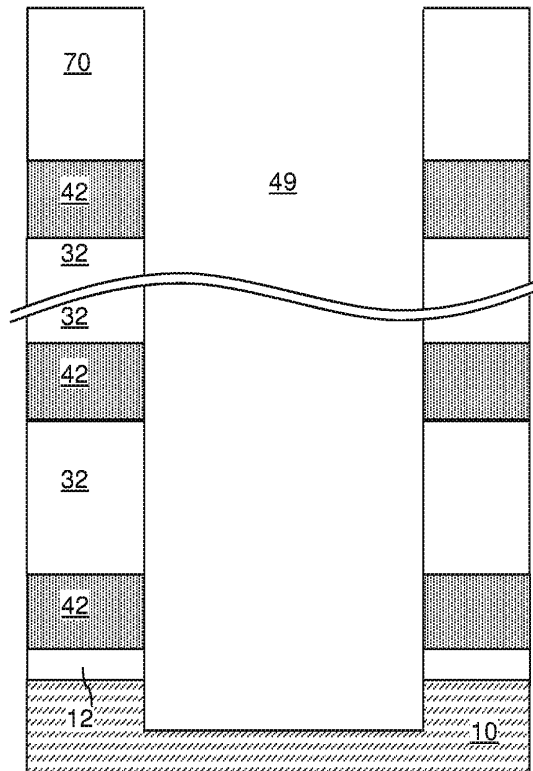
도면4a



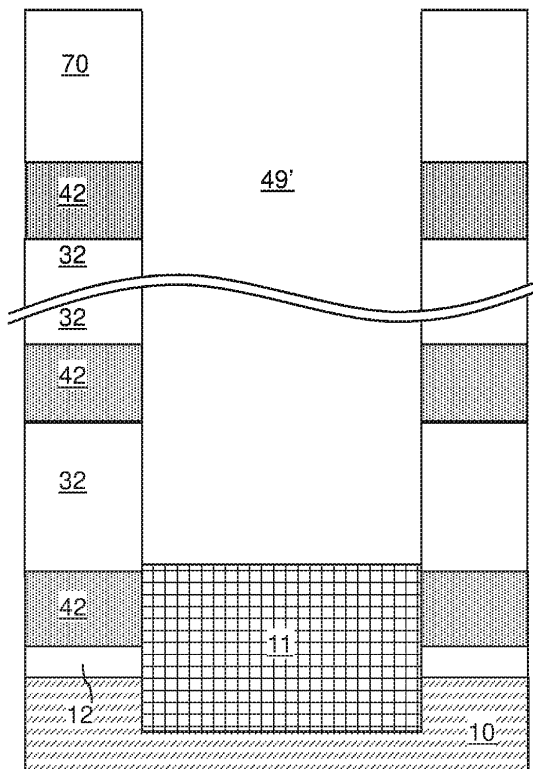
도면4b



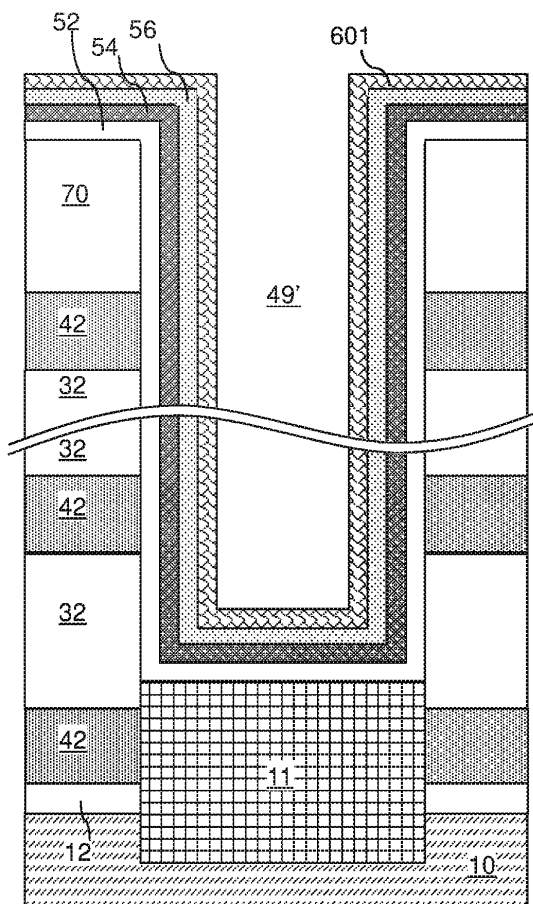
도면5a



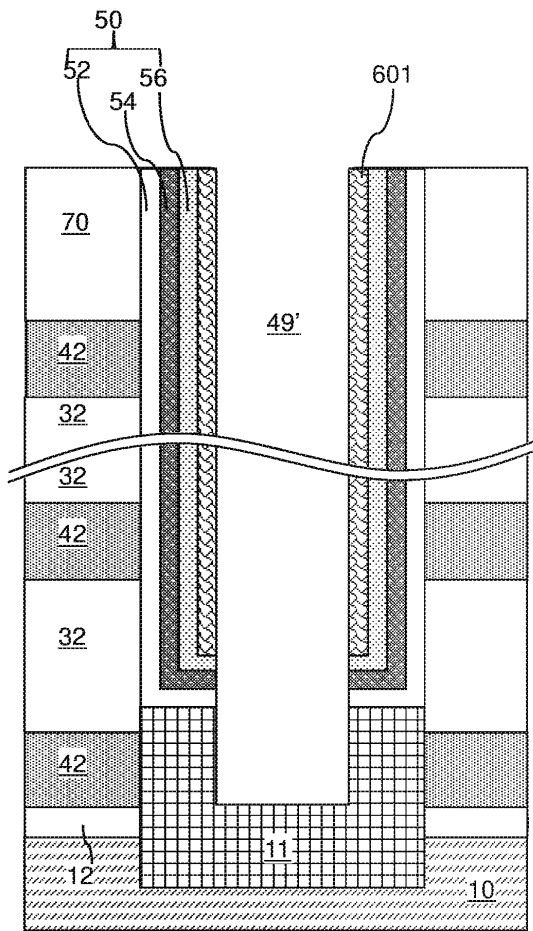
도면5b



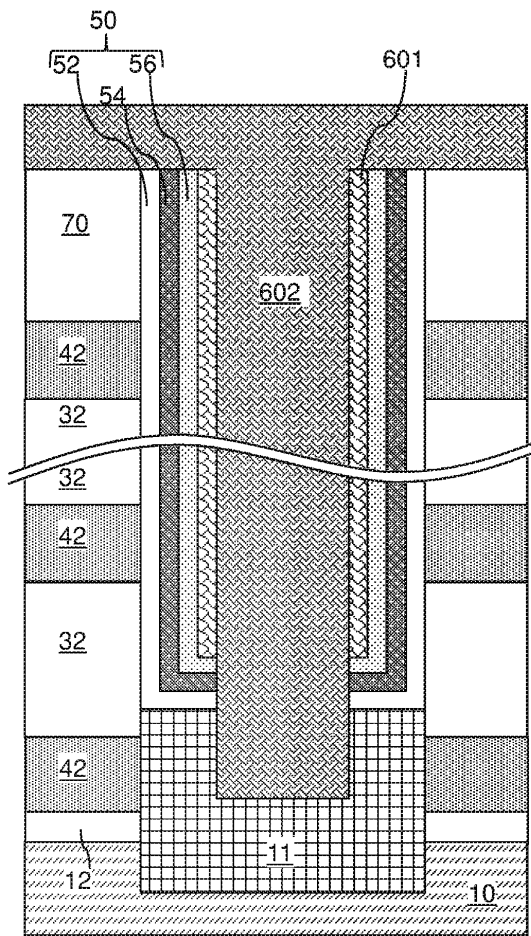
도면5c



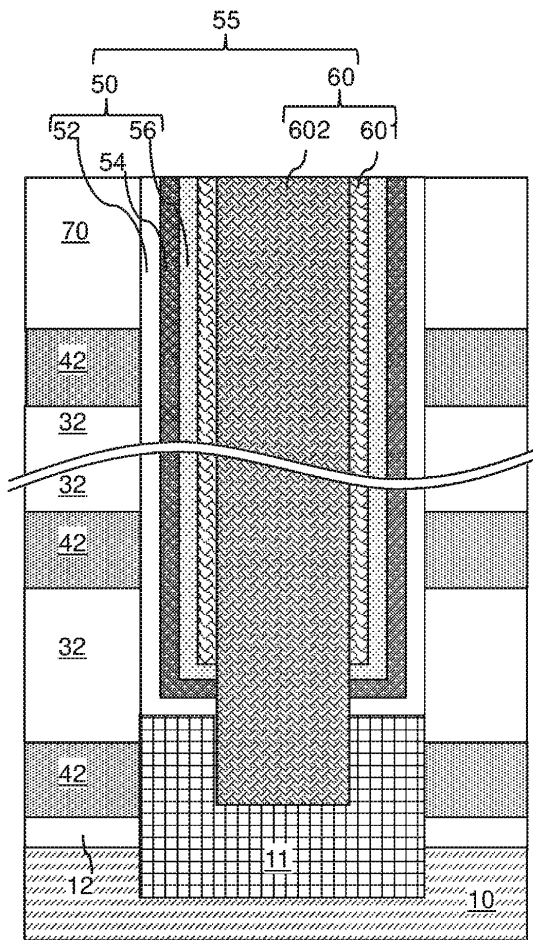
도면5d



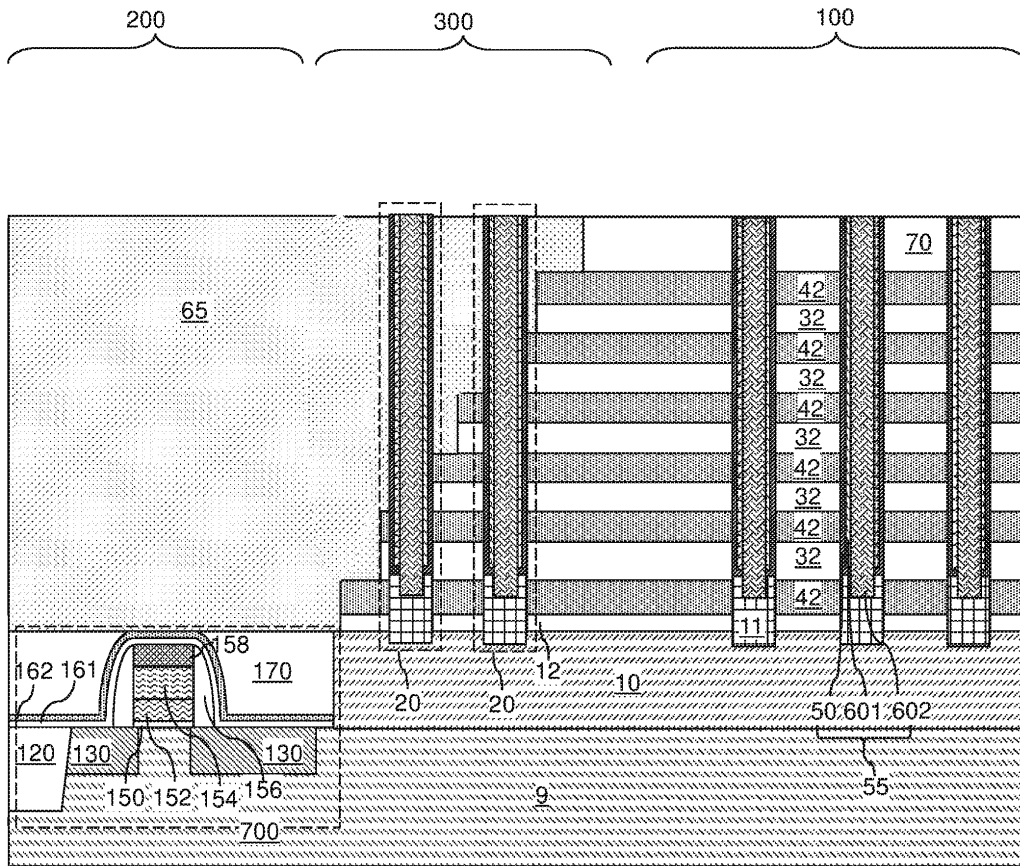
도면5e



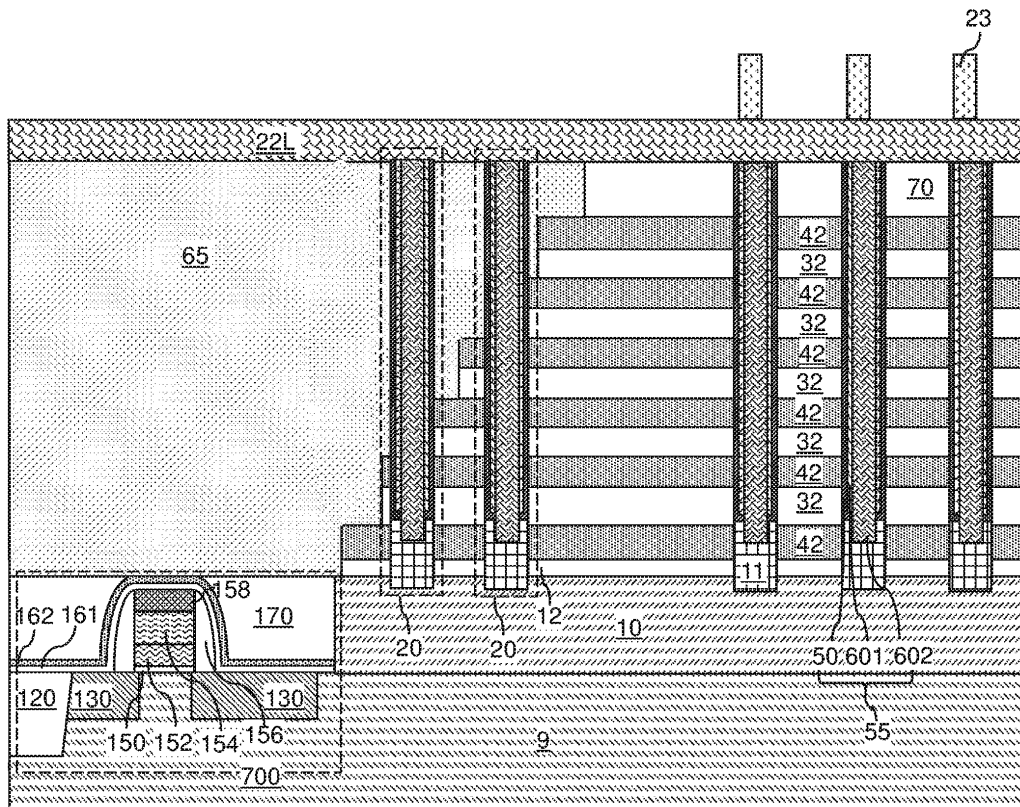
도면5f



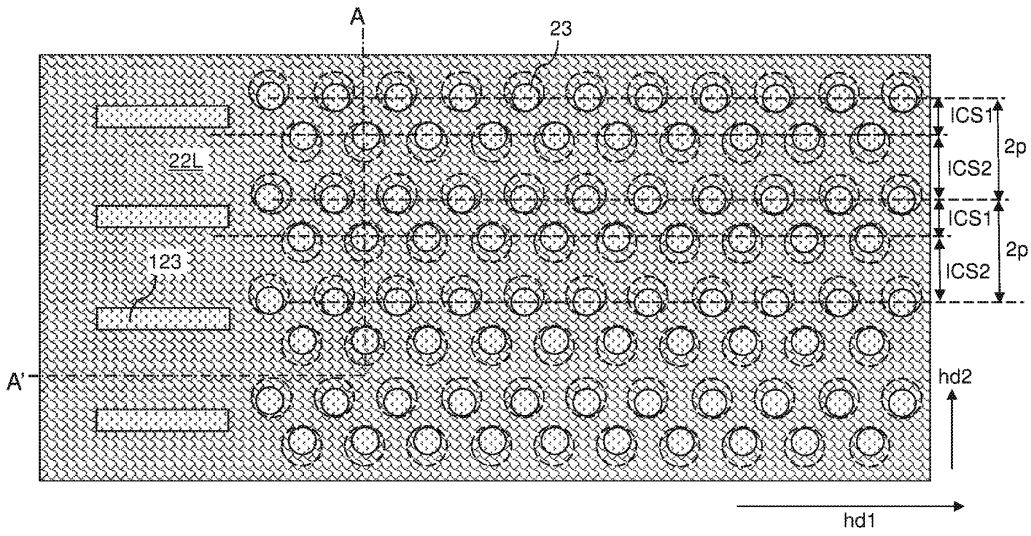
도면6



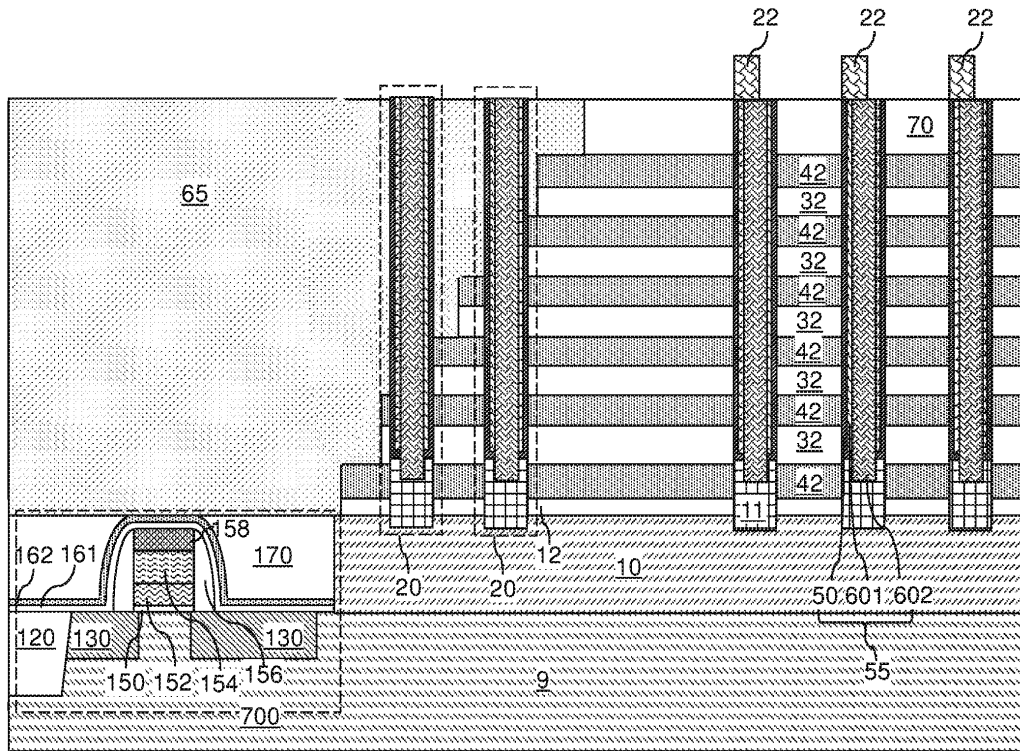
도면7a



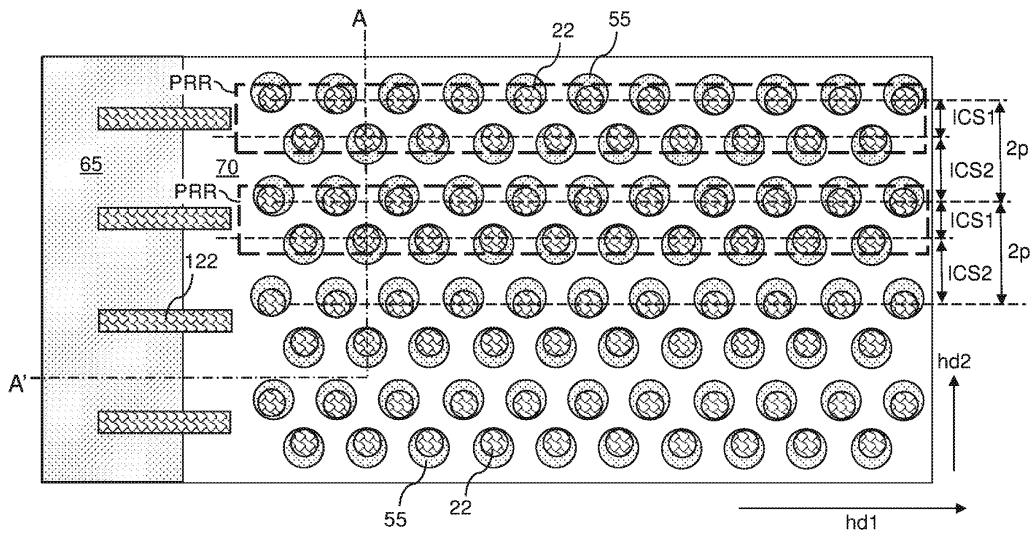
도면7b



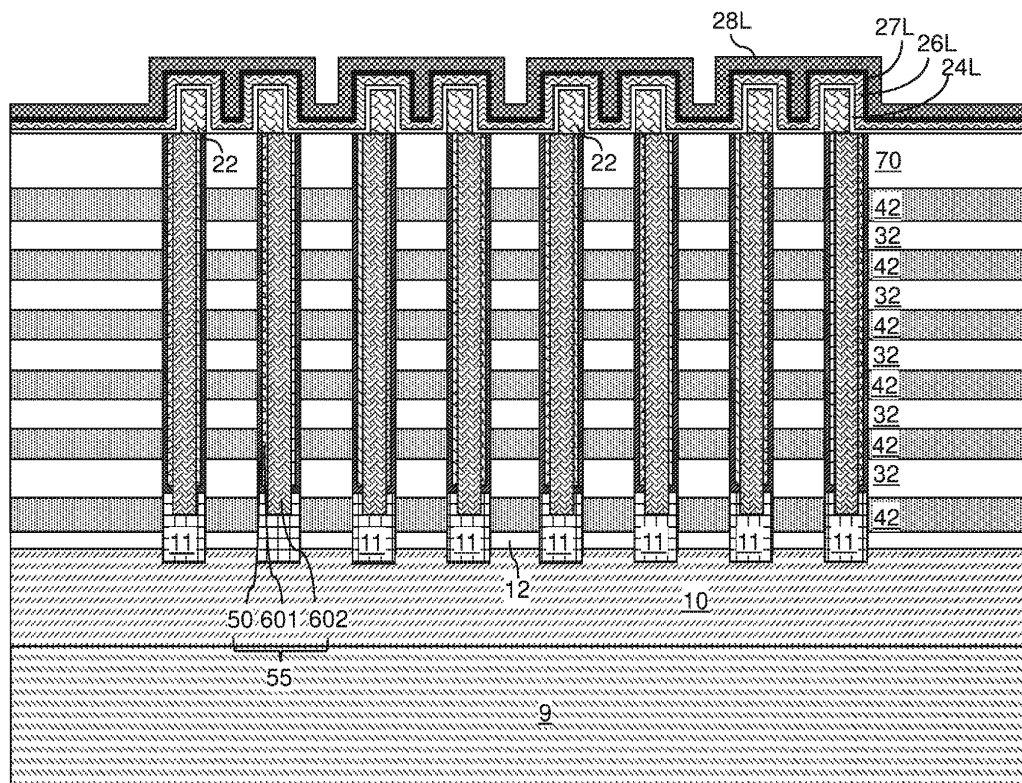
도면8a



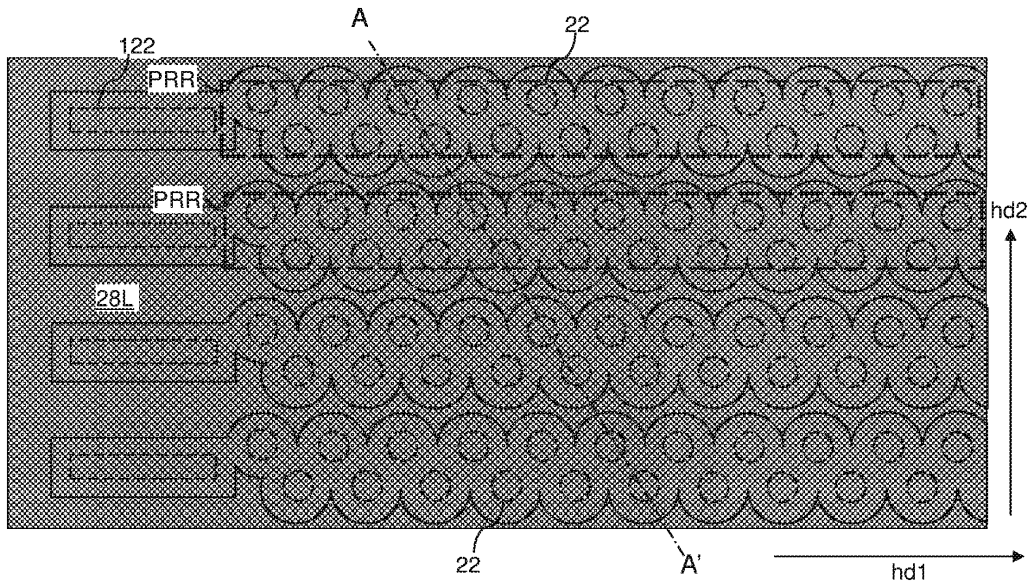
도면8b



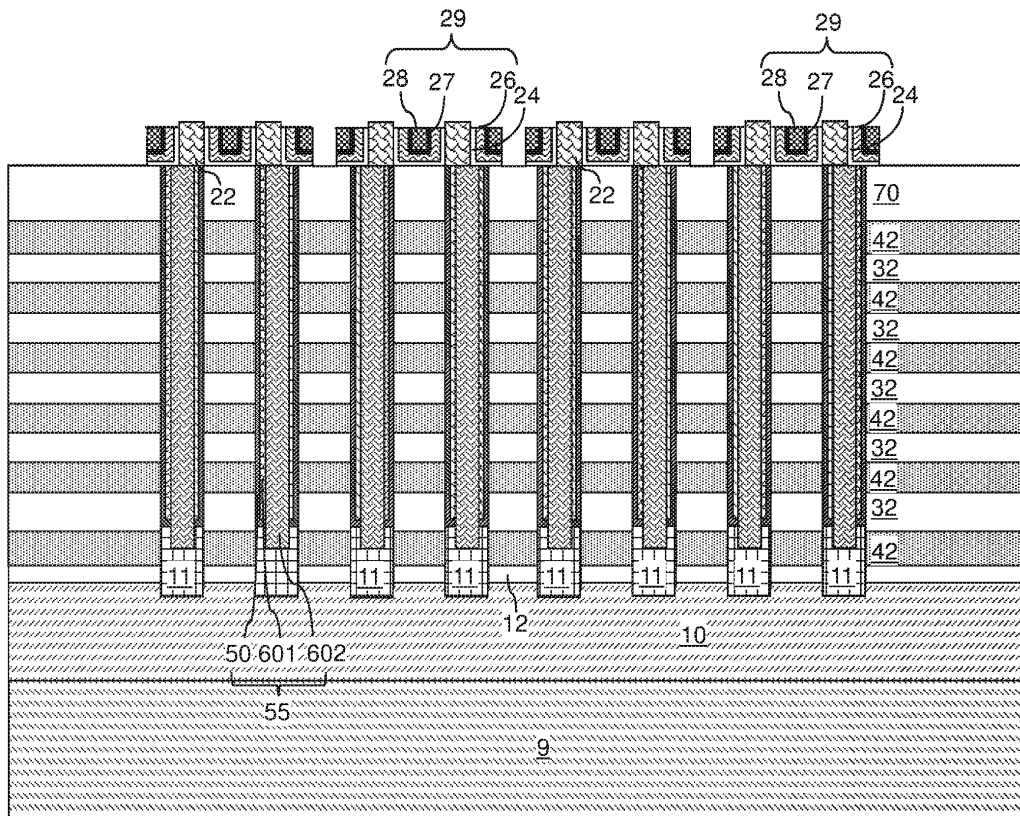
도면9a



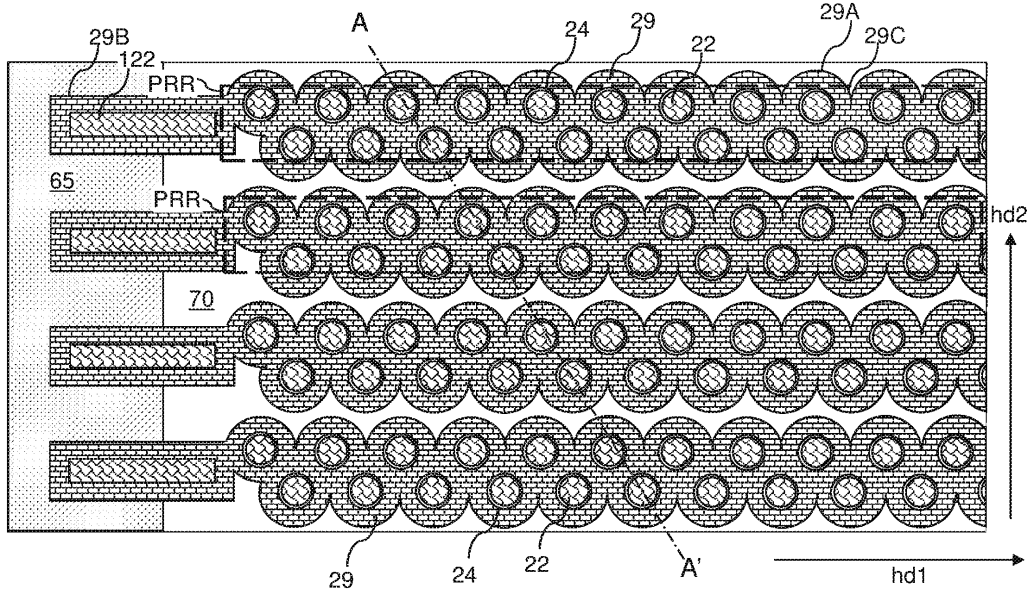
도면9b



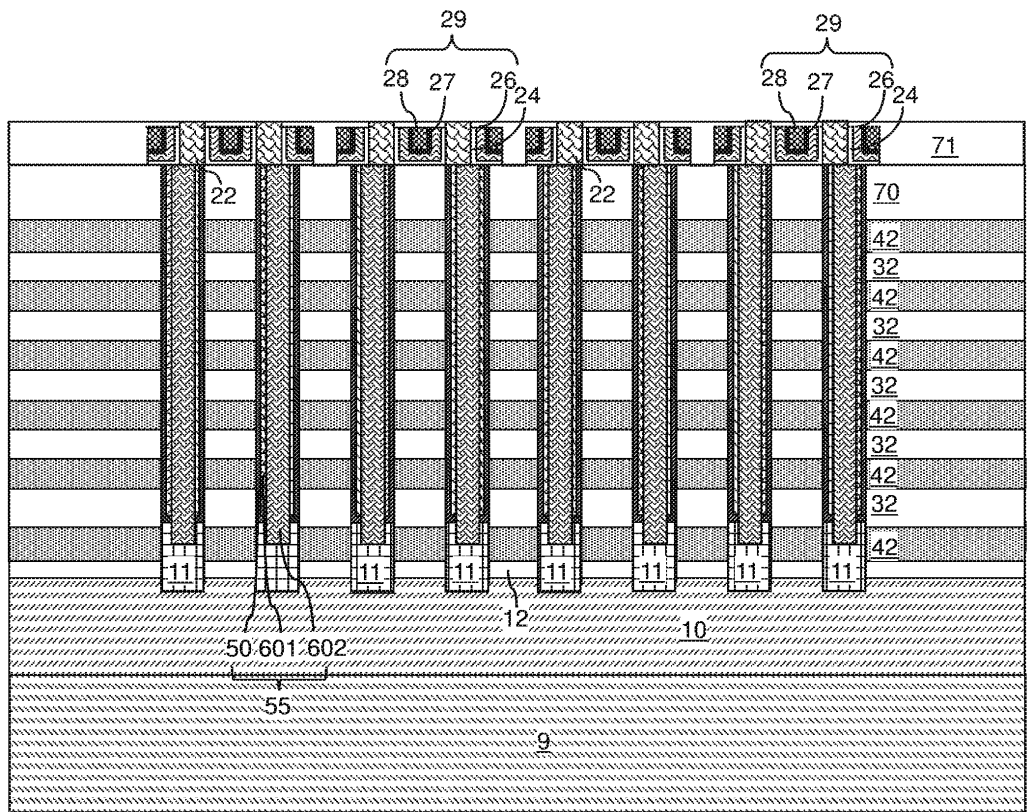
도면10a



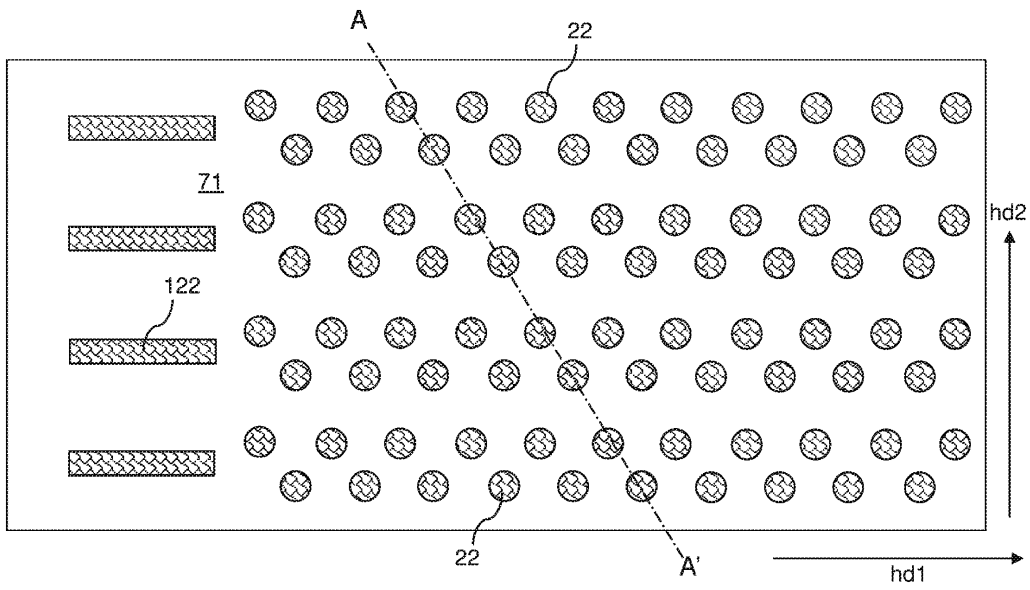
도면10b



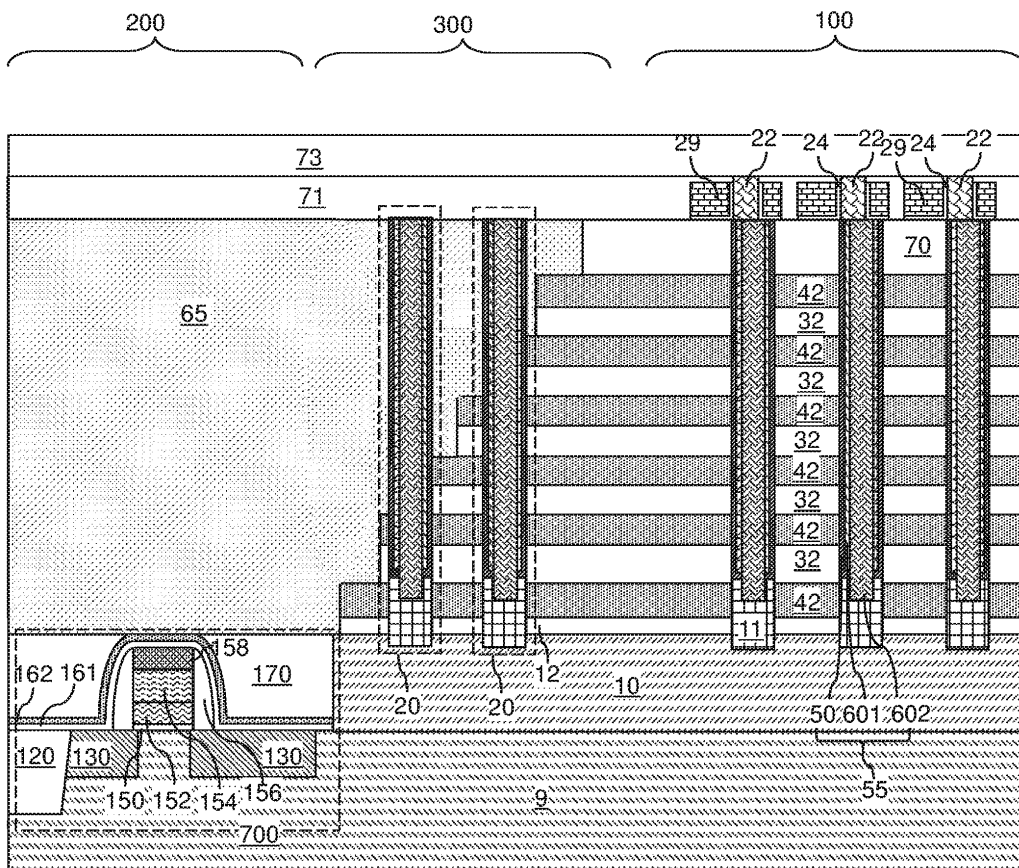
도면11a



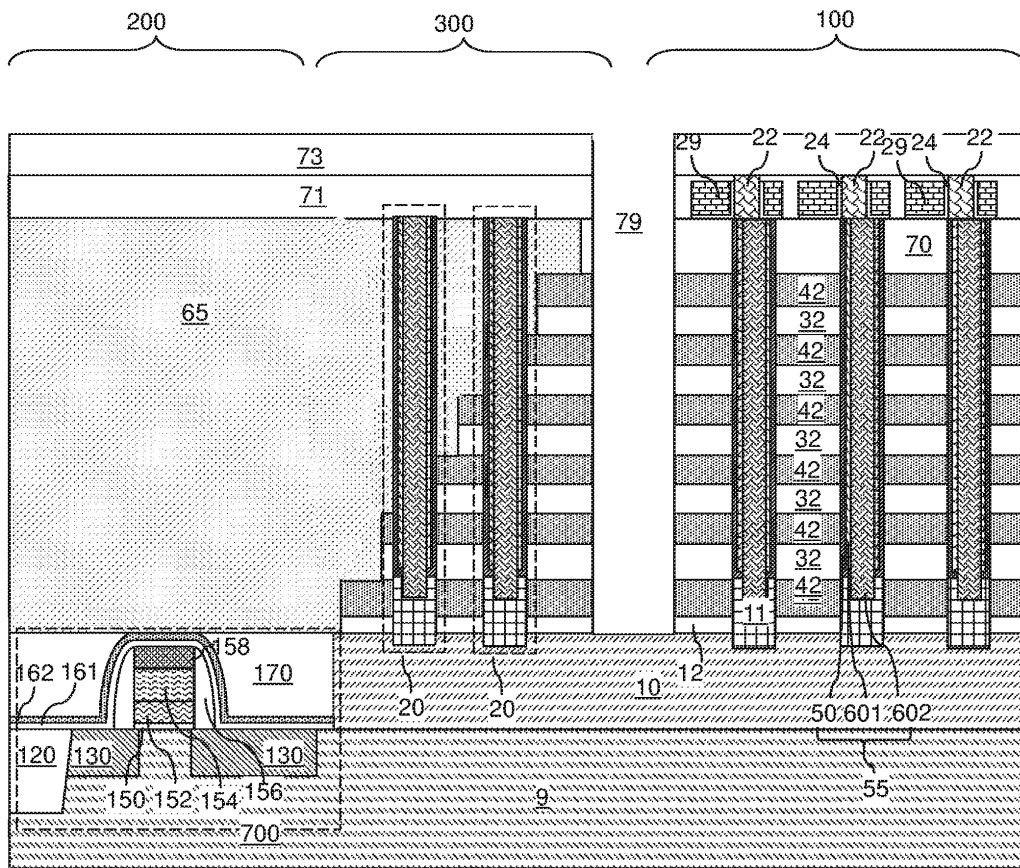
도면11b



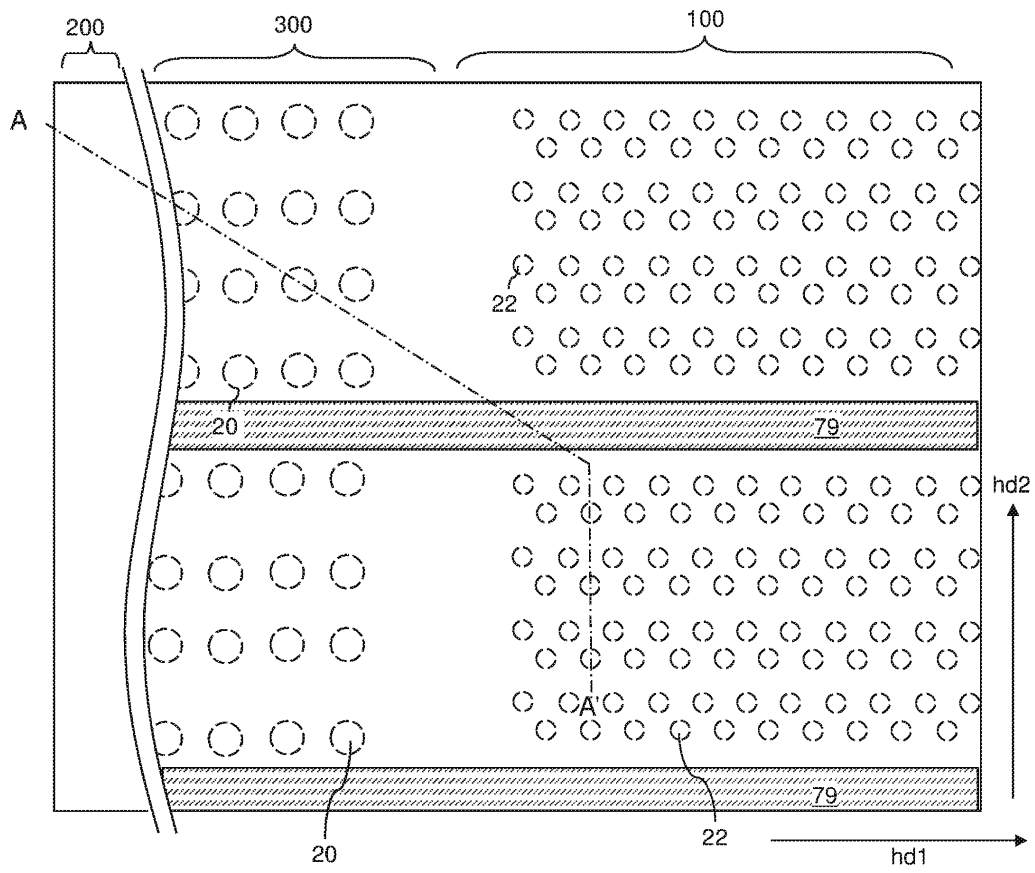
도면12



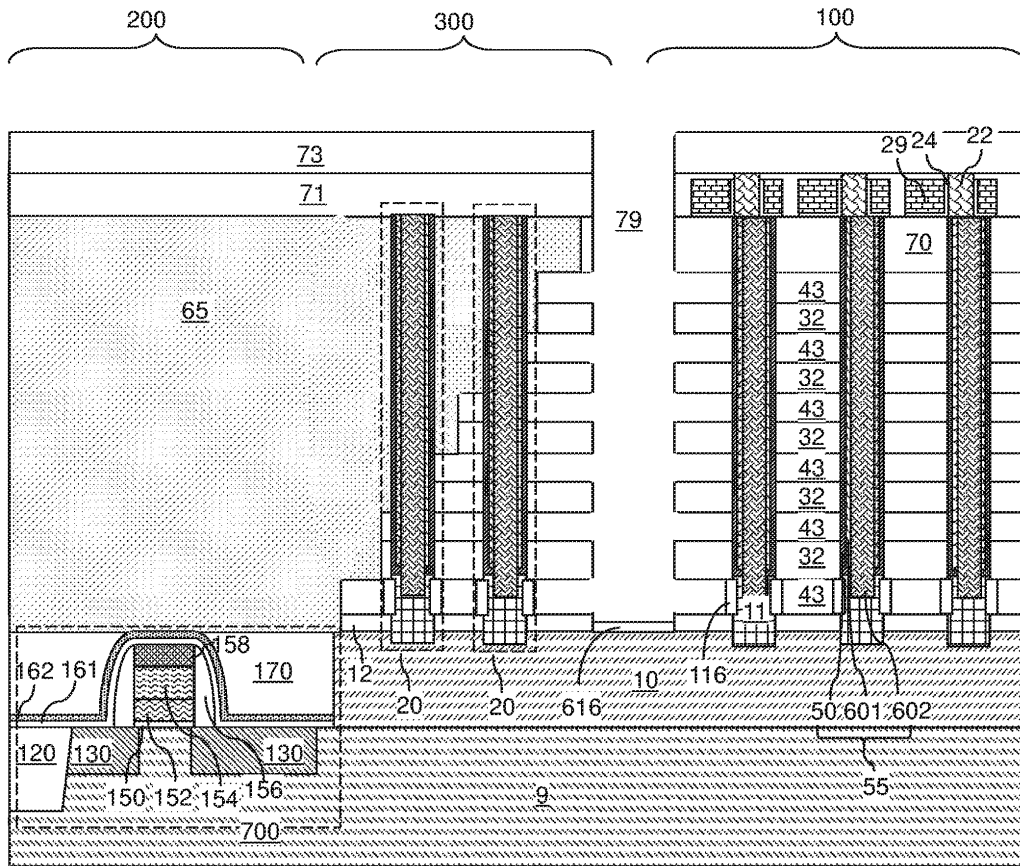
도면13a



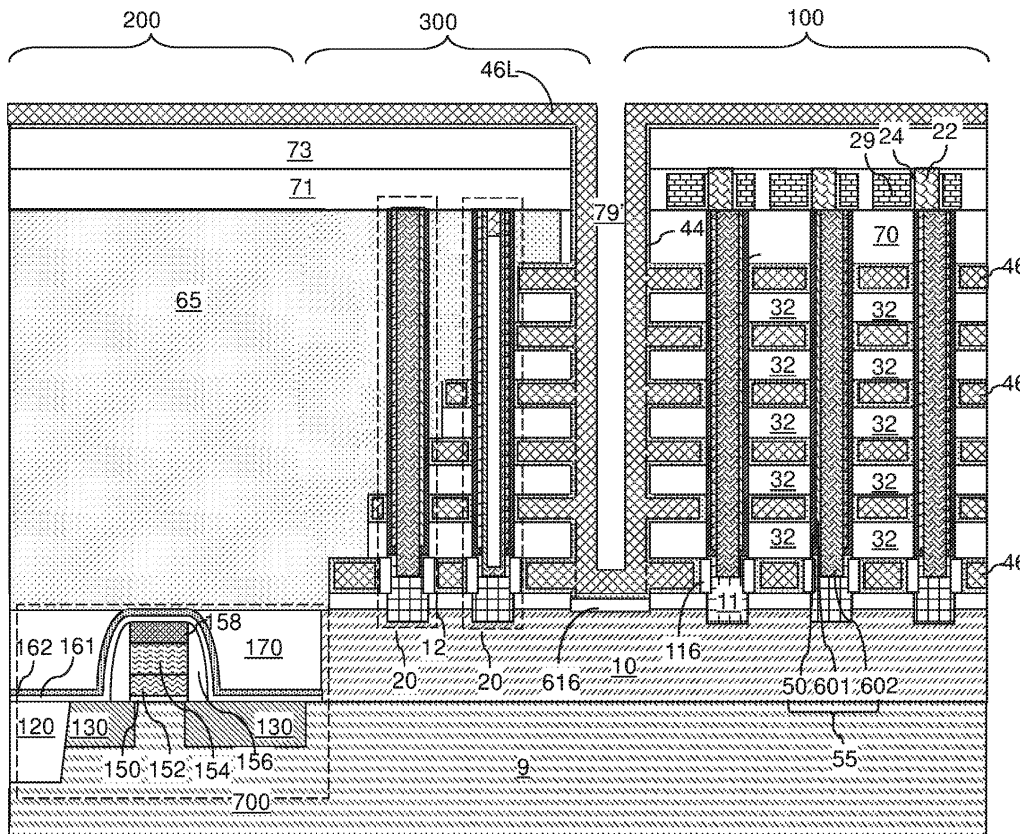
도면13b



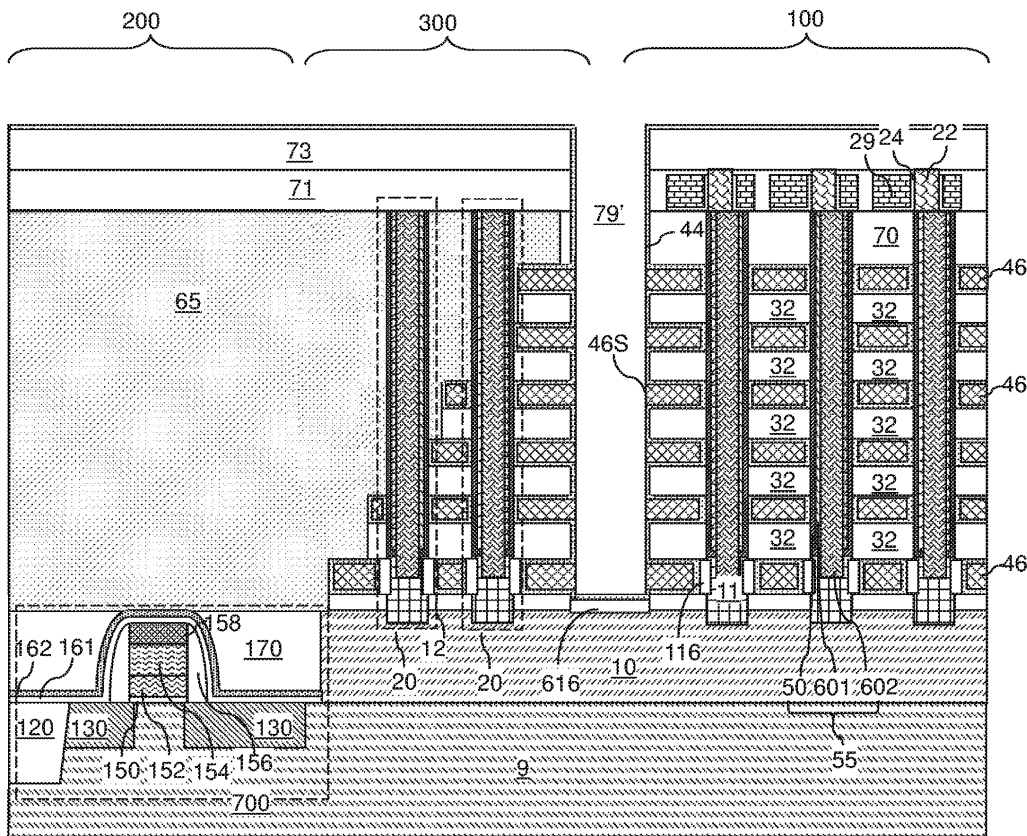
도면14



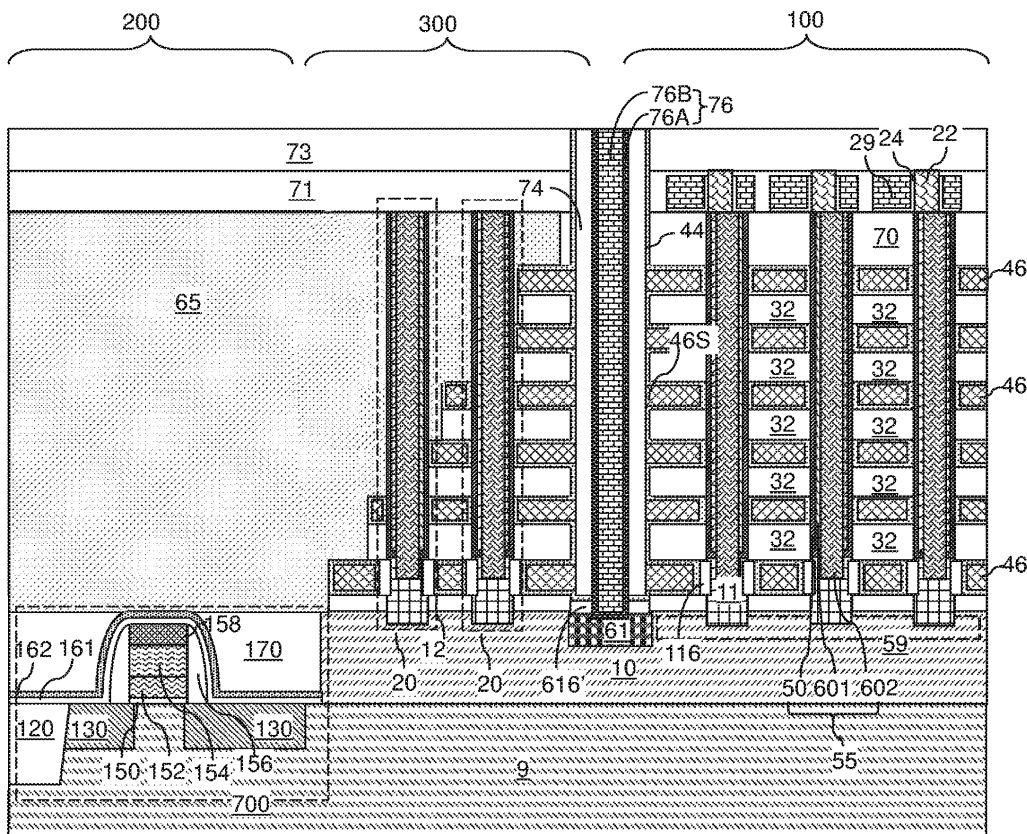
도면15



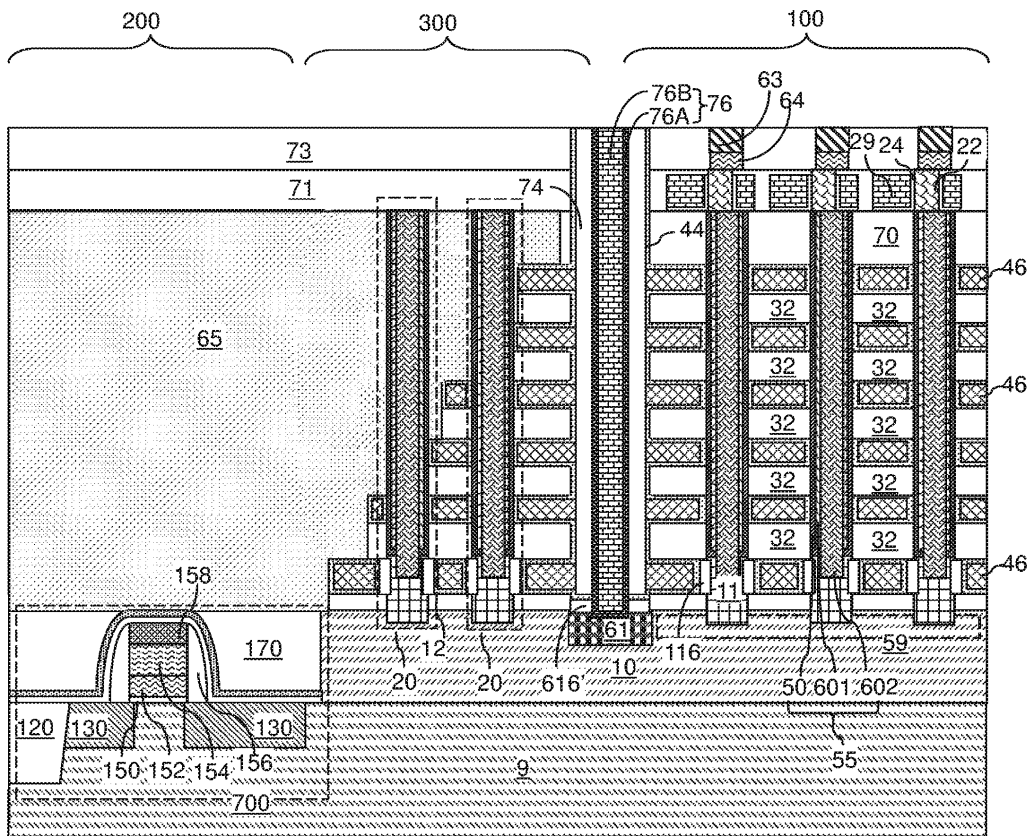
도면16



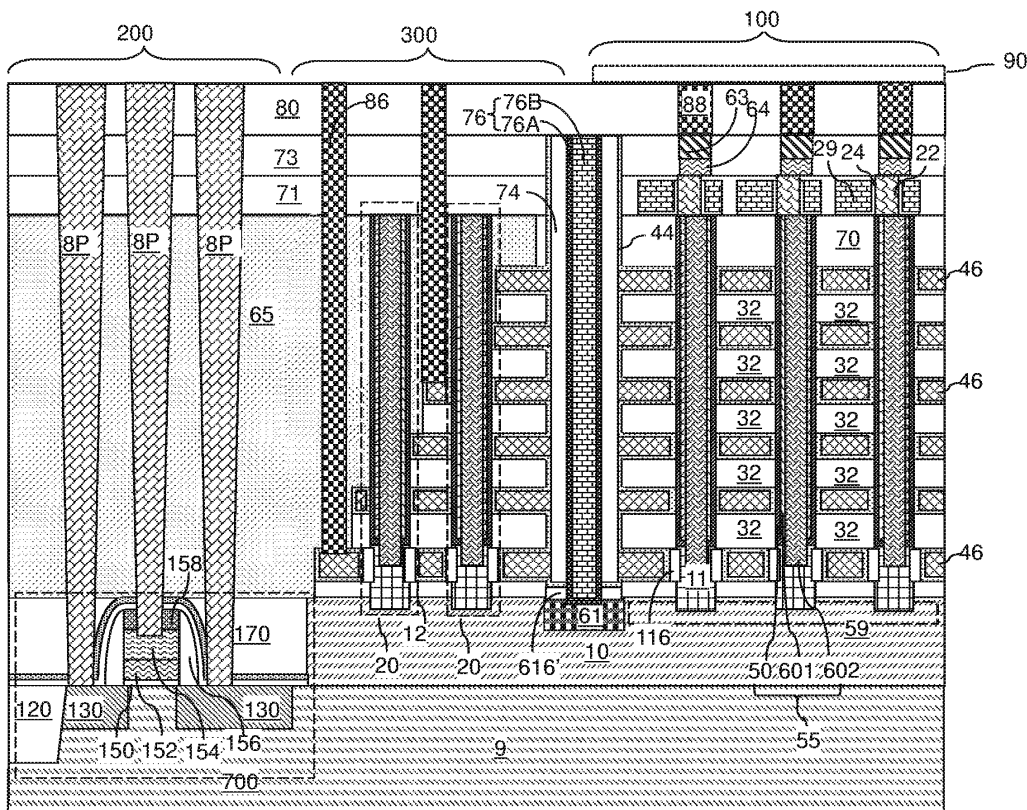
도면17



도면18



도면19a



도면19b

