



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년12월09일  
(11) 등록번호 10-1575750  
(24) 등록일자 2015년12월02일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) H01L 21/336 (2006.01)  
H01L 21/98 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0049090

(22) 출원일자 2009년06월03일

심사청구일자 2014년04월03일

(65) 공개번호 10-2010-0130416

(43) 공개일자 2010년12월13일

(56) 선행기술조사문헌

KR1020010061270 A

KR1020080048606 A

US08476633 B2

(73) 특허권자

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

유형석

경기도 용인시 수지구 푸른솔로 76, 도담마을 보성아이월드 401동 502호 (죽전동)

이호준

경기 안양시 만안구 박달로 453, 102동 1802호 (박달동, 한라비발디아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 14 항

심사관 : 신창우

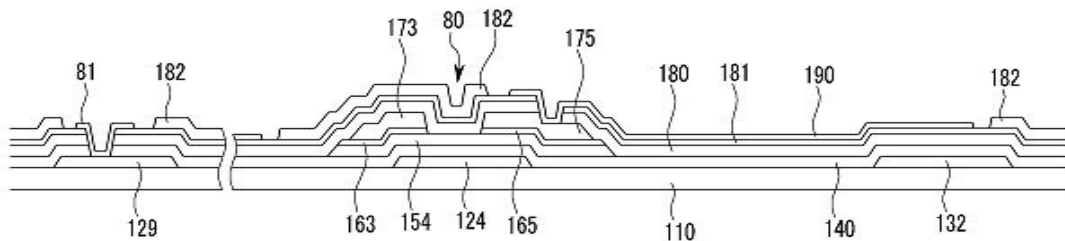
(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

게이트 전극을 포함하는 게이트선을 형성하고, 상기 게이트선 위에 게이트 절연막을 적층한다. 상기 게이트 절연막 위에 채널부를 포함하는 반도체, 소스 전극을 포함하는 데이터선 및 드레인 전극을 형성하고 상기 데이터선 및 상기 반도체의 채널부 위에 제1 보호막, 제2 보호막, 그리고 제3 보호막을 순차적으로 적층한다. 상기 다층

(뒷면에 계속)

대표도 - 도2



보호막 위에 상기 드레인 전극과 대응하는 위치 및 화소영역에 놓이는 제1 부분과 상기 제1 부분보다 두꺼운 제2 부분을 포함하는 제1 감광막 패턴을 형성하고 상기 제1 감광막 패턴을 마스크로 하여 노출되어 있는 상기 보호막을 식각하여 제거하며, 상기 제1 감광막 패턴을 전면 식각하여 상기 제1 부분이 제거된 제2 감광막 패턴을 형성한다. 상기 제2 감광막 패턴을 마스크로 하여 노출되어 있는 화소 영역부분의 상기 제3 보호막을 식각하여 제거하고 이어 화소 전극용 도전체막을 형성하고 순차적으로 상기 제2 감광막 패턴을 제거함으로써 화소 전극을 형성한다.

(72) 발명자

**김성철**

충청남도 천안시 서북구 봉정로 365, 대우1차아파트 106동 1002호 (두정동)

**서오성**

서울 성북구 북악산로 813, 103동 408호 (정릉동, 정릉우성아파트)

**진홍기**

경기도 수원시 영통구 권광로260번길 36, 현대홈타운 106동 2001호 (매탄동)

**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 위에 형성되어 있으며 게이트 전극을 포함하는 게이트선;

상기 게이트선 위에 형성되어 있는 게이트 절연막;

상기 게이트 절연막 위에 형성되어 있으며 박막 트랜지스터의 채널부를 포함하는 반도체 패턴;

상기 반도체 패턴 위에 형성되어 있는 데이터선 및 드레인전극;

상기 데이터선과 상기 게이트선 위에 위치하며, 상기 드레인 전극의 일부를 노출하는 개구부를 가지는 제1 보호막;

상기 제1 보호막 위에 형성되어 있는 제2보호막;

상기 제2 보호막 위에 형성되어 있으며, 상기 박막 트랜지스터의 채널부 위에 위치하는 부분을 포함하는 제3보호막; 및

상기 제2보호막 위에 형성되어 있으며 상기 개구부를 통해 상기 드레인 전극과 연결되어 있는 화소전극을 포함하고,

상기 제2 보호막은 상기 제1 보호막보다 낮은 식각 속도를 가지는 물질을 포함하는 박막 트랜지스터 표시판.

**청구항 2**

제 1항에서,

상기 제2 보호막은  $SiO_xNy$ 을 포함하는 무기 절연물질을 포함하는 박막트랜지스터 표시판

**청구항 3**

제 2항에서,

상기 제3 보호막은  $SiNx$ ,  $SiO_x$ , 또는  $SiO_xNy$ 을 포함하는 무기 절연물질을 포함하는 박막트랜지스터 표시판

**청구항 4**

제 3항에서,

상기 제2 보호막이 포함하는 상기  $SiO_xNy$ 의 산소의 함량이 10~50at%인 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 5**

제 4항에서,

상기 제1 보호막은  $SiNx$ ,  $SiO_x$ 와 같은 무기 절연 물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobutane) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층 구조로 이루어진 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 6**

제 5항에서,

상기 데이터선과 동일한 방향으로 연장되고, 상기 데이터선의 폭보다 더 넓은 스토리지 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 7**

제 2항에서,

상기 제1 보호막은 SiNx, SiOx와 같은 무기 절연물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobytane) 또는 PFCB(Perfluorocyclobytane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층구조로 이루어진 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 8**

제 7항에서,

상기 데이터선과 동일한 방향으로 연장되고, 상기 데이터선의 폭보다 더 넓은 스토리지 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 9**

제 2항에서,

상기 제3 보호막은 SiNx, SiOx, 또는 SiOxNy를 포함하는 무기 절연물질을 포함하는 박막트랜지스터 표시판

**청구항 10**

제 9항에서,

상기 제2 보호막이 포함하는 상기 SiOxNy의 산소의 함량이 10~50at%인 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 11**

제 9항에서,

상기 제1 보호막은 SiNx, SiOx와 같은 무기 절연물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobytane) 또는 PFCB(Perfluorocyclobytane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층 구조로 이루어진 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 12**

제 11항에서,

상기 데이터선과 동일한 방향으로 연장되고, 상기 데이터선의 폭보다 더 넓은 스토리지 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 표시판.

**청구항 13**

제 12항에서,

상기 제1 보호막은 SiNx, SiOx와 같은 무기 절연물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobytane) 또는 PFCB(Perfluorocyclobytane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층 구조로 이루어진 것을 특징으로 하는 박막트랜지스터 표시판

**청구항 14**

제 13항에서,

상기 데이터선과 동일한 방향으로 연장되고, 상기 데이터선의 폭보다 더 넓은 스토리지 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 표시판.

**발명의 설명**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것으로, 특히 마스크 공정수를 줄일 수 있는 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다. 액정패널은 서로 대향하는 박막 트랜지스터 어레이 표시판 및 칼라필터 어레이 표시판과, 두 표시판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정층을 구비한다.

[0003] 박막 트랜지스터 어레이 표시판은 게이트 선들 및 데이터 선들과, 그 게이트 선들과 데이터 선들의 교차부마다 스위칭소자로 형성된 박막 트랜지스터와, 화소 단위로 형성되어 박막 트랜지스터에 접속된 화소전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 선들과 데이터 선들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 선에 공급되는 스캔신호에 응답하여 데이터 선에 공급되는 화소전압신호를 화소 전극에 공급한다.

[0004] 칼라필터 어레이 표시판은 화소 단위로 형성된 칼라필터들과, 칼라필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 화소들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

[0005] 액정패널은 박막 트랜지스터 어레이 표시판과 칼라필터 어레이 표시판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다. 이러한 액정패널에서 박막 트랜지스터 어레이 표시판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정패널 제조단계 상승의 주요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 표시판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리소그래피(photolithography) 공정, 식각 공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5매 마스크 공정에서 하나의 마스크 공정을 줄인 4매 마스크 공정이 대두되고 있다. 종래의 박막 트랜지스터 표시판 및 그 제조방법은 4매 마스크 공정을 채용함으로써 5매 마스크 공정을 이용한 경우보다 제조공정수를 줄임과 아울러 그에 비례하는 제조단가를 절감할 수 있게 된다. 그러나, 4매 마스크 공정 역시 여전히 제조공정이 복잡하여 원가 절감에 한계가 있으므로 제조공정을 더욱 단순화하여 제조단가를 더욱 줄일 수 있는 박막 트랜지스터 표시판의 제조방법이 요구된다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 따라서, 본 발명의 목적은 3 마스크 공정을 채용하여 기판구조 및 제조공정을 단순화시킬 수 있는 박막 트랜지스터 어레이 기판의 제조 방법을 제공하는 것이다.

**과제 해결수단**

[0007] 상기한 목적을 달성하기 위해서, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판은, 기판, 상기 기판 위에 형성되어 있으며 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있으며 박막 트랜지스터의 채널부를 포함하는 반도체 패턴, 상기 반도체 위에 형성되어 있으며, 소스 전극을 포함하는 데이터선, 상기 반도체 위에 형성되어 있으며 상기 박막 트랜지스터의 채널부를 사이에 두고 상기 소스 전극과 마주하는 드레인 전극, 상기 데이터선과 상기 게이트선을 덮고 있으며, 상기 데이터선과 상기 게이트선에 의하여 둘러싸여 있는 화소 영역 내의 상기 드레인 전극의 일부를 노출하는 개구부를 가지는 SiNx 또는 SiOx 등의 무기절연막으로 구성되는 제1 보호막, 상기 제2보호막 위에 형성되어 있으며, 상기 박막트랜지스터상에만 존재하는 제3보호막, 상기 개구부 내의 상기 제2보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소전극을 포함한다.

[0008] 상기 게이트선과 동일한 층으로 형성되어 있고, 상기 데이터선을 따라 뻗어 있는 복수의 유지 전극을 포함하는 유지 전극선을 더 포함하며 또한, 상기 유지 전극의 폭은 상기 데이터선의 폭보다 넓고, 상기 데이터선은 상기 유지 전극의 폭 안쪽에 놓이는 것을 특징으로 한다.

- [0009] 여기서, 상기 제1 보호막은 SiNx, SiOx와 같은 무기 절연물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobutane) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층구조로 이루어진 것을 특징으로 한다.
- [0010] 또한, 상기 제2 보호막은 SiOxNy인 무기절연막인 것을 특징으로 하며, 상기 제3 보호막은 SiNx, SiOx, 또는 SiOxNy인 무기절연막인 것을 특징으로 한다.
- [0011] 여기서, 상기 제2 보호막으로 사용되는 무기절연막은 상기 제1 보호막으로 사용되는 제1 보호막보다는 동일한 식각조건에서 낮은 식각속도를 가져야 하며, 바람직하게는 식각선택비가 2:1 이하로 조정이 가능한 무기절연막을 선택하는 것이 바람직하다. 또한, 상기 제3 보호막은 식각속도가 제1 보호막과 비교하여 동일한 조건에서 높은 식각속도를 가져야하며, 바람직하게는 식각선택비가 2:1 이상으로 조정이 가능한 무기절연막을 선택하는 것이 바람직하다.
- [0012] 상기 SiOxNy 무기절연막은 산소의 함량이 10~50at%인 것을 특징으로 한다.
- [0013] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 채널부를 포함하는 반도체, 소스 전극을 포함하는 데이터선 및 드레인 전극을 형성하는 단계, 상기 데이터선 및 상기 반도체의 채널부 위에 제1 보호막, 제2 보호막, 그리고 제3 보호막을 순차적으로 적층하는 단계, 상기 다층 보호막 위에 상기 드레인 전극과 대응하는 위치 및 화소영역에 놓이는 제1 부분과 상기 제1 부분보다 두꺼운 제2 부분을 포함하는 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴을 마스크로 하여 노출되어 있는 상기 보호막을 식각하여 제거하는 단계, 상기 제1 감광막 패턴을 전면 식각하여 상기 제1 부분이 제거된 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴을 마스크로 하여 노출되어 있는 화소 영역부분의 상기 제3 보호막을 식각하여 제거하는 단계, 화소 전극용 도전체막을 형성하는 단계, 상기 제2 감광막 패턴을 제거함으로써 화소 전극을 형성하는 단계를 포함한다.
- [0014] 상기 채널부를 포함하는 반도체, 소스 전극을 포함하는 데이터선, 드레인 전극 및 화소 영역 정의 부재를 형성하는 단계는, 상기 게이트 절연막 위에 비정질 규소층, 도핑된 비정질 규소층, 데이터 금속층을 연속 증착하는 단계, 상기 데이터 금속층 위에 상기 채널부와 대응하는 위치에 놓이는 제4 부분, 상기 제4 부분보다 두껍고 상기 데이터선, 상기 드레인 전극 및 상기 화소 영역 정의 부재와 대응하는 위치에 놓이는 제5 부분을 포함하는 제3 감광막 패턴을 형성하는 단계, 상기 제3 감광막 패턴을 마스크로 하여 노출되어 있는 상기 데이터 금속층, 상기 도핑된 비정질 규소층 및 상기 비정질 규소층을 식각하여 제거하는 단계, 상기 제3 감광막 패턴을 전면 식각하여 상기 제4 부분이 제거된 제4 감광막 패턴을 형성하는 단계, 상기 제4 감광막 패턴을 마스크로 하여 상기 제4 부분이 제거되어 노출된 상기 데이터 금속층과 상기 도핑된 비정질 규소층을 식각하여 제거하는 단계를 포함할 수 있다.
- [0015] 상기 화소 전극의 평면 형상은 상기 제2 감광막 패턴의 개구부의 평면 형상과 실질적으로 일치할 수 있다.
- [0016] 상기 게이트선을 형성하는 단계에서 상기 데이터선을 따라 뻗어 있는 복수의 유지 전극을 포함하는 유지 전극선을 함께 형성할 수 있다.

**효 과**

- [0017] 상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 어레이 표시판의 제조방법은 리프트 오프(Lift-off) 방법을 이용한 3매 마스크 공정에 의해 이루어짐으로써 기판 구조 및 제조 공정이 더욱 단순화된다.
- [0018] 특히, 박막트랜지스터상의 채널층위에 채널층을 보호하는 패시베이션절연막으로서 제1 절연막과 제1 절연막을 보호하는 제2 절연막, 그리고 제2 절연막위에 제3 절연막을 순차적으로 증착함으로써 리프트오프 방법을 더욱 효과적으로 진행시킬수 있으며 이에 따라, 제조 단가를 더욱 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0019] 이하 첨부한 도면들을 참조하여 본 발명의 실시예를 상세히 살펴보기로 한다. 상기한 본 발명의 목적, 특징 및 효과는 첨부된 도면과 관련된 실시예들을 통해서 용이하게 이해될 것이다. 다만 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다양한 형태로 응용되어 변형될 수도 있다. 오히려 아래의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에게 본

발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안 될 것이다. 한편, 하기 실시예와 함께 제시된 도면은 명확한 설명을 위해서 다소 간략화되거나 과장된 것이며, 도면상에 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [0020] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 어레이 표시판을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 표시판을 II-II'선을 따라 절단하여 도시한 단면도이다.
- [0021] 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 표시판은 하부기관(110) 위에 게이트 절연막(140)을 사이에 두고 교차하게 형성된 게이트선(121) 및 데이터선(171)과, 그 교차부마다 형성된 박막 트랜지스터(80)와, 박막 트랜지스터(80)에 연결되어 화소영역에 형성된 화소 전극(191)을 구비한다. 그리고, 박막 트랜지스터 어레이 표시판은 게이트선(121)의 끝단(129)에 접속되는 게이트 패드부(81)와, 데이터선(171)의 끝단(179)에 접속되는 데이터 패드부(82)를 구비한다. 스토리지선(132)은 게이트선(121)과 동일한 층에, 게이트선(121)과 실질적으로 나란히 뻗어 있으며, 데이터선(171)을 따라 뻗어 있는 복수의 스토리지 전극(133)을 포함한다. 스토리지 전극(133)의 폭은 데이터선(171)의 폭보다 넓고, 데이터선(171)은 스토리지 전극(133)의 폭 안쪽에 배치된다.
- [0022] 박막 트랜지스터(80)는 게이트선(121)에 접속된 게이트 전극(124)과, 데이터선(171)에 접속된 소스 전극(173)과, 화소전극(191)에 접속된 드레인 전극(175)과, 소스 전극(173)과 드레인 전극(175) 사이에 채널부를 형성하는 반도체 패턴을 구비한다. 이러한 박막 트랜지스터(80)는 게이트선(121)에 공급되는 게이트 신호에 응답하여 데이터선(171)에 공급되는 화소전압 신호가 화소 전극(191)에 충전되어 유지되게 한다.
- [0023] 반도체 패턴은 게이트 절연막(140)을 사이에 두고 게이트 전극(124)과 중첩하는 제1 활성층(154)을 포함한다. 제1 활성층(154)은 소스 전극(173)과 드레인 전극(175) 사이에 채널부를 형성하고, 소스 전극(173) 및 드레인 전극(175)과 일부 중첩된다. 또한 반도체 패턴은 데이터선(171) 및 스토리지 전극(133)과 중첩되는 제2 활성층(미도시)을 포함한다. 그리고, 반도체 패턴은 활성층(151, 154) 위에 데이터선(171), 소스 전극(173), 및 드레인 전극(175)과 오믹접촉을 위해 형성된 오믹접촉층(163, 165)을 더 구비한다.
- [0024] 화소 전극(191)은 제1 보호막(180) 및 제2 보호막(181)에 의해 외부로 노출된 박막 트랜지스터(80)의 드레인 전극(175)과 접속된다. 제1 보호막(180) 및 제2 보호막(181)은 드레인 전극(175)의 일부를 노출시키는 개구부를 가진다. 화소 전극(191)에 화소 전압이 충전되면, 상부 표시판(미도시)에 형성되는 공통 전극(미도시)과 화소 전극(191) 사이에 전위차가 발생된다. 이 전위차에 의해 박막 트랜지스터 표시판과 상부 표시판 사이에 위치하는 액정층의 액정분자들이 유전 이방성(dielectric anisotropy)에 의해 회전하게 되며 광원(미도시)으로부터 화소 전극(191)을 경유하여 입사되는 광을 상부 표시판 쪽으로 투과시키게 된다.
- [0025] 화소 전극(191)의 평면 형상은 제1 보호막(180) 및 제2 보호막(181)에 형성된 개구부의 평면 형상과 실질적으로 일치한다. 이는 화소전극(191)을 형성하기 위하여 별도의 감광막 패턴을 이용하지 않고, 제1 보호막(180) 및 제2 보호막(181)을 형성할 때 사용한 감광막 패턴을 이용하여 화소 전극(191)을 형성하기 때문이다. 이를 리프트 오프(lift off) 방법이라 한다. 즉 보호막을 형성할 때 사용한 감광막 패턴상에 화소전극을 별도의 패터닝공정 없이 전면증착한 후 상기 구조를 감광막 스트리퍼 용액상에 넣어 감광막을 제거하게 되면, 감광막상의 화소전극은 감광막과 동시에 제거됨으로써, 화소영역내의 보호막상에만 화소전극을 형성할 수 있게 된다.
- [0026] 상기구조의 트랜지스터는, 제1 보호막(180) 및 제2 보호막(181)은 박막트랜지스터의 채널층을 포함하여 화소 전극이 형성되는 화소영역까지 전면증착되어있는 반면, 제3 보호막(182)은 채널층을 포함하는 박막트랜지스터 상에만 형성되어있는 것을 특징으로 한다. 즉, 3매 공정에서 리프트 오프 공정을 보다 효과적으로 적용하기 위하여, 화소전극을 형성시 본 발명에서는 제3 보호막(182)을 희생층으로 하여 감광막 패턴하부로 좀 더 많은 양의 희생층이 식각되도록 하게끔 한다. 따라서, 3매 공정내에서의 리프트오프 방법을 더욱 효과적으로 진행시킬수 있으며 이에 따라, 제조 단가를 더욱 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있다.
- [0027] 이러한 구성을 가지는 박막 트랜지스터 어레이 표시판은 3매 마스크 공정으로 형성된다. 3매 마스크 공정을 이용한 본 발명의 일 실시 예에 따른 박막 트랜지스터 어레이 표시판의 제조방법은 게이트선(121)을 형성하기 위한 제1 마스크 공정과, 반도체 패턴 및 소스/드레인 전극(173, 175)을 형성하기 위한 제2 마스크 공정과, 보호막(180) 및 화소 전극(191)을 형성하기 위한 제3 마스크 공정을 포함하게 된다.
- [0028] 도 3 내지 도 8g는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법을 단계적으로 도시한 평면도와 단면도들이다.
- [0029] 도 3 및 도 4는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 표시판 제조방법 중 제 1 마스크 공정에 관

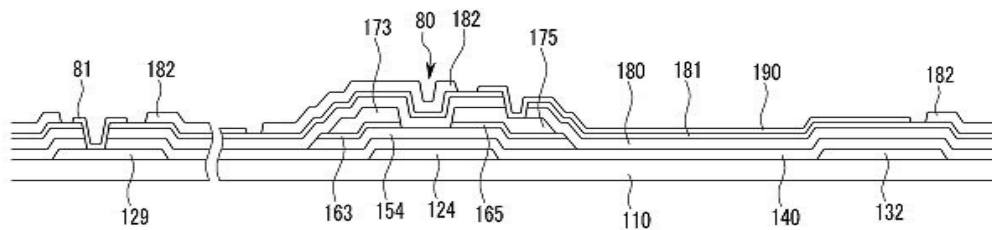
한 것이다.

- [0030] 도 3 및 도 4를 참조하면 하부기판(110) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층(미도시)이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트 선(121), 게이트 전극(124), 게이트끝단(129), 및 스토리지 전극(133)을 포함하는 게이트 패턴들이 형성된다. 게이트 금속층으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 단일층 또는 이중층 구조로 이용된다.
- [0031] 도 5 및 도 6a 내지 도 6b는 본 발명의 일 실시 예에 따른 박막 트랜지스터 어레이 표시판 제조방법 중 제2 마스크 공정에 관한 것이다. 도 5 및 도 6a를 참조하면, 게이트 패턴들이 형성된 하부기판(110) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(140), 비정질 실리콘층(150), n형 불순물이 고농도로 도핑된 n+ 비정질 실리콘층(160), 그리고 데이터 금속층(170)이 순차적으로 형성된다. 데이터 금속(170)으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.
- [0032] 이어서, 제2 마스크를 이용한 포토리소그래피 공정과 식각공정으로 도 6a에 도시된 바와 같이 감광막 패턴(71)을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 대응하는 위치에 슬릿 패턴과 같은 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부 상부의 감광막 패턴(71)이 소스/드레인 전극(도 6b의 도면부호 173, 175참조) 상부의 감광막 패턴(71) 보다 낮은 높이를 갖게 한다.
- [0033] 이어서, 도 6b에 도시된 바와같이 감광막 패턴(71)을 이용한 습식식각공정으로 데이터 금속층(170)이 패터닝됨으로써 데이터 선(171), 소스 전극(173), 그 소스 전극(173)과 일체화된 드레인 전극(175), 및 데이터선 끝단(179)을 포함하는 소스/드레인 패턴이 형성된다.
- [0034] 그 다음, 동일한 감광막 패턴(71)을 이용한 건식 식각공정으로 n+ 비정질 실리콘층(160)과 비정질 실리콘층(150)이 동시에 패터닝됨으로써 오믹접촉층(163, 165)과 활성층(154)이 형성된다.
- [0035] 이어서, 애싱(Ashing) 공정으로 감광막 패턴(71)을 전체적으로 일정한 두께로 제거하여 채널부 상부에 위치하는 소스/드레인 패턴이 외부에 노출되도록 한다. 이 후 식각공정으로 채널부 상부에 위치하는 소스/드레인 패턴 및 오믹접촉층(163, 165)을 식각한다. 이에 따라, 채널부의 활성층(154)이 노출되어 소스 전극(173)과 드레인 전극(175)이 분리되고, 오믹접촉층(163, 165)도 서로 분리된다.
- [0036] 이어서, 스트립 공정으로 소스/드레인 패턴 위에 남아 있는 감광막 패턴(71)이 제거된다.
- [0037] 도 7 및 도 8a 내지 도 8f는 본 발명의 일 실시 예에 따른 박막 트랜지스터 어레이 표시판 제조 방법 중 제3 마스크 공정에 관한 것이다.
- [0038] 구체적으로, 도 8a를 참조하면, 소스/드레인 패턴이 형성된 게이트 절연막(140)상에 플라즈마 도움 화학기상증착법(Plasma Enhanced Chemical Vapor Deposition, PRCVD) 등의 증착방법으로 SiNx, SiOx와 같은 무기 절연물질, 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobutane) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질, 또는 상기 무기 절연물질과 유기 절연물질의 적층구조로 이루어진 제1 보호막(180)을 전면 증착한다.
- [0039] 이어서, 상기 제1 보호막위에 상기 제1 보호막을 보호하기위한 제2 보호막(181)을 전면 증착한다. 제2 보호막(181)은 SiNx, SiOx, 또는 SiOxNy와 같은 무기 절연물질로 이루어진다. 특히 SiOxNy의 경우 0의 함량이 10~50 at% 또는 y는 0.2에서 1.3사이의 값을 가지는 조성을 가지는 것이 바람직하다. 제2 보호막(181)은 이후 리프트 오프공정에서 상기 제1 및 제2 보호막을 패터닝할 때 사용하는 감광막 하부의 희생층 절연막에 언더컷을 유발하기 위하여 과도한 식각을 진행시, 상기 과도한 식각의 데미지(damage)로부터 채널층을 보호하는 제1 보호절연막(180)을 보호하는 역할을 한다. 따라서, 상기 제2 보호막(181)으로 사용되는 무기절연막은 상기 제1 보호막(180)으로 사용되는 보호막보다는 동일한 식각조건에서 낮은 식각속도를 가져야 하며, 바람직하게는 식각선택비가 2:1 이하로 조정이 가능한 무기절연막을 선택하는 것이 바람직하다.
- [0040] 다음으로, 상기 제2 보호막(181)위에 SiNx, SiOx, 또는 SiOxNy:H와 같은 무기 절연물질로 이루어진 제3 보호막(182)을 전면 증착한다. 제3 보호막(182)은 이후 공정에서 상기 제1(180), 제2(181) 그리고 제3 보호막(182)을 패터닝하기 위한 감광막 바로 하부에 위치하는 절연막으로써, 상기 감광막 하부에 언더컷을 용이하게 형성하기 위하여 희생층으로써의 역할을 한다. 따라서 상기 제3 보호막(182)은 식각속도가 제1 보호막(180)과 비교하여 동일한 조건에서 높은 식각속도를 가져야하며, 바람직하게는 식각선택비가 2:1 이상으로 조정이 가능한 무기절연막을 선택하는 것이 바람직하다.

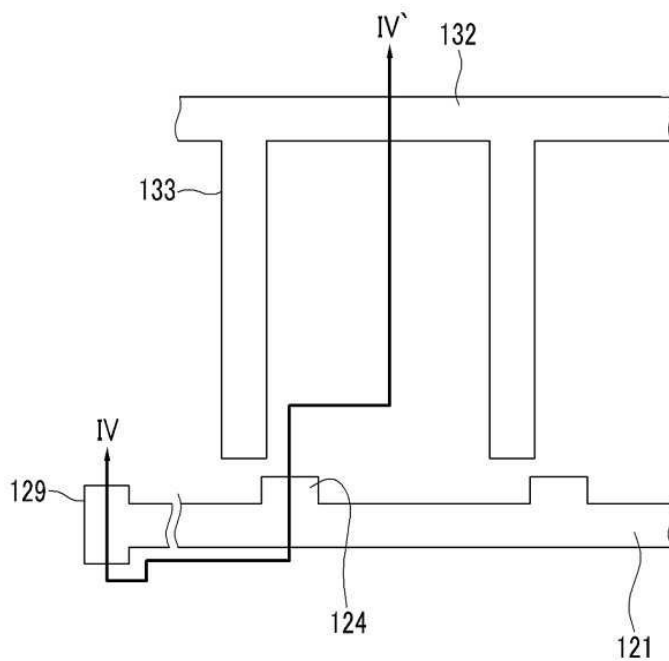
- [0041] 이어서, 보호막(180) 위에 감광막(미도시)을 전면 도포한다. 제3 마스크를 이용한 포토리소그래피 공정으로 도 8a에 도시된 바와 같이 제1 감광막 패턴(271)이 형성된다. 제3 마스크를 이용한 제1 감광막 패턴(271)은, 드레인 전극(175)의 일부 및 화소 영역 상에 형성된 제1 부분과, 소스 전극(173), 데이터선(171), 및 채널부 상에 형성된 제2 부분과, 드레인전극의 일부, 게이트선 끝단(129), 그리고 데이터선 끝단등을 노출시키는 개구부가 형성된 제3 부분으로 이루어질 수 있다. 여기서, 화소 영역은 화소 전극(도 1의 도면부호 191 참조)이 형성되는 영역을 말한다. 제 2 부분의 두께는 제 1 부분의 두께보다 두꺼운 것이 바람직하다.
- [0042] 이어서, 도 8b를 참고하면, 제1 감광막 패턴(271)을 식각 마스크로 하여 제1 감광막 패턴(271)에 의해 노출되어 있는 다층 보호막(180,181,182)을 식각하여 제거한다. 이때, 게이트선 끝단(129) 상부에 위치하는 보호막(180,181,182) 및 게이트절연막(140) 그리고 데이터선 끝단(179) 상부에 위치하는 보호막(180,181,182) 또한 동시에 제거된다. 이러한 식각 방법으로는 플라즈마를 이용한 건식 식각을 사용할 수 있다.
- [0043] 다음, 도 8c를 참고하면, 제1 감광막 패턴(271)을 전면 식각하여 두께를 줄인다., 따라서, 드레인 전극(175)의 일부, 게이트선 끝단(129), 데이터선 끝단 그리고 화소 영역과 중첩하는 보호막의 일부를 노출하는 제2 감광막 패턴(272)을 형성한다. 제1 감광막 패턴(271)의 전면식각은 산소 플라즈마를 이용한 애싱 방법을 사용할 수 있다.
- [0044] 다음, 도 8d를 참고하면, 제2 감광막 패턴(272)을 마스크로 하여 제3 보호막(182)을 식각하여 제거한다. 이러한 식각 방법으로는 플라즈마를 이용한 건식 식각을 사용할 수 있다. 제3 보호막(182)은 이후 공정에서 상기 제1(180), 제2(181) 그리고 제3 보호막(182)을 패터닝하기 위한 감광막 바로 하부에 위치하는 절연막으로써, 상기 감광막 하부에 언더컷을 용이하게 형성하기 위하여 희생층으로써의 역할을 한다. 따라서 상기 제3 보호막(182)은 식각속도가 제1 보호막과 비교하여 동일한 조건에서 높은 식각속도를 가져야하며, 바람직하게는 식각선택비가 2:1 이상으로 조정이 가능한 무기절연막을 선택하는 것이 바람직하다. 도 8d에서 볼 수 있는것처럼 제 3보호막을 과도하게 식각하여 감광막아래로 언더컷이 생성되게끔 하며, 제2 보호막과의 높은 선택비로 인하여 제2 보호막(181)은 상대적으로 덜 식각이 진행되게끔 한다. 제3 보호막(182)을 건식식각하기 위한 식각가스로는 SF6 와 O2 가 혼합된 식각가스를 이용하게 된다. 특히, 공정압력이 증가되면 가스 분자들간의 충돌횟수가 많아져 가스 분자들의 평균자유행로(mean free path)가 짧아지게 된다. 이로써, 가스 분자들의 직진성이 감소됨과 아울러 가스 분자들의 상하좌우 방향의 불규칙적인 운동이 증가한다. 이와 같이 불규칙적으로 진행되는 가스 분자들의 양이 증가되는 만큼 감광막 패턴(272)의 하부에 형성된 제3 보호막(182)의 측면이 가스 분자들에 의해 더 많은 영향을 받게 된다. 다시 말해서, 감광막 패턴(272)의 하부에 형성된 보호막(182)이 과식각된다. 이와 같이 제3 보호막(182)이 과식각됨으로써 이 후에 이루어질 리프트 오프 방법에 의해 화소 전극(190)을 용이하게 형성할 수 있다.
- [0045] 따라서, 본 발명에서는 희생층으로 작용되는 제3 보호막(182)과, 실제로 채널층을 덮고있는 제1 보호막(180)을 보호하기 위하여 추가적으로 제3 보호막(182)과는 식각선택비가 높은 제2 보호막(181)을 적용함으로써, 리프트 오프 공정을 이용하는 공정에서 언더컷을 유발하기 위한 보호막의 과식각으로 인하여 채널층을 덮고있는 보호막 까지도 식각되는 불량을 효과적으로 방지할 수 있다.
- [0046] 다음, 도 8 e를 참고하면, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전 물질 또는 반사 특성이 좋은 도전 물질 등으로 이루어진 화소 전극용 도전층(190)을 전면에 증착한다. 이어서, 도 8f를 참조하면 감광막 패턴(272)을 벗겨냄으로써 감광막 패턴(272) 위에 증착된 화소 전극용 도전층(190)을 제거하여, 화소 전극(191)이 형성된다.
- [0047] 이와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법은 리프트 오프 방법을 이용한 3 마스크 공정에 의해 이루어짐에 따라 기판 구조 및 제조 공정을 더욱 단순화시킴으로써 제조 단가를 더욱 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있다.
- [0048] 특히, 리프트오프공정을 적용함에 있어서, 언더컷을 용이하게 하기 위한 제3 보호막층(182)과 상기 제3 보호막층의 과식각과정에서 상기 채널층을 직접적으로 덮는 제1 보호막(180)을 보호하기 위한 제2 보호막(181)을 추가적으로 형성시킴으로써 리프트오프공정을 더욱 용이하게 수행할 수 있으며
- [0049] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



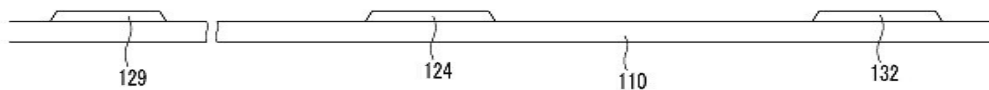
도면2



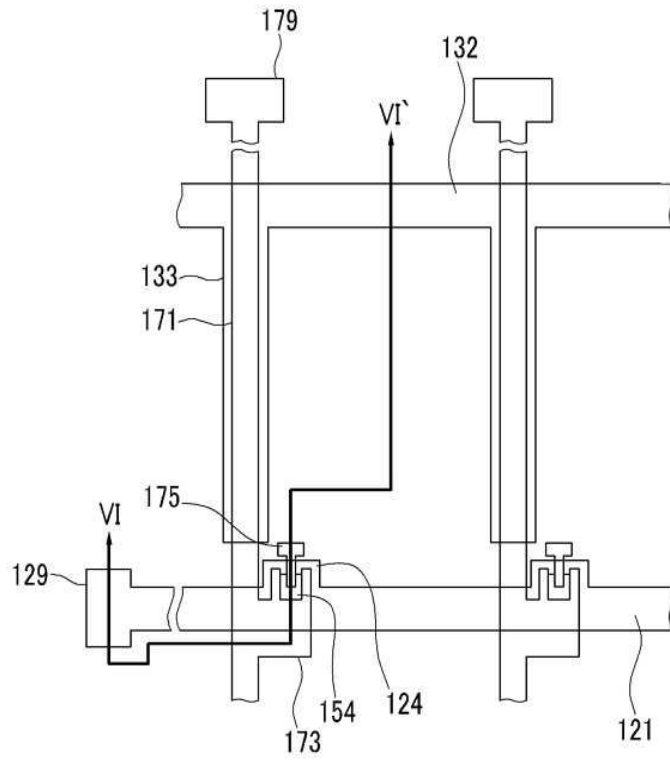
도면3



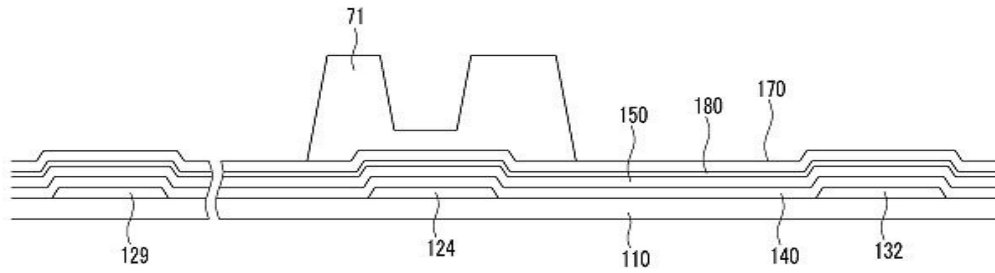
도면4



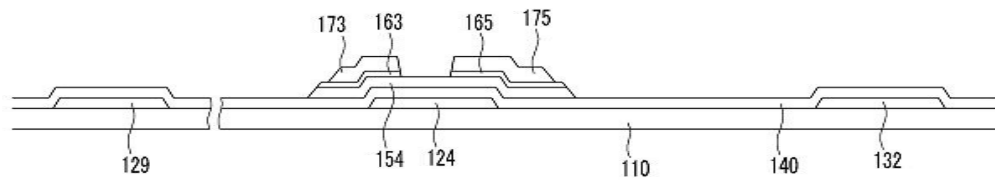
도면5



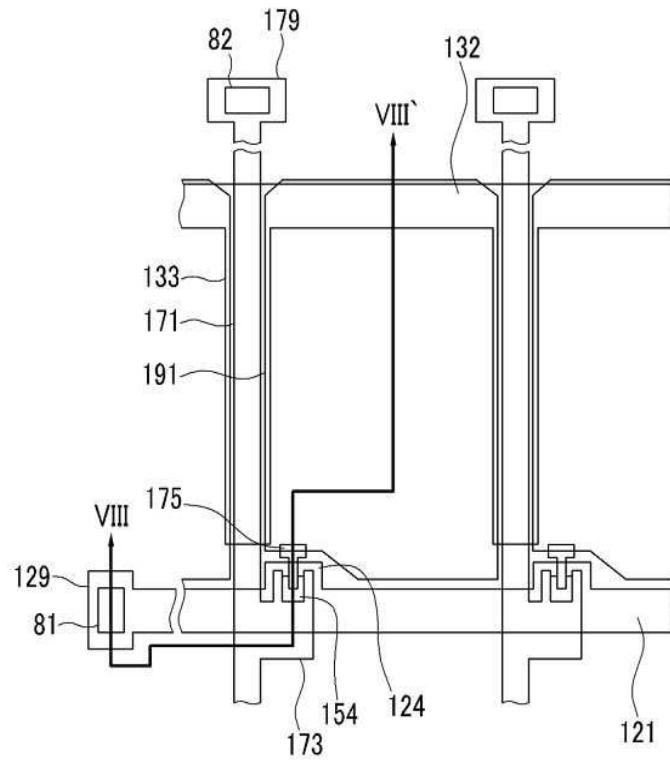
도면6a



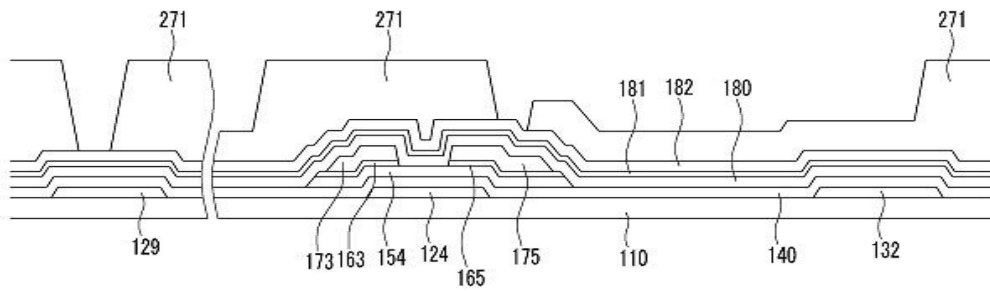
도면6b



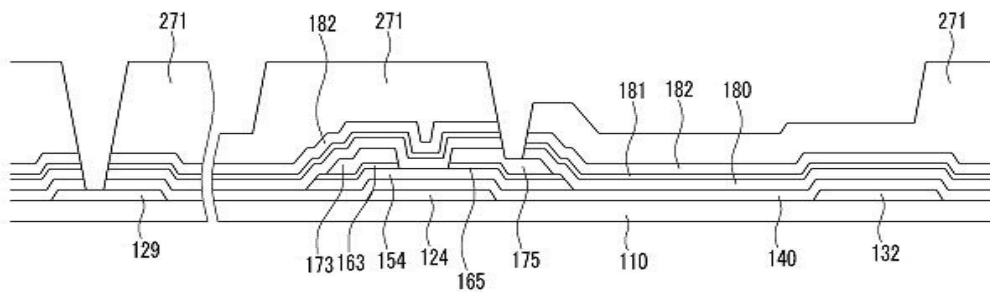
도면7



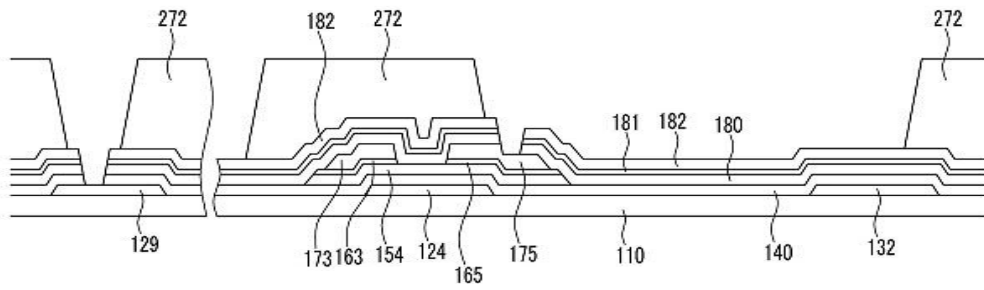
도면8a



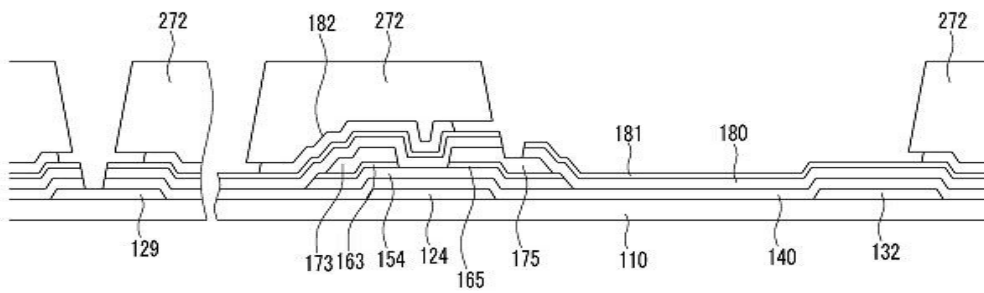
도면8b



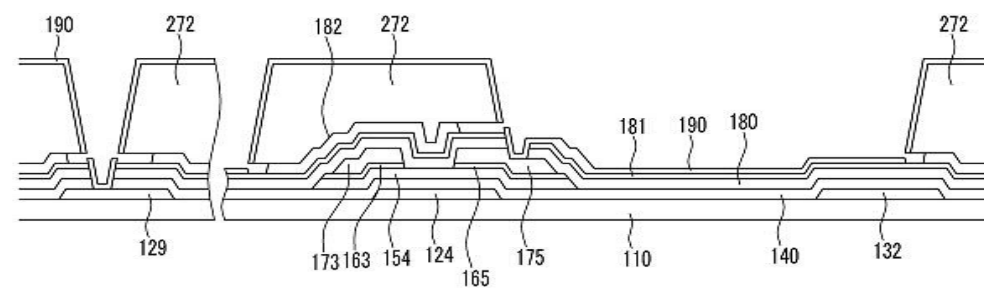
도면8c



도면8d



도면8e



도면8f

