

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/768	(11) 공개번호 특 1997-0072311	(43) 공개일자 1997년 11월 07일
(21) 출원번호 특 1996-0009705		
(22) 출원일자 1996년 04월 01일		
(71) 출원인 삼성전자 주식회사 김광호		
(72) 발명자 신유철		
	경기도 수원시 팔달구 매탄동 416번지 경기도 수원시 팔달구 매탄동 임광아파트 7동 805호	

심사청구 : 없음

(54) 반도체 장치의 평탄화 방법

요약

본 발명은 반도체 장치의 평탄화 방법에 관한 것으로, 본 발명에 따른 반도체 장치의 평탄화 방법에서는 반도체 장치에 필요한 패턴들에 의해 단차가 형성된 웨이퍼 상에 층간 절연막을 형성하는 단계와, 상기 층간절연막 상에 상기 층간 절연막을 완전히 덮는 포토레지스트층을 형성하는 단계와, 상기 층간 절연막의 오목한 단차 부분 내에서 상기 층간 절연막의 볼록한 단차 부분보다 낮은 높이를 갖는 포토레지스트 잔류층이 잔존하도록 소정의 에칭 중

말점에 따라 상기 포토레지스트층을 에치백하는 단계와, 상기 포토레지스트 잔류층을 에칭마스크로 하여 상기 층간 절연막의 볼록한 단차 부분을 소정의 두께 만큼 에치백하는 단계와, 상기 포토레지스트 잔류층을 제거하는 단계와, 상기 결과물을 CMP(Chemecal Mechanical Polishing) 공정에 의해 평탄화하는 단계를 포함한다. 본 발명에 의하면, CMP 공정의 전처리로서 비교적 단순한 공정으로 단차를 보상하여 반도체 장치의 평탄화를 이룰 수 있다.

대표도

도5

명세서

[발명의 명칭]

반도체 장치의 평탄화 방법

[도면의 간단한 설명]

제2도 내지 제5도는 본 발명에 따른 반도체 장치의 평탄화 방법을 설명하기 위하여 각 단계별로 순차적으로 도시한 반도체 장치의 단면도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 장치에 필요한 패턴들에 의해 단차가 형성된 웨이퍼 상에 층간 절연막을 형성하는 단계와, 상기 층간절연막 상에 상기 층간 절연막을 완전히 덮는 포토레지스트층을 형성하는 단계와, 상기 층간 절연막의 오목한 단차 부분 내에서 상기 층간 절연막의 볼록한 단차 부분보다 낮은 높이를 갖는 포토레지스트 잔류층이 잔존하도록 소정의 에칭 종말점에 따라 상기 포토레지스트층을 에치백하는 단계와, 상기 포토레지스트 잔류층을 에칭마스크로 하여 상기 층간 절연막의 볼록한 단차 부분을 소정의 두께 만큼 에치백하는 단계와, 상기 포토레지스트 잔류층을 제거하는 단계와, 상기 결과물을 CMP(Chemecal Mechanical Polishing) 공정에 의해 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 평탄화 방법.

청구항 2

제1항에 있어서, 상기 포토레지스트층을 에치백하는 단계의 후속 공정으로서 상기 포토레지스트 잔류층을 베이킹하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 평탄화 방법.

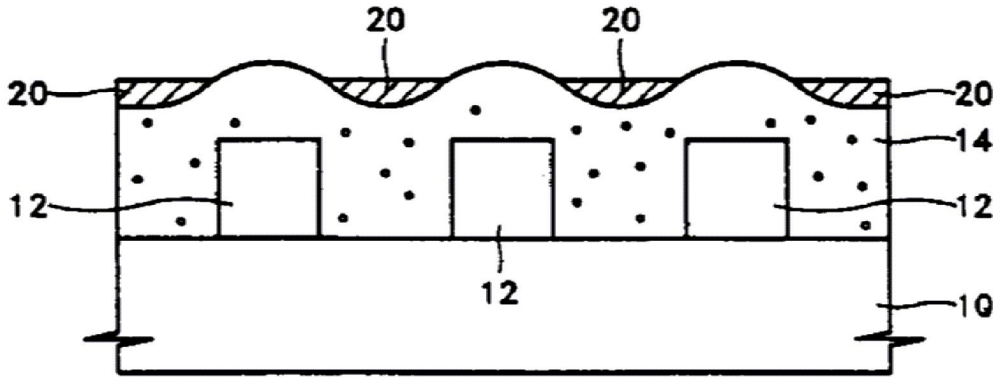
청구항 3

제1항에 있어서, 상기 층간 절연막으로서 SiO₂ 계의 물질을 사용하는 것을 특징으로 하는 반도체 장치의 평탄화 방법.

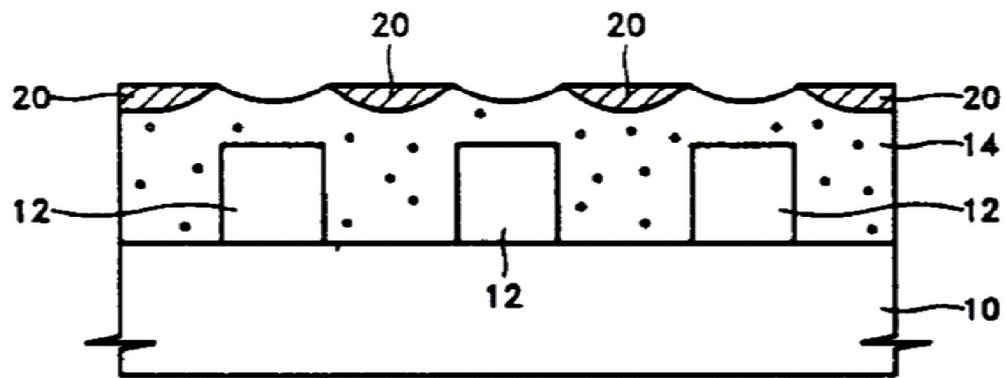
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

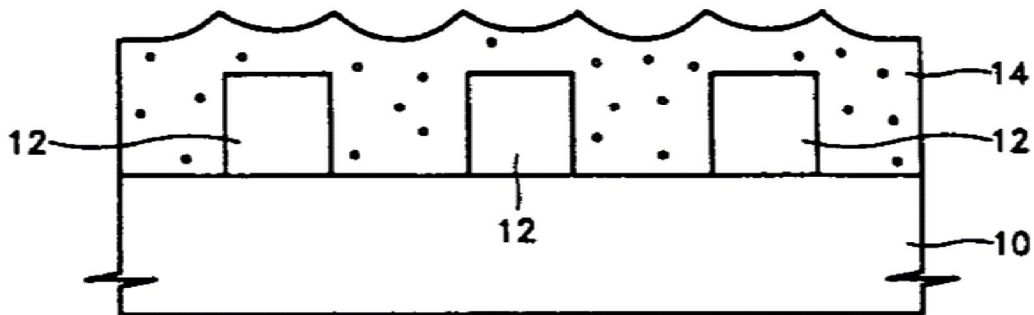
도면2



도면3



도면4



도면5

