



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I602061 B

(45) 公告日：中華民國 106 (2017) 年 10 月 11 日

(21) 申請案號：106108793

(22) 申請日：中華民國 106 (2017) 年 03 月 16 日

(51) Int. Cl. : G06F13/10 (2006.01)

G06F13/16 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

中華民國

(72) 發明人：顏嘉漢 YEN, CHIA-HAN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201447576A

US 2010/0325344A1

審查人員：彭智輝

申請專利範圍項數：33 項 圖式數：13 共 68 頁

(54) 名稱

資料寫入方法、記憶體儲存裝置與記憶體控制電路單元

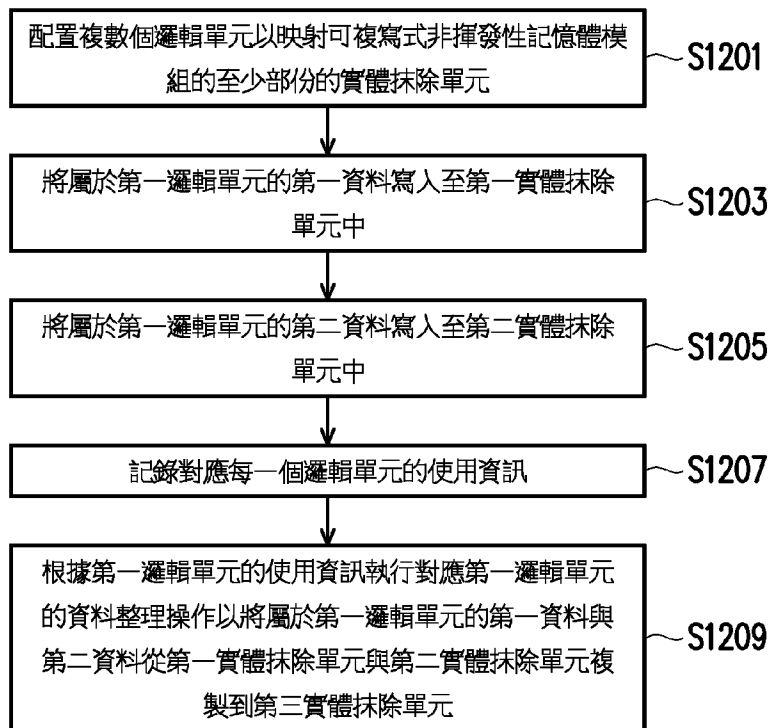
DATA WRITING METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

(57) 摘要

本發明提出一種資料寫入方法、記憶體儲存裝置及記憶體控制電路單元。所述資料寫入方法包括將屬於第一邏輯單元的第二邏輯子單元的第二資料與屬於第一邏輯單元的第二邏輯子單元的第二資料寫入至第一實體抹除單元與第二實體抹除單元；記錄對應每一個邏輯單元的使用資訊；以及根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元，其中第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

A data writing method, a memory storage device and a memory control circuit unit are provided. The data writing method includes: writing first data belong to a first logical sub-unit of a first logical unit and second data belong to a second logical sub-unit of the first logical unit to a first physical erasing unit and a second physical erasing unit; recording use information corresponding to each logical unit; and executing a data arrangement operation corresponding to the first logical unit based on the use information of the first logical unit to copy the first data and the second data from the first physical erasing unit and the second physical erasing unit to a third physical erasing unit, wherein a logical address range of the second logical sub-unit is continued after a logical address range of the first logical sub-unit.

指定代表圖：



【圖12】

符號簡單說明：

S1201...配置複數個邏輯單元以映射可複寫式非揮發性記憶體模組的至少部份的實體抹除單元的步驟

S1203...將屬於第一邏輯單元的第一資料寫入至第一實體抹除單元中的步驟

S1205...將屬於第一邏輯單元的第二資料寫入至第二實體抹除單元中的步驟

S1207...記錄對應每一個邏輯單元的使用資訊的步驟

S1209...根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元的步驟



申請日: 106/03/16

【發明摘要】

IPC分類: G06F13/10 (2006.01)
G06F13/16 (2006.01)

【中文發明名稱】

資料寫入方法、記憶體儲存裝置與記憶體控制電路單元

【英文發明名稱】

DATA WRITING METHOD, MEMORY STORAGE DEVICE AND
MEMORY CONTROL CIRCUIT UNIT

【中文】本發明提出一種資料寫入方法、記憶體儲存裝置及記憶體控制電路單元。所述資料寫入方法包括將屬於第一邏輯單元的第一邏輯子單元的第一資料與屬於第一邏輯單元的第二邏輯子單元的第二資料寫入至第一實體抹除單元與第二實體抹除單元；記錄對應每一個邏輯單元的使用資訊；以及根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元，其中第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

【英文】A data writing method, a memory storage device and a memory control circuit unit are provided. The data writing method includes: writing first data belong to a first logical sub-unit of a first logical unit and second data belong to a second logical sub-unit of the first logical unit to a first physical erasing unit and a second

physical erasing unit; recording use information corresponding to each logical unit; and executing a data arrangement operation corresponding to the first logical unit based on the use information of the first logical unit to copy the first data and the second data from the first physical erasing unit and the second physical erasing unit to a third physical erasing unit, wherein a logical address range of the second logical sub-unit is continued after a logical address range of the first logical sub-unit.

【指定代表圖】圖12。

【代表圖之符號簡單說明】

S1201:配置複數個邏輯單元以映射可複寫式非揮發性記憶體模組的至少部份的實體抹除單元的步驟

S1203:將屬於第一邏輯單元的第一資料寫入至第一實體抹除單元中的步驟

S1205:將屬於第一邏輯單元的第二資料寫入至第二實體抹除單元中的步驟

S1207:記錄對應每一個邏輯單元的使用資訊的步驟

S1209:根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元的步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

資料寫入方法、記憶體儲存裝置與記憶體控制電路單元

【英文發明名稱】

DATA WRITING METHOD, MEMORY STORAGE DEVICE AND
MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種資料寫入方法，且特別是有關於一種可複寫式非揮發性記憶體模組的資料寫入方法、記憶體儲存裝置與記憶體控制電路單元。

【先前技術】

【0002】 數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組（rewritable non-volatile memory module）具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，非常適合作為各種可攜式電子產品的儲存媒體而設置在各種可攜式電子產品中。

【0003】 當主機系統欲儲存資料至可複寫式非揮發性記憶體模組，可複寫式非揮發性記憶體模組的控制器會提取一個實體單元來儲存主機系統欲儲存的資料。控制器會將欲儲存的資料依序儲

存至所提取的實體抹除單元的實體程式化單元中，並且將對應這些資料的邏輯子單元與實體程式化單元的映射資訊記錄在邏輯-實體映射表中。當主機系統欲讀取資料時，控制器會根據主機系統所指示的邏輯子單元從邏輯-實體映射表找出映射的實體程式化單元以讀出資料。

【0004】 然而，若來自於主機系統的寫入資料屬於不連續的資料，例如，寫入資料屬於不連續的邏輯子單元，則儲存在一個實體抹除單元中的資料可能會屬於不連續的邏輯位址。換句話說，一個邏輯單元中的邏輯子單元可能會映射至不同的實體抹除單元的實體程式化單元。在此情況下，當主機系統欲讀取屬於一個邏輯單元中對應連續位址的多個邏輯子單元的資料時，控制器可能需載入不同的邏輯-實體映射表來找出分散在不同的實體抹除單元的多個實體程式化單元。之後，控制器需再發送多個讀取指令以從這些分散的實體程式化單元中讀取資料，以至於耗費相當長的時間來執行讀取操作。

【發明內容】

【0005】 本發明提供一種資料寫入方法、記憶體儲存裝置與記憶體控制電路單元，可縮短讀取操作的執行時間。

【0006】 本發明的一範例實施例提出一種資料寫入方法，可用於具有複數個實體抹除單元的可複寫式非揮發性記憶體模組。本方法包括配置複數個邏輯單元以映射所述複數個實體抹除單元之中

的至少部份的實體抹除單元。所述邏輯單元包括第一邏輯單元。本方法也包括將屬於第一邏輯單元的第一資料寫入至所述複數個實體抹除單元之中的第一實體抹除單元中，並且將屬於第一邏輯單元的第二資料寫入至所述複數個實體抹除單元之中的第二實體抹除單元中。本方法也包括記錄對應每一個邏輯單元的使用資訊。再者，本方法還包括根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元。此外，第一資料屬於所述第一邏輯單元的第一邏輯子單元，第二資料屬於所述第一邏輯單元的第二邏輯子單元，並且第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

【0007】 在本發明的一範例實施例中，上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作的步驟包括：根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件；以及當判定第一邏輯單元符合整理條件時，執行對應第一邏輯單元的資料整理操作。

【0008】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的使用資訊包括有效計數。上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的步驟包括：當對應第一邏輯單元的第一有效計數不小於有效計數門檻值時，判定第一邏輯單元符合第一整理條件。

【0009】 在本發明的一範例實施例中，上述的資料寫入方法更包括根據一個邏輯單元中的所有邏輯子單元的數目來決定有效計數門檻值。

【0010】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的使用資訊更包括讀取次數。上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的步驟更包括：根據對應第一邏輯單元的讀取次數獲取第一存取參數；以及當第一存取參數不小於存取參數門檻值時，判定第一邏輯單元符合第二整理條件。

【0011】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的使用資訊更包括寫入次數。上述的根據對應第一邏輯單元的讀取次數獲取第一存取參數的步驟包括：計算第一邏輯單元的讀取次數與寫入次數的比值以獲取第一存取參數。

【0012】 在本發明的一範例實施例中，上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的步驟更包括：當判定第一邏輯單元符合第一整理條件且第一邏輯單元符合第二整理條件時，判定第一邏輯單元符合整理條件。

【0013】 在本發明的一範例實施例中，上述的根據對應第一邏輯單元的讀取次數獲取第一存取參數的步驟是當第一邏輯單元的第一有效計數不小於有效計數門檻值時被執行。

【0014】 在本發明的一範例實施例中，上述的資料寫入方法更包括在將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除

單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的步驟之後，設定第一邏輯單元映射至第三實體抹除單元。

【0015】 在本發明的一範例實施例中，上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的步驟包括：將屬於第一邏輯子單元的第一資料從第一實體抹除單元複製到第三實體抹除單元的第一實體程式化單元；以及將屬於第二邏輯子單元的第二資料從第二實體抹除單元複製到第三實體抹除單元的第二實體程式化單元。第二實體程式化單元的實體位址範圍接續在第一實體程式化單元的實體位址範圍之後。

【0016】 在本發明的一範例實施例中，所述複數個邏輯單元包括第二邏輯單元。上述的資料寫入方法更包括將屬於第二邏輯單元的第三資料寫入至所述複數個實體抹除單元之中的第四實體抹除單元中；將屬於第二邏輯單元的第四資料寫入至所述複數個實體抹除單元之中的第五實體抹除單元中；以及根據第二邏輯單元的使用資訊執行對應第二邏輯單元的資料整理操作以將屬於第二邏輯單元的第三資料與第四資料從第四實體抹除單元與第五實體抹除單元複製到第三實體抹除單元。

【0017】 本發明的另一範例實施例中提出一種記憶體儲存裝置，包括連接介面單元、可複寫式非揮發性記憶體模組與記憶體控制

電路單元。連接介面單元用以耦接主機系統。可複寫式非揮發性記憶體模組具有複數個實體抹除單元。記憶體控制電路單元用以耦接至主機介面與可複寫式非揮發性記憶體模組。上述的記憶體控制電路單元用以配置複數個邏輯單元以映射所述複數個實體抹除單元的至少部份的實體抹除單元。所述複數個邏輯單元包括第一邏輯單元。上述的記憶體控制電路單元更用以將屬於第一邏輯單元的第一資料寫入至所述複數個實體抹除單元之中的第一實體抹除單元中。上述的記憶體控制電路單元更用以將屬於第二邏輯單元的第二資料寫入至所述複數個實體抹除單元之中的第二實體抹除單元中。上述的記憶體控制電路單元更用以記錄對應所述複數個邏輯單元之中的每一個邏輯單元的使用資訊。上述的記憶體控制電路單元更用以根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元。此外，第一資料屬於第一邏輯單元的第一邏輯子單元，第二資料屬於第一邏輯單元的第二邏輯子單元，並且第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

【0018】 在本發明的一範例實施例中，在上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作的運作中，上述的記憶體控制電路單元用以根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件，並且當判定第一邏輯單元符

合整理條件時，執行對應第一邏輯單元的資料整理操作。

【0019】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的使用資訊包括有效計數。在上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的運作中，當對應第一邏輯單元的第一有效計數不小於有效計數門檻值時，上述的記憶體控制電路單元判定第一邏輯單元符合第一整理條件。

【0020】 在本發明的一範例實施例中，上述的記憶體控制電路單元更用以根據一個邏輯單元中的所有邏輯子單元的數目來決定有效計數門檻值。

【0021】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的該使用資訊更包括讀取次數。在上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的運作中，上述的記憶體控制電路單元更用以根據對應第一邏輯單元的讀取次數獲取第一存取參數，並且當第一存取參數不小於存取參數門檻值時，上述的記憶體控制電路單元判定第一邏輯單元符合第二整理條件。

【0022】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的該使用資訊更包括寫入次數。在上述的根據對應第一邏輯單元的讀取次數獲取第一存取參數的運作中，上述的記憶體控制電路單元用以計算第一邏輯單元的讀取次數與寫入次數的比值以獲取第一存取參數。

【0023】 在本發明的一範例實施例中，在上述的根據第一邏輯單

元的使用資訊判斷第一邏輯單元是否符合整理條件的運作中，當判定第一邏輯單元符合第一整理條件且第一邏輯單元符合第二整理條件時，上述的記憶體控制電路單元判定第一邏輯單元符合整理條件。

【0024】 在本發明的一範例實施例中，上述的記憶體控制電路單元是當第一邏輯單元的第一有效計數不小於有效計數門檻值時執行根據對應第一邏輯單元的讀取次數獲取第一存取參數的運作。

【0025】 在本發明的一範例實施例中，在上述的將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的運作之後，上述的記憶體控制電路單元更用以設定第一邏輯單元映射至第三實體抹除單元。

【0026】 在本發明的一範例實施例中，在上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的運作中，上述的記憶體控制電路單元用以將屬於第一邏輯子單元的第一資料從第一實體抹除單元複製到第三實體抹除單元的第一實體程式化單元，並且將屬於第二邏輯子單元的第二資料從第二實體抹除單元複製到第三實體抹除單元的第二實體程式化單元。第二實體程式化單元的實體位址範圍接續在第一實體程式化單元的實體位址範圍之後。

【0027】 在本發明的一範例實施例中，所述複數個邏輯單元包括第二邏輯單元。上述的記憶體控制電路單元更用以將屬於第二邏輯單元的第三資料寫入至所述複數個實體抹除單元之中的第四實體抹除單元中，並且將屬於第二邏輯單元的第四資料寫入至所述複數個實體抹除單元之中的第五實體抹除單元中。上述的記憶體控制電路單元更用以根據第二邏輯單元的使用資訊執行對應第二邏輯單元的資料整理操作以將屬於第二邏輯單元的第三資料與第四資料從第四實體抹除單元與第五實體抹除單元複製到第三實體抹除單元。

【0028】 本發明的另一範例實施例提出一種記憶體控制電路單元，用於控制具有複數個實體抹除單元的可複寫式非揮發性記憶體模組。記憶體控制電路單元包括主機介面、記憶體介面與記憶體管理電路。主機介面用以耦接主機系統。記憶體介面用以耦接可複寫式非揮發性記憶體模組。記憶體管理電路耦接主機介面與記憶體介面。上述的記憶體管理電路用以配置複數個邏輯單元以映射所述複數個實體抹除單元的至少部份的實體抹除單元。所述複數個邏輯單元包括第一邏輯單元。上述的記憶體管理電路更用以將屬於第一邏輯單元的第一資料寫入至所述複數個實體抹除單元之中的第一實體抹除單元中。上述的記憶體管理電路更用以將屬於第一邏輯單元的第二資料寫入至所述複數個實體抹除單元之中的第二實體抹除單元中。上述的記憶體管理電路更用以記錄對應所述複數個邏輯單元之中的每一個邏輯單元的使用資訊。上述

的記憶體管理電路更用以根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元。此外，第一資料屬於第一邏輯單元的第一邏輯子單元，第二資料屬於第一邏輯單元的第二邏輯子單元，並且第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

【0029】 在本發明的一範例實施例中，在上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作的運作中，上述的記憶體管理電路用以根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件，並且當判定第一邏輯單元符合整理條件時，執行對應第一邏輯單元的資料整理操作。

【0030】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的使用資訊包括有效計數。在上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的運作中，當對應第一邏輯單元的第一有效計數不小於有效計數門檻值時，上述的記憶體管理電路判定第一邏輯單元符合第一整理條件。

【0031】 在本發明的一範例實施例中，上述的記憶體管理電路更用以根據一個邏輯單元中的所有邏輯子單元的數目來決定有效計數門檻值。

【0032】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的該使用資訊更包括讀取次數。在上述的根據第一邏輯單元的

使用資訊判斷第一邏輯單元是否符合整理條件的運作中，上述的記憶體管理電路更用以根據對應第一邏輯單元的讀取次數獲取第一存取參數，並且當第一存取參數不小於存取參數門檻值時，上述的記憶體管理電路判定第一邏輯單元符合第二整理條件。

【0033】 在本發明的一範例實施例中，上述的對應每一個邏輯單元的該使用資訊更包括寫入次數。在上述的根據對應第一邏輯單元的讀取次數獲取第一存取參數的運作中，上述的記憶體管理電路用以計算第一邏輯單元的讀取次數與寫入次數的比值以獲取第一存取參數。

【0034】 在本發明的一範例實施例中，在上述的根據第一邏輯單元的使用資訊判斷第一邏輯單元是否符合整理條件的運作中，當判定第一邏輯單元符合第一整理條件且第一邏輯單元符合第二整理條件時，上述的記憶體管理電路判定第一邏輯單元符合整理條件。

【0035】 在本發明的一範例實施例中，上述的記憶體管理電路是當第一邏輯單元的第一有效計數不小於有效計數門檻值時執行根據對應第一邏輯單元的讀取次數獲取第一存取參數的運作。

【0036】 在本發明的一範例實施例中，在上述的將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的運作之後，上述的記憶體管理電路更用以設定第一邏輯單元映射至第三實體抹除單元。

【0037】 在本發明的一範例實施例中，在上述的根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到所述複數個實體抹除單元之中的第三實體抹除單元的運作中，上述的記憶體管理電路用以將屬於第一邏輯子單元的第一資料從第一實體抹除單元複製到第三實體抹除單元的第一實體程式化單元，並且將屬於第一邏輯子單元的第二資料從第二實體抹除單元複製到第三實體抹除單元的第二實體程式化單元。第二實體程式化單元的實體位址範圍接續在第一實體程式化單元的實體位址範圍之後。

【0038】 在本發明的一範例實施例中，所述複數個邏輯單元包括第二邏輯單元。上述的記憶體管理電路更用以將屬於第二邏輯單元的第三資料寫入至所述複數個實體抹除單元之中的第四實體抹除單元中，並且將屬於第二邏輯單元的第四資料寫入至所述複數個實體抹除單元之中的第五實體抹除單元中。上述的記憶體管理電路更用以根據第二邏輯單元的使用資訊執行對應第二邏輯單元的資料整理操作以將屬於第二邏輯單元的第三資料與第四資料從第四實體抹除單元與第五實體抹除單元複製到第三實體抹除單元。

【0039】 基於上述，藉由記錄對應邏輯單元的使用資訊，可獲取邏輯單元的有效計數與存取參數。當邏輯單元的有效計數達到有效計數門檻值並且存取參數達到存取參數門檻值時，屬於此邏輯

單元的資料會被整理至一個實體抹除單元中。如此一來，可縮短讀取操作的執行時間。

【0040】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0041】

圖 1 是根據一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出 (I/O) 裝置的示意圖。

圖 2 是根據另一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出 (I/O) 裝置的示意圖。

圖 3 是根據另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置的概要方塊圖。

圖 5 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

圖 6 與圖 7 是根據一範例實施例所繪示之管理實體抹除單元的範例示意圖。

圖 8 是根據本發明的一範例實施例所繪示的以實體程式化單元為基礎來寫入資料的示意圖。

圖 9 是根據本發明的一範例實施例所繪示的邏輯單元的使用

資訊的示意圖。

圖 10 是根據本發明的一範例實施例所繪示的邏輯單元的資料整理操作的示意圖。

圖 11 是根據本發明的另一範例實施例所繪示的邏輯單元的資料整理操作的示意圖。

圖 12 是根據本發明的一範例實施例所繪示的資料寫入方法的流程圖。

圖 13 是根據本發明的另一範例實施例所繪示的資料寫入方法的流程圖。

【實施方式】

【0042】 一般而言，記憶體儲存裝置（亦稱，記憶體儲存系統）包括可複寫式非揮發性記憶體模組與控制器（亦稱，控制電路單元）。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0043】 圖 1 是根據一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出（I/O）裝置的示意圖，並且圖 2 是根據另一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出（I/O）裝置的示意圖。

【0044】 請參照圖 1 與圖 2，主機系統 11 一般包括處理器 111、隨機存取記憶體（random access memory, RAM）112、唯讀記憶體

(read only memory, ROM) 113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 皆耦接至系統匯流排 (system bus) 110。

【0045】 在本範例實施例中，主機系統 11 是透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料寫入至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 是透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0046】 在本範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 是可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、固態硬碟 (Solid State Drive, SSD) 203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊 (Near Field Communication Storage, NFC) 記憶體儲存裝置、無線傳真 (WiFi) 記憶體儲存裝置、藍牙 (Bluetooth) 記憶體儲存裝置或低功耗藍牙記憶體儲存裝置 (例如，iBeacon) 等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定位系統 (Global Positioning System, GPS) 模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕

209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0047】 在一範例實施例中，所提及的主機系統為可實質地與記憶體儲存裝置配合以儲存資料的任意系統。雖然在上述範例實施例中，主機系統是以電腦系統來作說明，然而，圖 3 是根據另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。請參照圖 3，在另一範例實施例中，主機系統 31 也可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統，而記憶體儲存裝置 30 可為其所使用的 SD 卡 32、CF 卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡 (embedded MMC, eMMC) 341 及/或嵌入式多晶片封裝儲存裝置 (embedded Multi Chip Package, eMCP) 342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌入式儲存裝置。

【0048】 圖 4 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置的概要方塊圖。

【0049】 請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0050】 在本範例實施例中，連接介面單元 402 是相容於安全數位 (Secure Digital, SD) 介面標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合序列先進附件 (Serial Advanced Technology Attachment, SATA) 標準、並列先進附件

(Parallel Advanced Technology Attachment, PATA) 標準、電氣和電子工程師協會 (Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面 (Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排 (Universal Serial Bus, USB) 標準、超高速一代 (Ultra High Speed-I, UHS-I) 介面標準、超高速二代 (Ultra High Speed-II, UHS-II) 介面標準、記憶棒 (Memory Stick, MS) 介面標準、多晶片封裝 (Multi-Chip Package) 介面標準、多媒體儲存卡 (Multi Media Card, MMC) 介面標準、嵌入式多媒體儲存卡 (Embedded Multimedia Card, eMMC) 介面標準、通用快閃記憶體 (Universal Flash Storage, UFS) 介面標準、嵌入式多晶片封裝 (embedded Multi Chip Package, eMCP) 介面標準、小型快閃 (Compact Flash, CF) 介面標準、整合式驅動電子介面 (Integrated Device Electronics, IDE) 標準或其他適合的標準。在本範例實施例中，連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元之晶片外。

【0051】 記憶體控制電路單元 404 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令，並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等操作。

【0052】 可複寫式非揮發性記憶體模組 406 是耦接至記憶體控制電路單元 404，並且用以儲存主機系統 11 所寫入之資料。可複寫

式非揮發性記憶體模組 406 具有實體抹除單元 410(0)~410(N)。例如，實體抹除單元 410(0)~410(N)可屬於同一個記憶體晶粒 (die) 或者屬於不同的記憶體晶粒。每一實體抹除單元分別具有複數個實體程式化單元，其中屬於同一個實體抹除單元之實體程式化單元可被獨立地寫入且被同時地抹除。然而，必須瞭解的是，本發明不限於此，每一實體抹除單元是可由 64 個實體程式化單元、256 個實體程式化單元或其他任意個實體程式化單元所組成。

【0053】 更詳細來說，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，控制資訊與錯誤更正碼）。在本範例實施例中，每一個實體程式化單元的資料位元區中會包含 8 個實體存取位址，且一個實體存取位址的大小為 512 位元組 (byte)。然而，在其他範例實施例中，資料位元區中也可包含數目更多或更少的實體存取位址，本發明並不限制實體存取位址的大小以及個數。例如，在一範例實施例中，實體抹除單元為實體區塊，並且實體程式化單元為實體頁面或實體扇區，但本發明不以此為限。

【0054】 在本範例實施例中，可複寫式非揮發性記憶體模組 406 為單階記憶胞 (Single Level Cell, SLC) NAND 型快閃記憶體模

組（即，一個記憶胞中可儲存 1 個資料位元的快閃記憶體模組）。然而，本發明不限於此，可複寫式非揮發性記憶體模組 406 亦可是多階記憶胞（Multi Level Cell，MLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 2 個資料位元的快閃記憶體模組）、複數階記憶胞（Trinary Level Cell，TLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 3 個資料位元的快閃記憶體模組）或其他具有相同特性的記憶體模組。

【0055】 圖 5 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

【0056】 請參照圖 5，記憶體控制電路單元 404 包括記憶體管理電路 502、主機介面 504 與記憶體介面 506。

【0057】 記憶體管理電路 502 用以控制記憶體控制電路單元 404 的整體運作。具體來說，記憶體管理電路 502 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0058】 在本範例實施例中，記憶體管理電路 502 的控制指令是以韌體型式來實作。例如，記憶體管理電路 502 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0059】 在本發明另一範例實施例中，記憶體管理電路 502 的控

制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域（例如，記憶體模組中專用於存放系統資料的系統區）中。此外，記憶體管理電路 502 具有微處理器單元（未繪示）、唯讀記憶體（未繪示）及隨機存取記憶體（未繪示）。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 404 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 406 中之控制指令載入至記憶體管理電路 502 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0060】 此外，在本發明另一範例實施例中，記憶體管理電路 502 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 502 包括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 406 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 406 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 406 中；記憶體讀取電路用以對可複寫式非揮發性記憶體模組 406 下達讀取指令以從可複寫式非揮發性記憶體模組 406 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 406 中抹除；而資料處理電路用以處理欲寫入

至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。

【0061】 主機介面 504 是耦接至記憶體管理電路 502 並且用以耦接至連接介面單元 402，以接收與識別主機系統 11 所傳送的指令與資料。也就是說，主機系統 11 所傳送的指令與資料會透過主機介面 504 來傳送至記憶體管理電路 502。在本範例實施例中，主機介面 504 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 504 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0062】 記憶體介面 506 是耦接至記憶體管理電路 502 並且用以存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 506 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。

【0063】 緩衝記憶體 508 是耦接至記憶體管理電路 502 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。

【0064】 在一範例實施例中，記憶體控制電路單元 404 還包括緩衝記憶體 508、電源管理電路 510 與錯誤檢查與校正電路 512。

【0065】 電源管理電路 510 是耦接至記憶體管理電路 502 並且用以控制記憶體儲存裝置 10 的電源。

【0066】 錯誤檢查與校正電路 512 是耦接至記憶體管理電路 502 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 502 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 512 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼 (Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 502 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 406 中。之後，當記憶體管理電路 502 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 512 會根據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

【0067】 以下描述記憶體管理電路 502、主機介面 504 與記憶體介面 506、緩衝記憶體 508、電源管理電路 510 與錯誤檢查與校正電路 512 所執行的操作，亦可參考為由記憶體控制電路單元 404 所執行。

【0068】 圖 6 與圖 7 是根據一範例實施例所繪示之管理實體抹除單元的範例示意圖。

【0069】 必須瞭解的是，在此描述可複寫式非揮發性記憶體模組 406 之實體抹除單元的運作時，以“提取”、“分組”、“劃分”、“關聯”等詞來操作實體抹除單元是邏輯上的概念。也就是說，可複寫式非揮發性記憶體模組之實體抹除單元的實際位置並未更動，而是邏輯上對可複寫式非揮發性記憶體模組的實體抹除單元進行操

作。

【0070】 請參照圖 6，記憶體管理電路 502 會將實體抹除單元 410(0)~410(N)邏輯地分組為資料區 602、閒置區 604、系統區 606 與取代區 608。

【0071】 邏輯上屬於資料區 602 與閒置區 604 的實體抹除單元是用以儲存來自於主機系統 11 的資料。具體來說，資料區 602 的實體抹除單元是被視為已儲存資料的實體抹除單元，而閒置區 604 的實體抹除單元是用以替換資料區 602 的實體抹除單元。也就是說，當從主機系統 11 接收到寫入指令與欲寫入之資料時，記憶體管理電路 502 會從閒置區 604 中提取實體抹除單元，並且將資料寫入至所提取的實體抹除單元中，以替換資料區 602 的實體抹除單元。

【0072】 邏輯上屬於系統區 606 的實體抹除單元是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體抹除單元數、每一實體抹除單元的實體程式化單元數等。

【0073】 邏輯上屬於取代區 608 中的實體抹除單元是用於壞實體抹除單元取代程序，以取代損壞的實體抹除單元。具體來說，倘若取代區 608 中仍存有正常之實體抹除單元並且資料區 602 的實體抹除單元損壞時，記憶體管理電路 502 會從取代區 608 中提取正常的實體抹除單元來更換損壞的實體抹除單元。

【0074】 特別是，資料區 602、閒置區 604、系統區 606 與取代區

608 之實體抹除單元的數量會根據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 10 的運作中，實體抹除單元關聯至資料區 602、閒置區 604、系統區 606 與取代區 608 的分組關係會動態地變動。例如，當閒置區 604 中的實體抹除單元損壞而被取代區 608 的實體抹除單元取代時，則原本取代區 608 的實體抹除單元會被關聯至閒置區 604。

【0075】 請參照圖 7，記憶體管理電路 502 會配置邏輯單元 LBA(0)~LBA(H)以映射資料區 602 的實體抹除單元，其中每一邏輯單元具有多個邏輯子單元以映射對應之實體抹除單元的實體程式化單元。並且，當主機系統 11 欲寫入資料至邏輯單元或更新儲存於邏輯單元中的資料時，記憶體管理電路 502 會從閒置區 604 中提取一個實體抹除單元來寫入資料，以輪替資料區 602 的實體抹除單元。在本範例實施例中，邏輯子單元可以是邏輯頁面或邏輯扇區。

【0076】 為了識別每個邏輯單元的資料被儲存在哪個實體抹除單元，在本範例實施例中，記憶體管理電路 502 會記錄邏輯單元與實體抹除單元之間的映射。並且，當主機系統 11 欲在邏輯子單元中存取資料時，記憶體管理電路 502 會確認此邏輯子單元所屬的邏輯單元，並且在此邏輯單元所映射的實體抹除單元中來存取資料。例如，在本範例實施例中，記憶體管理電路 502 會在可複寫式非揮發性記憶體模組 406 中儲存邏輯-實體映射表來記錄每一邏輯單元所映射的實體抹除單元，並且當欲存取資料時記憶體管理

電路 502 會將邏輯-實體映射表載入至緩衝記憶體 508 來維護。

【0077】 值得一提的是，由於緩衝記憶體 508 的容量有限無法儲存記錄所有邏輯單元之映射關係的映射表，因此，在本範例實施例中，記憶體管理電路 502 會將邏輯單元 LBA(0)~LBA(H)分組為多個邏輯區域 LZ(0)~LZ(M)，並且為每一邏輯區域配置一個邏輯-實體映射表。特別是，當記憶體管理電路 502 欲更新某個邏輯單元的映射時，對應此邏輯單元所屬之邏輯區域的邏輯-實體映射表會被載入至緩衝記憶體 508 來被更新。

【0078】 值得注意的是，在一範例實施例中，記憶體儲存裝置 10 的可複寫式非揮發性記憶體模組 406 是以實體程式化單元為基礎（亦稱為頁面為基礎（page based））來進行管理。例如，在執行寫入指令時，不管目前資料是要寫入至那個邏輯單元的邏輯子單元，記憶體管理電路 502 皆會以一個實體程式化單元接續一個實體程式化單元的方式來寫入資料（亦稱為隨機寫入機制）。具體來說，記憶體管理電路 502 會從閒置區 604 中提取一個空的實體抹除單元作為目前使用之實體抹除單元來寫入資料。並且，當此目前使用之實體抹除單元已被寫滿時，記憶體管理電路 502 會再從閒置區 604 中提取另一個空的實體抹除單元作為目前使用之實體抹除單元，以繼續寫入對應來自於主機系統 11 之寫入指令的資料。

【0079】 當來自於主機系統 11 的寫入指令指示將資料寫入屬於不同的邏輯單元的多個邏輯子單元時，記憶體管理電路 502 會將屬於不同邏輯單元的邏輯子單元的資料依序寫入至目前使用之實體

抹除單元的實體程式化單元中。換句話說，經過一段時間的運作之後，屬於相同邏輯單元的連續的邏輯子單元的資料可能會被寫入至不同實體抹除單元中。

【0080】圖 8 是根據本發明的一範例實施例所繪示的以實體程式化單元為基礎來寫入資料的示意圖。

【0081】請參照圖 8，假設主機系統 11 在不同的時間點發送多個寫入指令以指示將資料儲存至不同的邏輯子單元。例如，寫入指令 C1 指示將資料 D1 儲存至邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)；寫入指令 C2 指示將資料 D3 儲存至邏輯單元 LBA(0)的邏輯子單元 LCA(0-2)；寫入指令 C3 指示將資料 D5 儲存至邏輯單元 LBA(1)的邏輯子單元 LCA(1-0)；寫入指令 C4 指示將資料 D7 儲存至邏輯單元 LBA(1)的邏輯子單元 LCA(1-2)。回應於寫入指令 C1~C4，記憶體管理電路 502 從閒置區 604 中提取實體抹除單元 410(A)作為目前使用之實體抹除單元，並且將資料 D1、D3、D5、D7 分別寫入實體抹除單元 410(A)的實體程式化單元 410(A-0)~410(A-3)中。記憶體管理電路 502 還會將相關的映射資訊記錄在邏輯-實體映射表中，例如邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)與 LCA(0-2)分別映射至實體抹除單元 410(A)的實體程式化單元 410(A-0)與 410(A-1)，邏輯單元 LBA(1)的邏輯子單元 LCA(1-0)與 LCA(1-2)分別映射至實體抹除單元 410(A)的實體程式化單元 410(A-2)與 410(A-3)。

【0082】之後，記憶體管理電路 502 又接收到來自於主機系統 11

的寫入指令 C5~C8。由於實體抹除單元 410(A)已被寫滿，因此，記憶體管理電路 502 會從閒置區 604 中提取實體抹除單元 410(B)作為目前使用之實體抹除單元。記憶體管理電路 502 根據寫入指令 C5~C8 將資料 D2、D4、D6、D8 分別寫入實體抹除單元 410(B)的實體程式化單元 410(B-0)~410(B-3)中。此外，記憶體管理電路 502 還會記錄相關的映射資訊，例如邏輯單元 LBA(0)的邏輯子單元 LCA(0-1)與 LCA(0-3)分別映射至實體抹除單元 410(B)的實體程式化單元 410(B-0)與 410(B-1)，邏輯單元 LBA(1)的邏輯子單元 LCA(1-1)與 LCA(1-3)分別映射至實體抹除單元 410(B)的實體程式化單元 410(B-2)與 410(B-3)。因此，在完成對應資料 D1~D8 的寫入操作之後，屬於邏輯單元 LBA(0)（或邏輯單元 LBA(1)）中連續的兩個邏輯子單元的資料被儲存在不同的實體抹除單元中，並且上述連續的兩個邏輯子單元會映射至不同的實體抹除單元的實體程式化單元。例如，邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)映射至實體抹除單元 410(A)的實體程式化單元 410(A-0)，而邏輯單元 LBA(0)的邏輯子單元 LCA(0-1)映射至實體抹除單元 410(B)的實體程式化單元 410(B-0)。在此，連續的兩個邏輯子單元是指其中一個邏輯子單元的邏輯位址範圍是接續在另一個邏輯子單元的邏輯位址範圍之後。換句話說，其中一個邏輯子單元的起始邏輯位址是接續在另一個邏輯子單元的結束邏輯位址之後。

【0083】 在本範例實施例中，記憶體管理電路 502 還會記錄對應每一個邏輯單元的使用資訊。例如，記憶體管理電路 502 可將使

用資訊儲存至系統區 606。使用資訊可包括邏輯單元的有效計數 (valid count)、讀取次數與寫入次數等。有效計數可用以表示一個邏輯單元中儲存有效資料的邏輯子單元的數目。讀取次數可用以表示一個邏輯單元被執行讀取操作的次數。寫入次數可用以表示一個邏輯單元被執行讀取操作的次數。然而，使用資訊也可包括更多其他資訊，並不以上述揭露的內容為限。

【0084】 以圖 8 為例，當接收到寫入指令 C1 後，記憶體管理電路 502 會執行對應邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)的寫入操作。此外，記憶體管理電路 502 會將對應邏輯單元 LBA(0)的有效計數加 1，並且將寫入次數加 1。另一方面，當屬於邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)的資料被刪除或被標識為無效資料時，記憶體管理電路 502 會將對應邏輯單元 LBA(0)的有效計數減 1。此外，當記憶體管理電路 502 接收到來自於主機系統 11 的讀取指令時，記憶體管理電路 502 會將讀取指令所指示讀取的邏輯單元的讀取次數加 1。然而，在另一範例實施例中，記憶體管理電路 502 也可記錄一個邏輯單元中的對應所有邏輯子單元的讀取次數，再計算對應所有邏輯子單元的讀取次數的總和作為一個邏輯單元的讀取次數。

【0085】 圖 9 是根據本發明的一範例實施例所繪示的邏輯單元的使用資訊的示意圖。

【0086】 請參照圖 9，記憶體管理電路 502 使用記錄表 910 來記錄每一個邏輯單元的使用資訊。如記錄表 910 所示，對應邏輯單元

LBA(0)的有效計數為 4，表示邏輯單元 LBA(0)具有已儲存有效資料的 4 個邏輯子單元。另外，對應邏輯單元 LBA(0)的讀取次數與寫入次數分別為 40 與 4，可用以表示邏輯單元 LBA(0)的資料被執行了 4 次的寫入操作，而且被執行了 40 次的讀取操作。換句話說，邏輯單元 LBA(0)可能儲存了經常被讀取的資料。

【0087】 特別的是，記憶體管理電路 502 會根據對應一個邏輯單元的使用資訊來決定是否對此邏輯單元執行資料整理操作。在此，資料整理操作是指將屬於此邏輯單元的資料複製（或搬移）到一個實體抹除單元中。

【0088】 具體而言，記憶體管理電路 502 會根據對應一個邏輯單元的使用資訊來判斷此邏輯單元是否符合整理條件。在本範例實施例中，記憶體管理電路 502 會根據對應一個邏輯單元的使用資訊來取得此邏輯單元的有效計數與存取參數來決定邏輯單元是否符合執行資料整理操作的整理條件。例如，記憶體管理電路 502 可查詢記錄表 910 來獲取對應邏輯單元 LBA(0)的有效計數。此外，記憶體管理電路 502 還可查詢記錄表 910 來獲取對應邏輯單元 LBA(0)的讀取次數與寫入次數，並且根據讀取次數與寫入次數計算出對應邏輯單元 LBA(0)的存取參數。在本範例實施例中，記憶體管理電路 502 可計算讀取次數與寫入次數的比值來獲取存取參數。例如，根據記錄表 910，邏輯單元 LBA(0)的有效計數為 4，存取參數為 10；邏輯單元 LBA(1)的有效計數為 4，存取參數為 15；邏輯單元 LBA(2)的有效計數為 2，存取參數為 0.5。

【0089】 圖 10 是根據本發明的一範例實施例所繪示的邏輯單元的資料整理操作的示意圖。

【0090】 請參照圖 10，假設一個邏輯單元包括 8 個邏輯子單元，並且一個實體抹除單元包括 8 個實體程式化單元。例如，邏輯單元 LBA(0)包括邏輯子單元 LCA(0-0)~LCA(0-7)。記憶體管理電路 502 根據如圖 8 的寫入指令執行寫入操作之後，邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)~LCA(0-3)分別映射至實體程式化單元 410(A-0)、410(B-0)、410(A-1)與 410(B-1)。實體程式化單元 410(A-0)與 410(A-1)屬於實體抹除單元 410(A)，且實體程式化單元 410(B-0)與 410(B-1)屬於實體抹除單元 410(B)。在本範例實施例中，假設邏輯單元 LBA(0)的邏輯子單元 LCA(0-4)~LCA(0-7)未映射至任何實體程式化單元。因此，記憶體管理電路 502 會在如圖 9 的記錄表 910 中記錄邏輯單元 LBA(0)的有效計數為 4。

【0091】 在本範例實施例中，記憶體管理電路 502 會根據一個邏輯單元的邏輯子單元的總數目來設定有效計數門檻值。例如，記憶體管理電路 502 可將有效計數門檻值設定為一個邏輯單元的邏輯子單元的總數目的一半。也就是說，有效計數門檻值可被設定為 4。此外，記憶體管理電路 502 還可預設一個存取參數門檻值，例如存取參數門檻值可被設定為 2。值得一提的是，有效計數門檻值與存取參數門檻值並不以上述的數值為限。在其他的範例實施例中，有效計數門檻值與存取參數門檻值也可依不同的應用需求被設定為適當的數值。例如，有效計數門檻值也可設定為一個邏

輯單元的邏輯子單元的總數目，或者有效計數門檻值也可設定為一個邏輯單元的邏輯子單元的總數目的四分之一。

【0092】 在本範例實施例中，記憶體管理電路 502 可以檢查所有的邏輯單元以找出符合執行資料整理操作的整理條件的邏輯單元。記憶體管理電路 502 可根據一個邏輯單元的有效計數來決定此邏輯單元是否符合第一整理條件。例如，當執行邏輯單元 LBA(0) 的檢查時，記憶體管理電路 502 可從如圖 9 的記錄表 910 中獲取對應邏輯單元 LBA(0) 的有效計數。接著，記憶體管理電路 502 會判斷邏輯單元 LBA(0) 的有效計數是否小於有效計數門檻值。例如，假設有效計數門檻值預設為 4，且邏輯單元 LBA(0) 的有效計數為 4。因此，記憶體管理電路 502 會判斷出邏輯單元 LBA(0) 的有效計數不小於有效計數門檻值因而判定邏輯單元 LBA(0) 符合第一整理條件。

【0093】 此外，記憶體管理電路 502 還可根據一個邏輯單元的存取參數來決定此邏輯單元是否符合第二整理條件。例如，記憶體管理電路 502 還會從圖 9 的記錄表 910 中獲取對應邏輯單元 LBA(0) 的讀取次數與寫入次數，並且計算讀取次數與寫入次數的比值來獲取邏輯單元 LBA(0) 的存取參數。然後，記憶體管理電路 502 會判斷邏輯單元 LBA(0) 的存取參數是否小於存取參數門檻值。例如，假設存取參數門檻值預設為 2，且記憶體管理電路 502 計算出邏輯單元 LBA(0) 的存取參數為 10。因此，記憶體管理電路 502 會判斷出邏輯單元 LBA(0) 的存取參數不小於存取參數門檻值因而判

定邏輯單元 LBA(0)符合第二整理條件。

【0094】 倘若邏輯單元 LBA(0)符合第一整理條件（亦即邏輯單元 LBA(0)的有效計數不小於有效計數門檻值）且邏輯單元 LBA(0)符合第二整理條件（亦即邏輯單元 LBA(0)的存取參數不小於存取參數門檻值）時，記憶體管理電路 502 會判定邏輯單元 LBA(0)符合執行資料整理操作的整理條件。之後，記憶體管理電路 502 會從閒置區 606 中提取一個空的實體抹除單元 410(C)，並且將屬於邏輯單元 LBA(0)的資料（亦即儲存在實體程式化單元 410(A-0)、410(B-0)、410(A-1)與 410(B-1)中的資料 D1、D2、D3 與 D4）複製到實體抹除單元 410(C)中。如圖 10 所示，記憶體管理電路 502 執行資料整理操作而將資料 D1~D4 依序儲存至實體抹除單元 410(C)的實體程式化單元 410(C-0)~410(C-3)中。在一範例實施例中，記憶體管理電路 502 還會將邏輯-實體映射表中對應邏輯單元 LBA(0)的映射資訊更新為邏輯單元 LBA(0)的邏輯子單元 LCA(0-0)~LCA(0-3)映射至實體抹除單元 410(C)的實體程式化單元 410(C-0)~410(C-3)。實體程式化單元 410(C-0)~410(C-3)對應連續的實體位址範圍。

【0095】 圖 11 是根據本發明的另一範例實施例所繪示的邏輯單元的資料整理操作的示意圖。

【0096】 請參照圖 11，相同於圖 10 的範例實施例，記憶體管理電路 502 將屬於邏輯單元 LBA(0)的資料複製到實體抹除單元 410(C)的實體程式化單元 410(C-0)~410(C-3)，並且有效計數門檻值為 4，

存取參數門檻值為 2。然而，在圖 11 的範例實施例中，假設邏輯單元 LBA(1)的邏輯子單元 LCA(1-4)~LCA(1-7)未映射至任何實體程式化單元。因此，記憶體管理電路 502 可根據圖 9 的記錄表 910 中對應邏輯單元 LBA(1)的使用資訊獲取邏輯單元 LBA(1)的有效計數為 4。接著，記憶體管理電路 502 會判斷出邏輯單元 LBA(1)的有效計數不小於有效計數門檻值。此外，記憶體管理電路 502 還從圖 9 的記錄表 910 中獲取對應邏輯單元 LBA(1)的讀取次數與寫入次數，並且計算出邏輯單元 LBA(1)的存取參數為 15。接著，記憶體管理電路 502 會判斷出邏輯單元 LBA(1)的存取參數不小於存取參數門檻值。由於邏輯單元 LBA(1)的有效計數不小於有效計數門檻值且邏輯單元 LBA(1)的存取參數不小於存取參數門檻值，因此，記憶體管理電路 502 會判定邏輯單元 LBA(1)符合執行資料整理操作的整理條件。

【0097】 在本範例實施例中，記憶體管理電路 502 會將屬於邏輯單元 LBA(1)的資料（亦即儲存在實體程式化單元 410(A-2)、410(B-2)、410(A-3)與 410(B-3)中的資料 D5、D6、D7 與 D8）複製到實體抹除單元 410(C)中。如圖 11 所示，記憶體管理電路 502 將資料 D5~D8 依序儲存至實體抹除單元 410(C)的實體程式化單元 410(C-4)~410(C-7)中，並且將邏輯-實體映射表中對應邏輯單元 LBA(1)的映射資訊更新為邏輯單元 LBA(1)的邏輯子單元 LCA(1-0)~LCA(1-3)映射至實體抹除單元 410(C)的實體程式化單元 410(C-4)~410(C-7)。

【0098】 值得一提的是，在圖 10 與圖 11 的範例實施例中，記憶體管理電路 502 可先對邏輯單元執行有效計數是否不小於有效計數門檻值的判斷，並且記錄有效計數不小於有效計數門檻值的邏輯單元。例如，記憶體管理電路 502 可將用以表示有效計數不小於有效計數門檻值的邏輯單元的起始邏輯位址記錄在系統區 606 的一個實體抹除單元中。之後，當記憶體管理電路 502 要執行資料整理操作時，再針對被記錄的邏輯單元執行存取參數是否小於存取參數門檻值的判斷，從而判斷出存取參數不小於存取參數門檻值的邏輯單元以決定出可被執行資料整理操作的邏輯單元。

【0099】 在決定出可被執行資料整理操作的邏輯單元之後，記憶體管理電路 502 會執行對應於所決定出的邏輯單元的資料整理操作。在一範例實施例中，記憶體管理電路 502 可在決定出可被執行資料整理操作的邏輯單元之後立即執行資料整理操作。然而，在另一範例實施例中，記憶體管理電路 502 也先記錄所決定出的邏輯單元，並在特定的時間執行對應所決定出的邏輯單元的資料整理操作。例如，當在背景執行模式下執行垃圾收集（garbage collection）操作時，記憶體管理電路 502 可同步執行對應所決定出的邏輯單元的資料整理操作。或者，記憶體管理電路 502 也可在發送寫入指令序列時，同步指示執行對應所決定出的邏輯單元的資料整理操作。本發明並不限制執行資料整理操作的執行時間。

【0100】 圖 12 是根據本發明的一範例實施例所繪示的資料寫入方法的流程圖。

【0101】 請參照圖 12，在步驟 S1201 中，記憶體管理電路 502 會配置複數個邏輯單元以映射可複寫式非揮發性記憶體模組 406 的至少部份的實體抹除單元。記憶體管理電路 502 可將對應邏輯單元的映射資訊記錄在邏輯-實體映射表中。映射資訊可包括用以表示邏輯單元映射至實體抹除單元的資訊，或者用以表示邏輯子單元映射至實體程式化單元的資訊。

【0102】 在步驟 S1203 中，記憶體管理電路 502 可根據來自於主機系統 11 的寫入指令將屬於第一邏輯單元的第一資料寫入至第一實體抹除單元中。在步驟 S1205 中，記憶體管理電路 502 可根據來自於主機系統 11 的寫入指令將屬於第一邏輯單元的第二資料寫入至第二實體抹除單元中。在本範例實施例中，第一資料屬於第一邏輯單元的第一邏輯子單元，第二資料屬於第一邏輯單元的第二邏輯子單元，並且第二邏輯子單元的邏輯位址範圍接續在第一邏輯子單元的邏輯位址範圍之後。

【0103】 接著，在步驟 S1207 中，記憶體管理電路 502 會記錄對應每一個邏輯單元的使用資訊。

【0104】 在步驟 S1209 中，記憶體管理電路 502 會根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元。

【0105】 圖 13 是根據本發明的另一範例實施例所繪示的資料寫入方法的流程圖。圖 13 與圖 12 中相同編號的步驟是執行相同的操

作。圖 13 的步驟 S1309~S1317 為圖 12 的步驟 S1209 的詳細步驟。以下將針對步驟 S1309~S1317 進行說明。在本範例實施例中，每一個邏輯單元的使用資訊包括每一個邏輯單元的有效計數、讀取次數與寫入次數。

【0106】 在步驟 S1309 中，記憶體管理電路 502 根據對應第一邏輯單元的使用資訊獲取第一有效計數。例如，記憶體管理電路 502 可藉由查詢用以記錄使用資訊的記錄表來獲取對應的有效計數。

【0107】 接著，在步驟 S1311 中，記憶體管理電路 502 判斷第一邏輯單元的第一有效計數是否小於有效計數門檻值。

【0108】 倘若第一有效計數小於有效計數門檻值，記憶體管理電路 502 會選取另一個邏輯單元做為第一邏輯單元，並且再次執行步驟 S1309。另一方面，倘若第一邏輯單元的第一有效計數不小於有效計數門檻值，在步驟 S1313 中，記憶體管理電路 502 會根據對應第一邏輯單元的使用資訊獲取第一存取參數。在本範例實施例中，記憶體管理電路 502 是計算第一邏輯單元的讀取次數與寫入次數的比值來獲取第一存取參數。

【0109】 接著，在步驟 S1315 中，記憶體管理電路 502 會判斷第一邏輯單元的第一存取參數是否小於存取參數門檻值。

【0110】 倘若第一邏輯單元的第一存取參數小於存取參數門檻值，記憶體管理電路 502 會選取另一個邏輯單元做為第一邏輯單元，並且再次執行步驟 S1309。另一方面，倘若第一邏輯單元的第一存取參數不小於存取參數門檻值，在步驟 S1317 中，記憶體管

理電路 502 會將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元。

【0111】 然而，在另一範例實施例中，在上述的步驟 S1311 之後，倘若第一邏輯單元的第一有效計數不小於有效計數門檻值，記憶體管理電路 502 可先記錄此第一邏輯單元。接著，記憶體管理電路 502 會選取另一個邏輯單元做為新的第一邏輯單元，並且再次執行步驟 S1309，由此找出所有邏輯單元中有效計數不小於有效計數門檻值的邏輯單元。之後，記憶體管理電路 502 會針對被記錄的邏輯單元（亦即所有邏輯單元中有效計數不小於有效計數門檻值的邏輯單元）執行上述的步驟 S1313 的操作。也就是說，記憶體管理電路 502 會從被記錄的邏輯單元中選取新的第一邏輯單元以執行步驟 S1313 的操作。在此範例實施例中，在上述的步驟 S1313 之後，倘若第一邏輯單元（亦即某個被記錄的邏輯單元）的第一存取參數小於存取參數門檻值，記憶體管理電路 502 會從被記錄的邏輯單元中選取另一個邏輯單元作為新的第一邏輯單元，並且再次執行步驟 S1313。

【0112】 圖 12 與圖 13 中的各步驟已於前述的範例實施例中詳細說明，於此便不再贅述。

【0113】 綜上所述，本發明藉由記錄對應邏輯單元的使用資訊，可獲取邏輯單元的有效計數與存取參數。當邏輯單元的有效計數達到有效計數門檻值並且存取參數達到存取參數門檻值時，屬於此邏輯單元的資料會被整理至一個實體抹除單元中。換句話說，

儲存了較多有效資料以及儲存了經常被讀取的資料的邏輯單元可被選取來執行資料整理操作。如此一來，上述的邏輯單元的資料會被儲存在一個實體抹除單元中。由此可節省從邏輯-實體映射表找出對應的映射資訊的時間，並且可透過較少的讀取指令來讀取屬於連續的邏輯位址的資料，從而縮短讀取操作的執行時間。

【0114】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0115】

- 10：記憶體儲存裝置
- 11：主機系統
- 12：輸入/輸出（I/O）裝置
- 110：系統匯流排
- 111：處理器
- 112：隨機存取記憶體（RAM）
- 113：唯讀記憶體（ROM）
- 114：資料傳輸介面
- 20：主機板
- 204：無線記憶體儲存裝置

- 205：全球定位系統模組
- 206：網路介面卡
- 207：無線傳輸裝置
- 208：鍵盤
- 209：螢幕
- 210：喇叭
- 30：記憶體儲存裝置
- 31：主機系統
- 32：SD 卡
- 33：CF 卡
- 34：嵌入式儲存裝置
- 341：嵌入式多媒體卡
- 342：嵌入式多晶片封裝儲存裝置
- 402：連接介面單元
- 404：記憶體控制電路單元
- 406：可複寫式非揮發性記憶體模組
- 410(0)、410(1)、410(A)、410(B)、410(C)、410(F-1)、410(F)、
410(F+1)、410(S-1)、410(S)、410(S+1)、410(R-1)、410(R)、
410(R+1)、410(N)：實體抹除單元
- 502：記憶體管理電路
- 504：主機介面
- 506：記憶體介面

508：緩衝記憶體

510：電源管理電路

512：錯誤檢查與校正電路

602：資料區

604：閒置區

606：系統區

608：取代區

LBA(0)~LBA(H)：邏輯單元

LZ(0)~LZ(M)：邏輯區域

C1~C8：寫入指令

D1~D8：資料

LCA(0-0)~LCA(0-7)、LCA(1-0)~LCA(1-7)：邏輯子單元

410(A-0)~410(A-7)、410(B-0)~410(B-7)、410(C-0)~410(C-7)：

實體程式化單元

910：記錄表

S1201：配置複數個邏輯單元以映射可複寫式非揮發性記憶體模組的至少部份的實體抹除單元的步驟

S1203：將屬於第一邏輯單元的第一資料寫入至第一實體抹除單元中的步驟

S1205：將屬於第一邏輯單元的第二資料寫入至第二實體抹除單元中的步驟

S1207：記錄對應每一個邏輯單元的使用資訊的步驟

S1209: 根據第一邏輯單元的使用資訊執行對應第一邏輯單元的資料整理操作以將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元的步驟

S1309: 根據對應第一邏輯單元的使用資訊獲取第一有效計數的步驟

S1311: 判斷第一邏輯單元的第一有效計數是否小於有效計數門檻值的步驟

S1313: 根據對應第一邏輯單元的使用資訊獲取第一存取參數的步驟

S1315: 判斷第一邏輯單元的第一存取參數是否小於存取參數門檻值的步驟

S1317: 將屬於第一邏輯單元的第一資料與第二資料從第一實體抹除單元與第二實體抹除單元複製到第三實體抹除單元的步驟

【發明申請專利範圍】

【第1項】一種資料寫入方法，用於具有複數個實體抹除單元的一可複寫式非揮發性記憶體模組，所述資料寫入方法包括：

配置複數個邏輯單元以映射該些實體抹除單元之中的至少部份的實體抹除單元，其中該些邏輯單元包括一第一邏輯單元；

將屬於該第一邏輯單元的一第一資料寫入至該些實體抹除單元之中的一第一實體抹除單元中；

將屬於該第一邏輯單元的一第二資料寫入至該些實體抹除單元之中的一第二實體抹除單元中；

記錄對應該些邏輯單元之中的每一個邏輯單元的一使用資訊；以及

根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的一第三實體抹除單元，

其中該第一資料屬於該第一邏輯單元的一第一邏輯子單元，該第二資料屬於該第一邏輯單元的一第二邏輯子單元，並且該第二邏輯子單元的邏輯位址範圍接續在該第一邏輯子單元的邏輯位址範圍之後。

【第2項】如申請專利範圍第1項所述的資料寫入方法，其中根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作的步驟包括：

根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合一整理條件；以及

當判定該第一邏輯單元符合該整理條件時，執行對應該第一邏輯單元的資料整理操作。

【第3項】如申請專利範圍第2項所述的資料寫入方法，其中對應每一個邏輯單元的該使用資訊包括一有效計數，

其中根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的步驟包括：

當對應該第一邏輯單元的一第一有效計數不小於一有效計數門檻值時，判定該第一邏輯單元符合一第一整理條件。

【第4項】如申請專利範圍第3項所述的資料寫入方法，更包括：

根據一個邏輯單元中的所有邏輯子單元的數目來決定該有效計數門檻值。

【第5項】如申請專利範圍第3項所述的資料寫入方法，其中對應每一個邏輯單元的該使用資訊更包括一讀取次數，

其中根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的步驟更包括：

根據對應該第一邏輯單元的該讀取次數獲取一第一存取參數；以及

當該第一存取參數不小於一存取參數門檻值時，判定該第一邏輯單元符合一第二整理條件。

【第6項】如申請專利範圍第5項所述的資料寫入方法，其中對應每一個邏輯單元的該使用資訊更包括一寫入次數，

其中根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的步驟包括：

計算該第一邏輯單元的該讀取次數與該寫入次數的一比值以獲取該第一存取參數。

【第7項】如申請專利範圍第5項所述的資料寫入方法，其中根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的步驟更包括：

當判定該第一邏輯單元符合該第一整理條件且該第一邏輯單元符合該第二整理條件時，判定該第一邏輯單元符合該整理條件。

【第8項】如申請專利範圍第5項所述的資料寫入方法，其中根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的步驟是當該第一邏輯單元的該第一有效計數不小於該有效計數門檻值時被執行。

【第9項】如申請專利範圍第1項所述的資料寫入方法，更包括：

在將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的步驟之後，設定該第一邏輯單元映射至該第三實體抹除單元。

【第10項】如申請專利範圍第1項所述的資料寫入方法，其中根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整

理操作以將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的步驟包括：

將屬於該第一邏輯子單元的該第一資料從該第一實體抹除單元複製到該第三實體抹除單元的一第一實體程式化單元；以及

將屬於該第二邏輯子單元的該第二資料從該第二實體抹除單元複製到該第三實體抹除單元的一第二實體程式化單元，

其中該第二實體程式化單元的實體位址範圍接續在該第一實體程式化單元的實體位址範圍之後。

【第11項】 如申請專利範圍第1項所述的資料寫入方法，其中該些邏輯單元包括一第二邏輯單元，所述資料寫入方法更包括：

將屬於該第二邏輯單元的一第三資料寫入至該些實體抹除單元之中的一第四實體抹除單元中；

將屬於該第二邏輯單元的一第四資料寫入至該些實體抹除單元之中的一第五實體抹除單元中；以及

根據該第二邏輯單元的該使用資訊執行對應該第二邏輯單元的資料整理操作以將屬於該第二邏輯單元的該第三資料與該第四資料從該第四實體抹除單元與該第五實體抹除單元複製到該第三實體抹除單元。

【第12項】 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，具有複數個實體抹除單

元；以及

一記憶體控制電路單元，用以耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，其中該記憶體控制電路單元用以配置複數個邏輯單元以映射該些實體抹除單元之中的至少部份的實體抹除單元，其中該些邏輯單元包括一第一邏輯單元，

其中該記憶體控制電路單元更用以將屬於該第一邏輯單元的一第一資料寫入至該些實體抹除單元中的一第一實體抹除單元中，

其中該記憶體控制電路單元更用以將屬於該第一邏輯單元的一第二資料寫入至該些實體抹除單元中的一第二實體抹除單元中，

其中該記憶體控制電路單元更用以記錄對應該些邏輯單元之中的每一個邏輯單元的一使用資訊，

其中該記憶體控制電路單元更用以根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元中的一第三實體抹除單元，

其中該第一資料屬於該第一邏輯單元的一第一邏輯子單元，該第二資料屬於該第一邏輯單元的一第二邏輯子單元，並且該第二邏輯子單元的邏輯位址範圍接續在該第一邏輯子單元的邏輯位址範圍之後。

【第13項】如申請專利範圍第12項所述的記憶體儲存裝置，其中在根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作的運作中，該記憶體控制電路單元用以根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合一整理條件，並且當判定該第一邏輯單元符合該整理條件時，執行對應該第一邏輯單元的資料整理操作。

【第14項】如申請專利範圍第13項所述的記憶體儲存裝置，其中對應每一個邏輯單元的該使用資訊包括一有效計數，

其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，當對應該第一邏輯單元的一第一有效計數不小於一有效計數門檻值時，該記憶體控制電路單元判定該第一邏輯單元符合一第一整理條件。

【第15項】如申請專利範圍第14項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以根據一個邏輯單元中的所有邏輯子單元的數目來決定該有效計數門檻值。

【第16項】如申請專利範圍第14項所述的記憶體儲存裝置，其中對應每一個邏輯單元的該使用資訊更包括一讀取次數，

其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，該記憶體控制電路單元更用以根據對應該第一邏輯單元的該讀取次數獲取一第一存取參數，並且當該第一存取參數不小於一存取參數門檻值時，該記憶體控制電路單元判定該第一邏輯單元符合一第二整理條件。

【第17項】如申請專利範圍第16項所述的記憶體儲存裝置，其中對應每一個邏輯單元的該使用資訊更包括一寫入次數，

其中在根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的運作中，該記憶體控制電路單元用以計算該第一邏輯單元的該讀取次數與該寫入次數的一比值以獲取該第一存取參數。

【第18項】如申請專利範圍第16項所述的記憶體儲存裝置，其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，當判定該第一邏輯單元符合該第一整理條件且該第一邏輯單元符合該第二整理條件時，該記憶體控制電路單元判定該第一邏輯單元符合該整理條件。

【第19項】如申請專利範圍第16項所述的記憶體儲存裝置，其中該記憶體控制電路單元是當該第一邏輯單元的該第一有效計數不小於該有效計數門檻值時執行根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的運作。

【第20項】如申請專利範圍第12項所述的記憶體儲存裝置，其中在將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的運作之後，該記憶體控制電路單元更用以設定該第一邏輯單元映射至該第三實體抹除單元。

【第21項】如申請專利範圍第12項所述的記憶體儲存裝置，其中在根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將屬於該第一邏輯單元的該第一資料與該第二資

料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的運作中，該記憶控制電路單元用以將屬於該第一邏輯子單元的該第一資料從該第一實體抹除單元複製到該第三實體抹除單元的一第一實體程式化單元，並且將屬於該第二邏輯子單元的該第二資料從該第二實體抹除單元複製到該第三實體抹除單元的一第二實體程式化單元，

其中該第二實體程式化單元的實體位址範圍接續在該第一實體程式化單元的實體位址範圍之後。

【第22項】如申請專利範圍第12項所述的記憶體儲存裝置，其中該些邏輯單元包括一第二邏輯單元，

其中該記憶體控制電路單元更用以將屬於該第二邏輯單元的一第三資料寫入至該些實體抹除單元之中的一第四實體抹除單元中，

其中該記憶體控制電路單元更用以將屬於該第二邏輯單元的一第四資料寫入至該些實體抹除單元之中的一第五實體抹除單元中，

其中該記憶體控制電路單元更用以根據該第二邏輯單元的該使用資訊執行對應該第二邏輯單元的資料整理操作以將屬於該第二邏輯單元的該第三資料與該第四資料從該第四實體抹除單元與該第五實體抹除單元複製到該第三實體抹除單元。

【第23項】 一種記憶體控制電路單元，用以控制具有複數個實體抹除單元的一可複寫式非揮發性記憶體模組，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接該可複寫式非揮發性記憶體模組；

以及

一記憶體管理電路，用以耦接至該主機介面與該記憶體介面，其中該記憶體管理電路用以配置複數個邏輯單元以映射該些實體抹除單元之中的至少部份的實體抹除單元，其中該些邏輯單元包括一第一邏輯單元，

其中該記憶體管理電路更用以將屬於該第一邏輯單元的一第一資料寫入至該些實體抹除單元之中的一第一實體抹除單元中，

其中該記憶體管理電路更用以將屬於該第一邏輯單元的一第二資料寫入至該些實體抹除單元之中的一第二實體抹除單元中，

其中該記憶體管理電路更用以記錄對應該些邏輯單元之中的每一個邏輯單元的一使用資訊，

其中該記憶體管理電路更用以根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的一第三實體抹除單元，

其中該第一資料屬於該第一邏輯單元的一第一邏輯子單元，

該第二資料屬於該第一邏輯單元的一第二邏輯子單元，並且該第二邏輯子單元的邏輯位址範圍接續在該第一邏輯子單元的邏輯位址範圍之後。

【第24項】如申請專利範圍第23項所述的記憶體控制電路單元，其中在根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作的運作中，該記憶體管理電路用以根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合一整理條件，並且當判定該第一邏輯單元符合該整理條件時，執行對應該第一邏輯單元的資料整理操作。

【第25項】如申請專利範圍第24項所述的記憶體控制電路單元，其中對應每一個邏輯單元的該使用資訊包括一有效計數，

其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，當對應該第一邏輯單元的一第一有效計數不小於一有效計數門檻值時，該記憶體管理電路判定該第一邏輯單元符合一第一整理條件。

【第26項】如申請專利範圍第25項所述的記憶體控制電路單元，其中該記憶體管理電路更用以根據一個邏輯單元中的所有邏輯子單元的數目來決定該有效計數門檻值。

【第27項】如申請專利範圍第25項所述的記憶體控制電路單元，其中對應每一個邏輯單元的該使用資訊更包括一讀取次數，

其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，該記憶體管理電路更用以根據

對應該第一邏輯單元的該讀取次數獲取一第一存取參數，並且當該第一存取參數不小於一存取參數門檻值時，該記憶體管理電路判定該第一邏輯單元符合一第二整理條件。

【第28項】如申請專利範圍第27項所述的記憶體控制電路單元，其中對應每一個邏輯單元的該使用資訊更包括一寫入次數，

其中在根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的運作中，該記憶體管理電路用以計算該第一邏輯單元的該讀取次數與該寫入次數的一比值以獲取該第一存取參數。

【第29項】如申請專利範圍第27項所述的記憶體控制電路單元，其中在根據該第一邏輯單元的該使用資訊判斷該第一邏輯單元是否符合該整理條件的運作中，當判定該第一邏輯單元符合該第一整理條件且該第一邏輯單元符合該第二整理條件時，該記憶體管理電路判定該第一邏輯單元符合該整理條件。

【第30項】如申請專利範圍第27項所述的記憶體控制電路單元，其中該記憶體管理電路是當該第一邏輯單元的該第一有效計數不小於該有效計數門檻值時執行根據對應該第一邏輯單元的該讀取次數獲取該第一存取參數的運作。

【第31項】如申請專利範圍第23項所述的記憶體控制電路單元，其中在將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的運作之後，該記憶體管理電路更用以設定該第一邏輯單元映射至該第三實體抹除單元。

【第32項】如申請專利範圍第23項所述的記憶體控制電路單元，其中在根據該第一邏輯單元的該使用資訊執行對應該第一邏輯單元的資料整理操作以將屬於該第一邏輯單元的該第一資料與該第二資料從該第一實體抹除單元與該第二實體抹除單元複製到該些實體抹除單元之中的該第三實體抹除單元的運作中，該記憶管理電路用以將屬於該第一邏輯子單元的該第一資料從該第一實體抹除單元複製到該第三實體抹除單元的一第一實體程式化單元，並且將屬於該第二邏輯子單元的該第二資料從該第二實體抹除單元複製到該第三實體抹除單元的一第二實體程式化單元，

其中該第二實體程式化單元的實體位址範圍接續在該第一實體程式化單元的實體位址範圍之後。

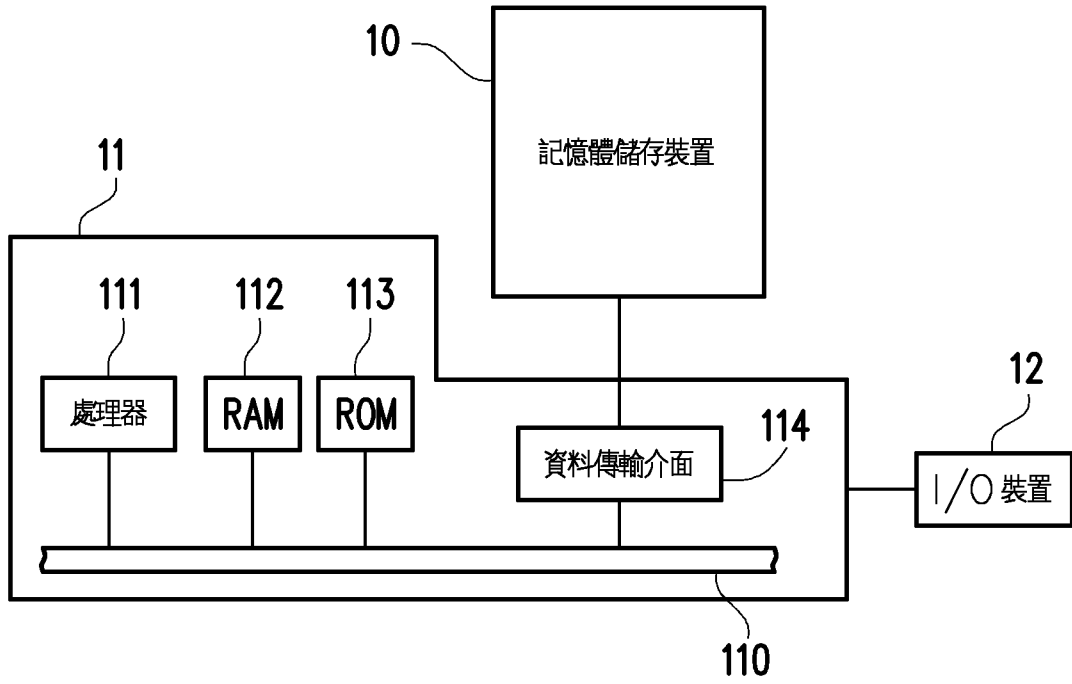
【第33項】如申請專利範圍第23項所述的記憶體控制電路單元，其中該些邏輯單元包括一第二邏輯單元，

其中該記憶體管理電路更用以將屬於該第二邏輯單元的一第三資料寫入至該些實體抹除單元之中的一第四實體抹除單元中，

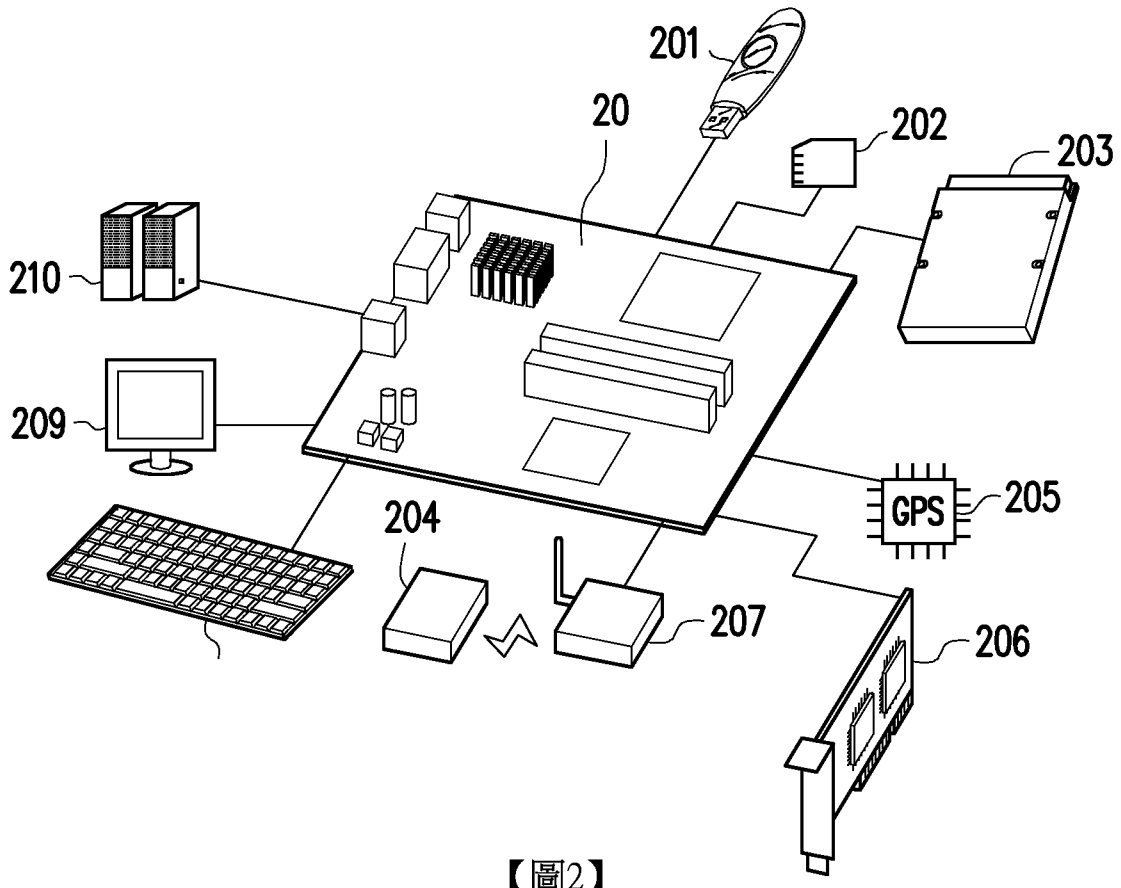
其中該記憶體管理電路更用以將屬於該第二邏輯單元的一第四資料寫入至該些實體抹除單元之中的一第五實體抹除單元中，

其中該記憶體管理電路更用以根據該第二邏輯單元的該使用資訊執行對應該第二邏輯單元的資料整理操作以將屬於該第二邏輯單元的該第三資料與該第四資料從該第四實體抹除單元與該第五實體抹除單元複製到該第三實體抹除單元。

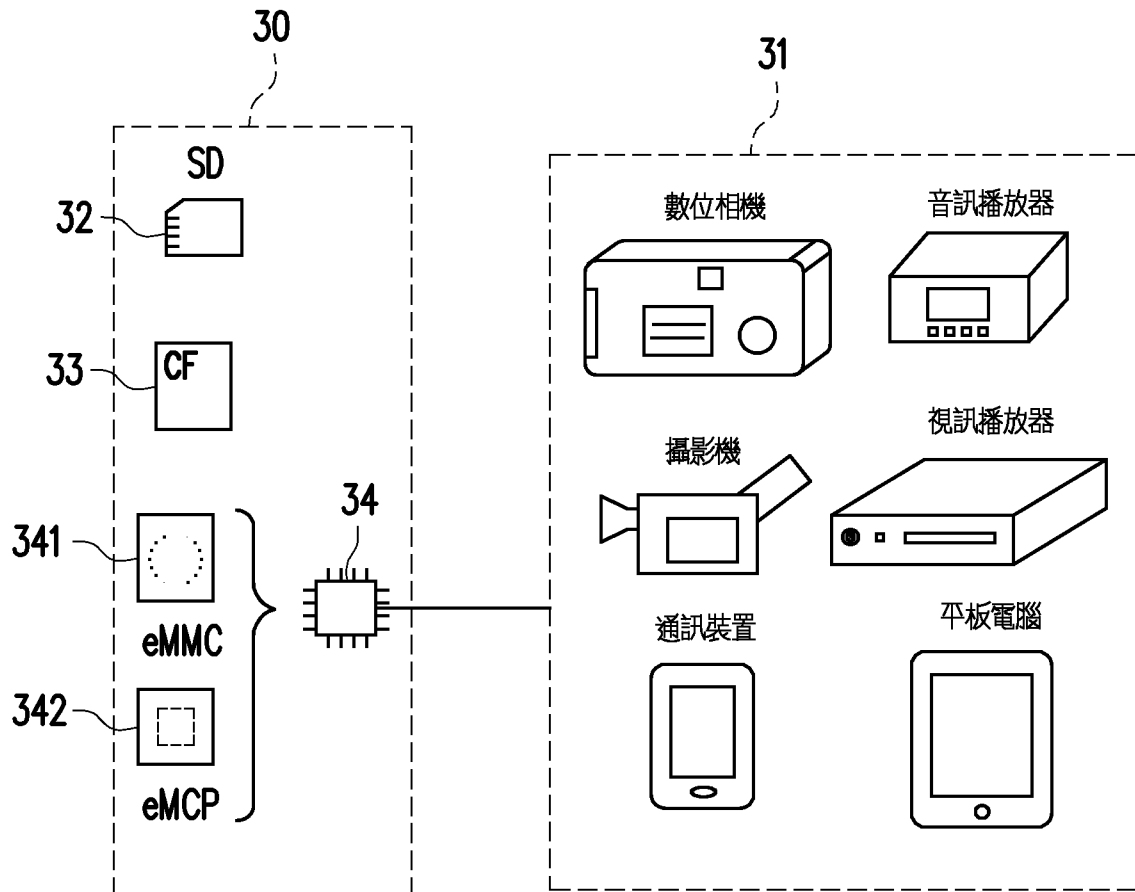
【發明圖式】



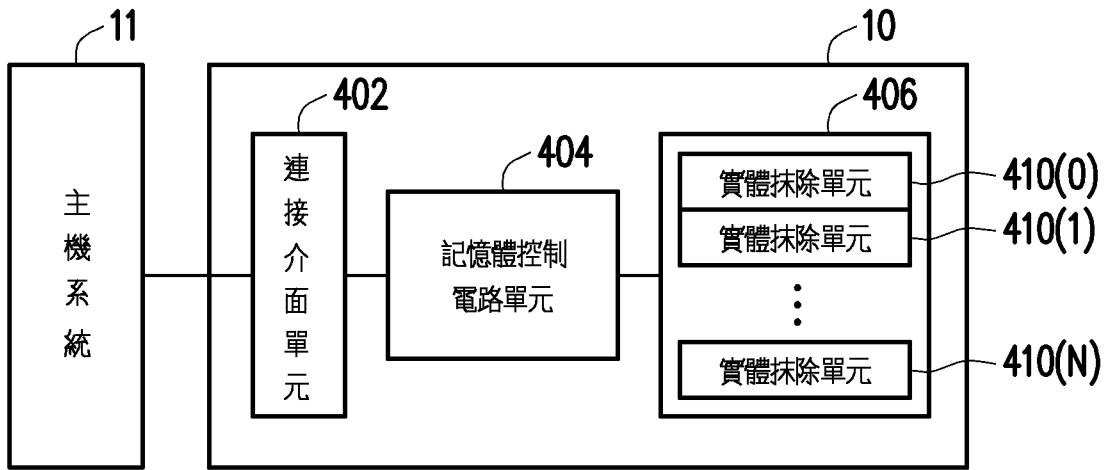
【圖1】



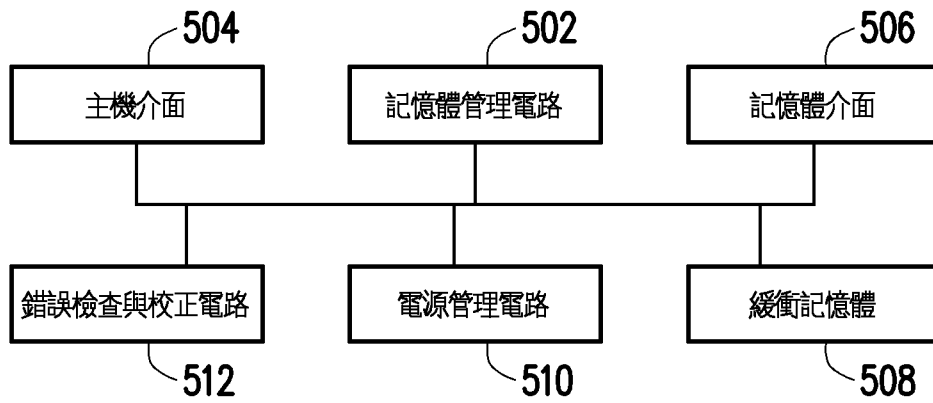
【圖2】



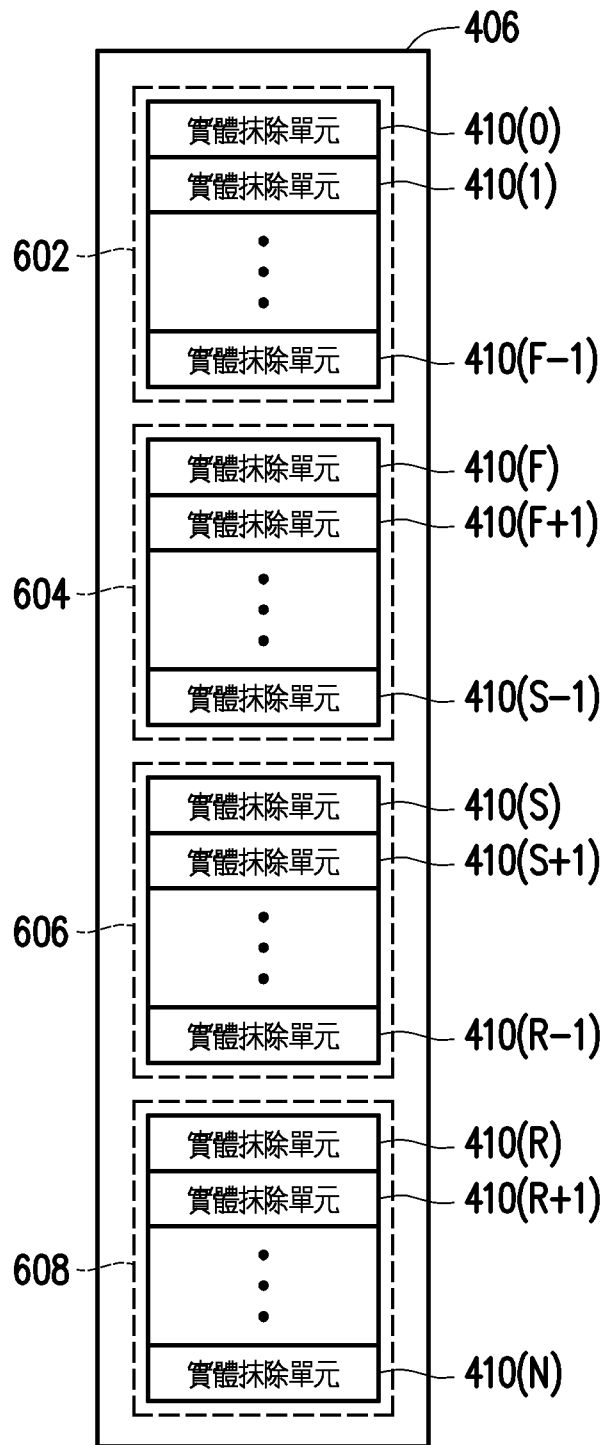
【圖3】



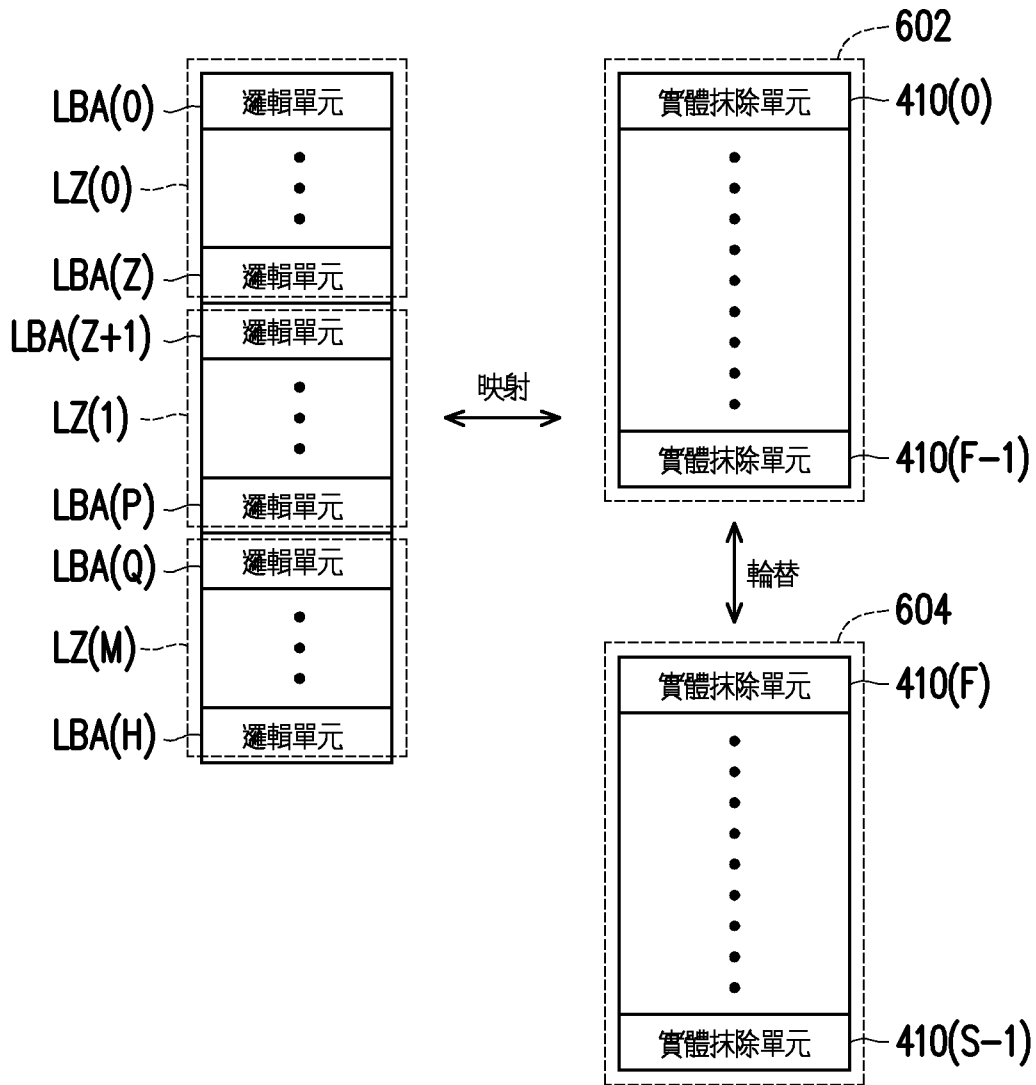
【圖4】



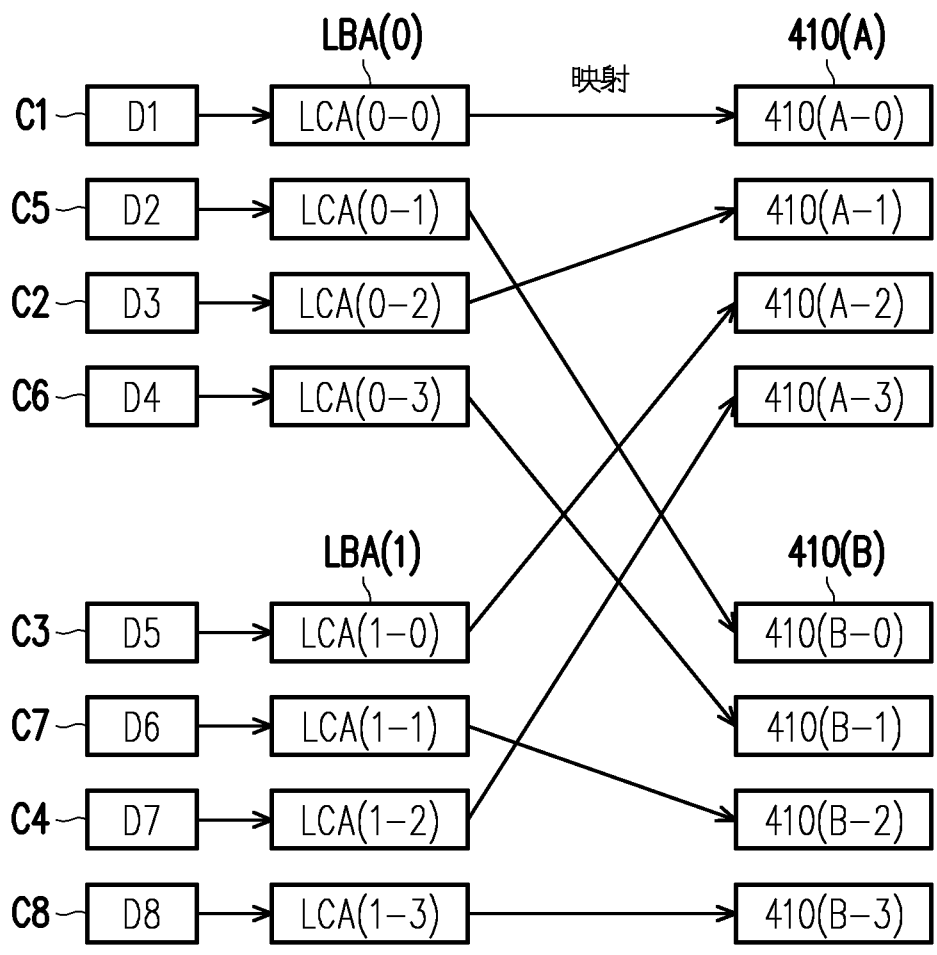
【圖5】



【圖6】



【圖7】

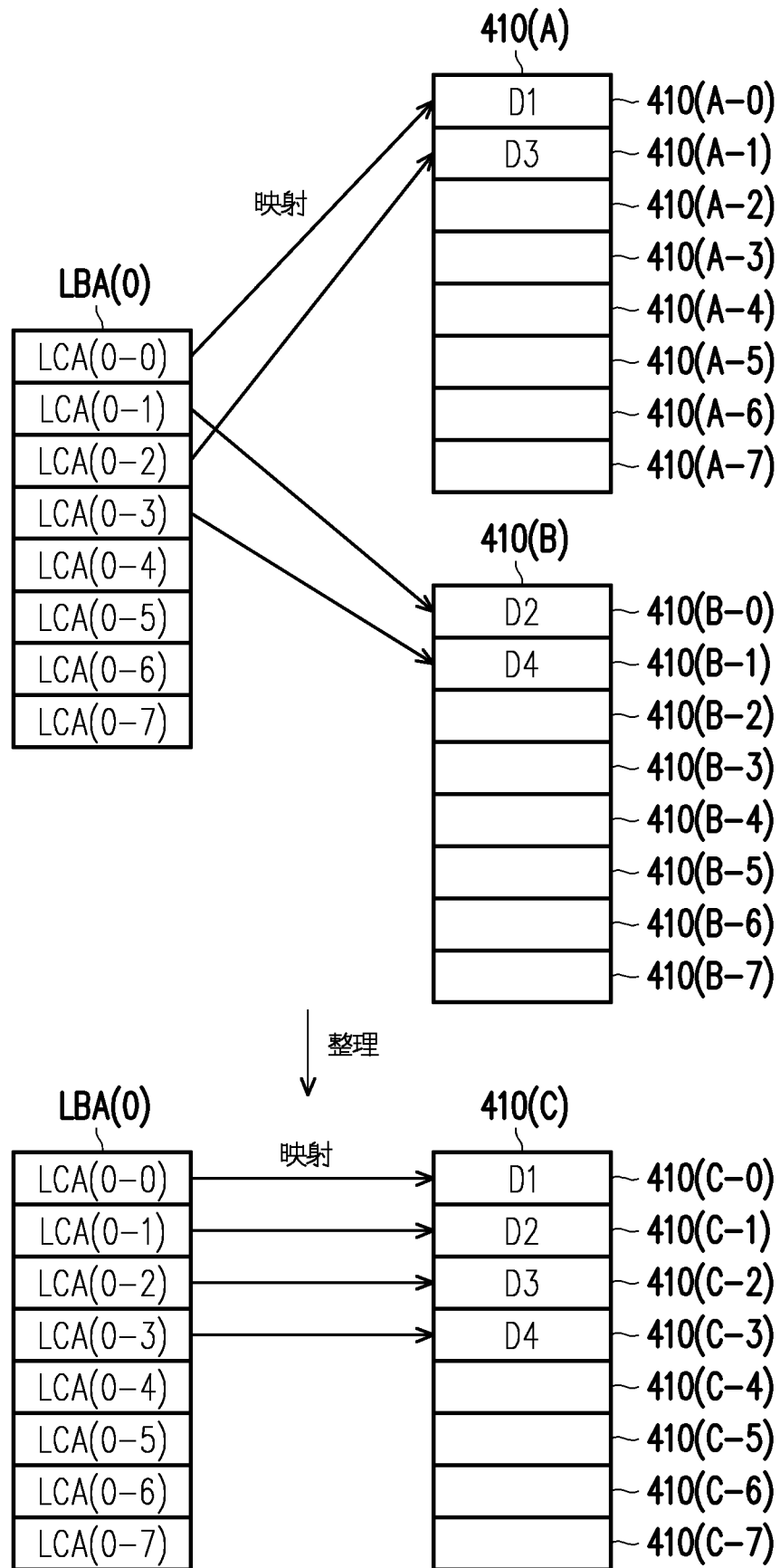


【圖8】

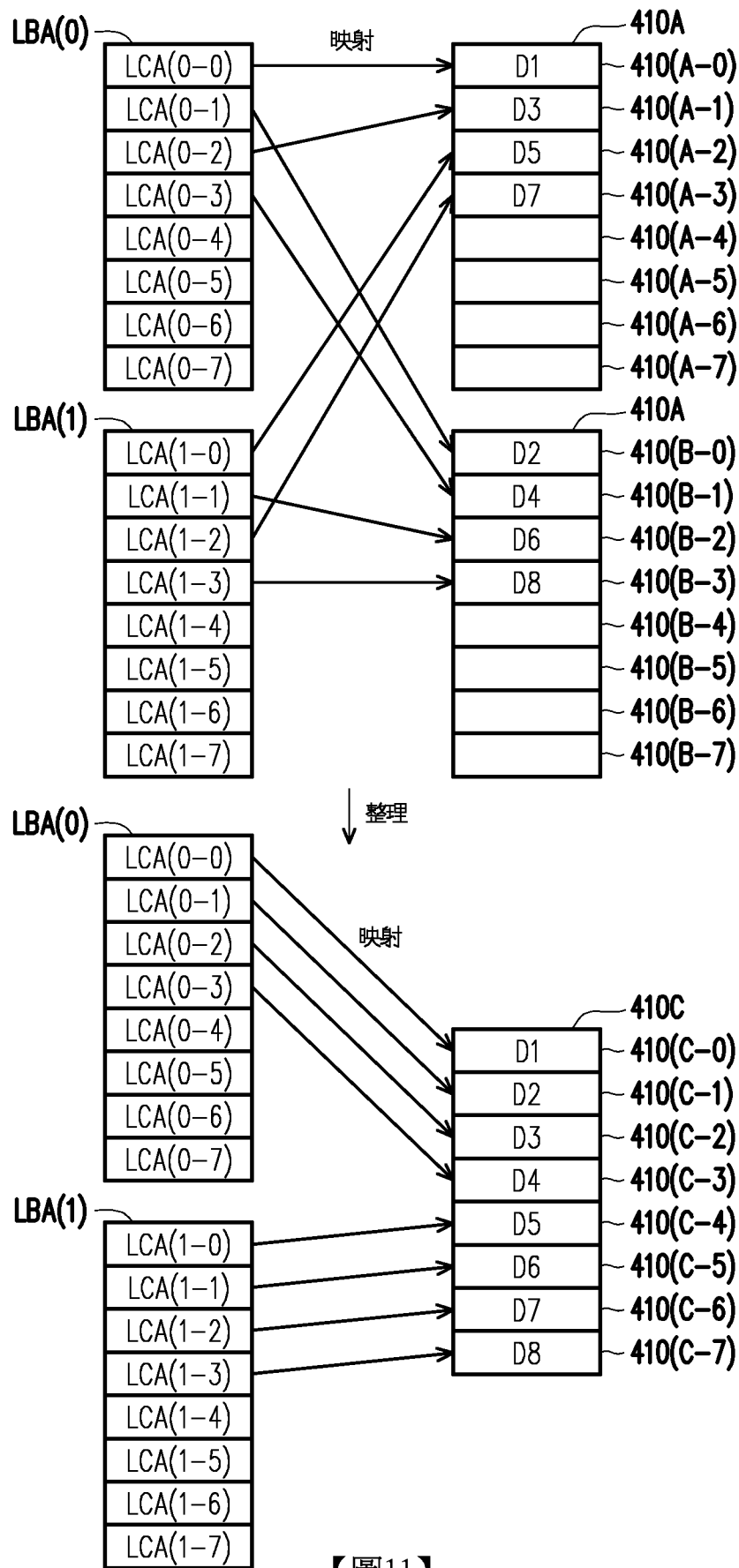
910

邏輯單元	有效計數	讀取次數	寫入次數
LBA(0)	4	40	4
LBA(1)	4	60	4
LBA(2)	2	3	6
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮

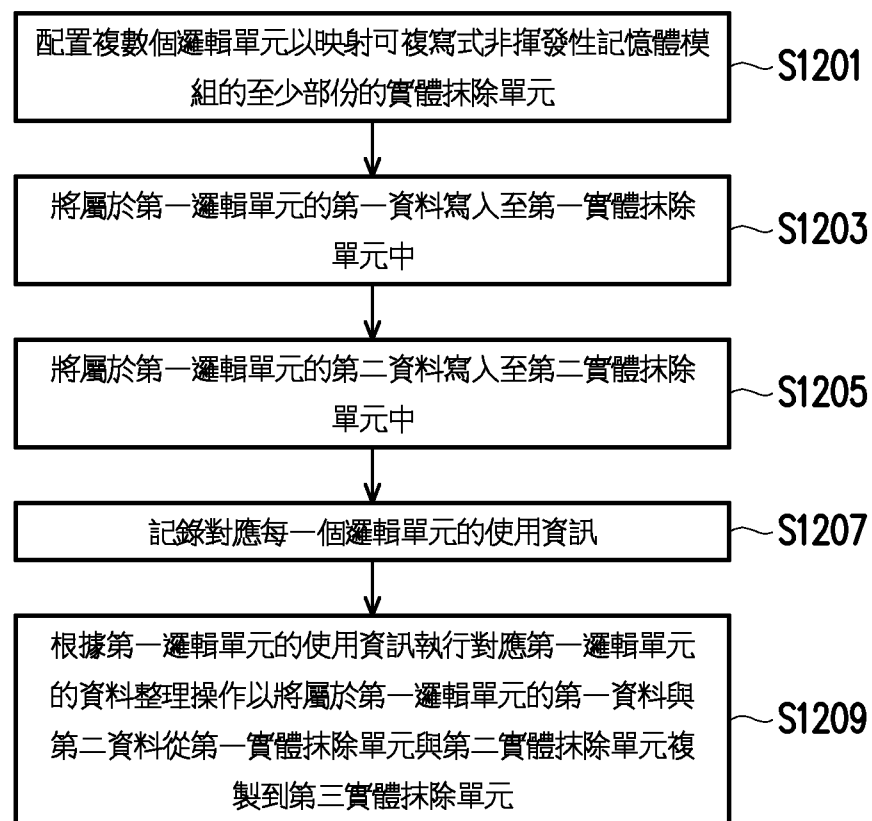
【圖9】



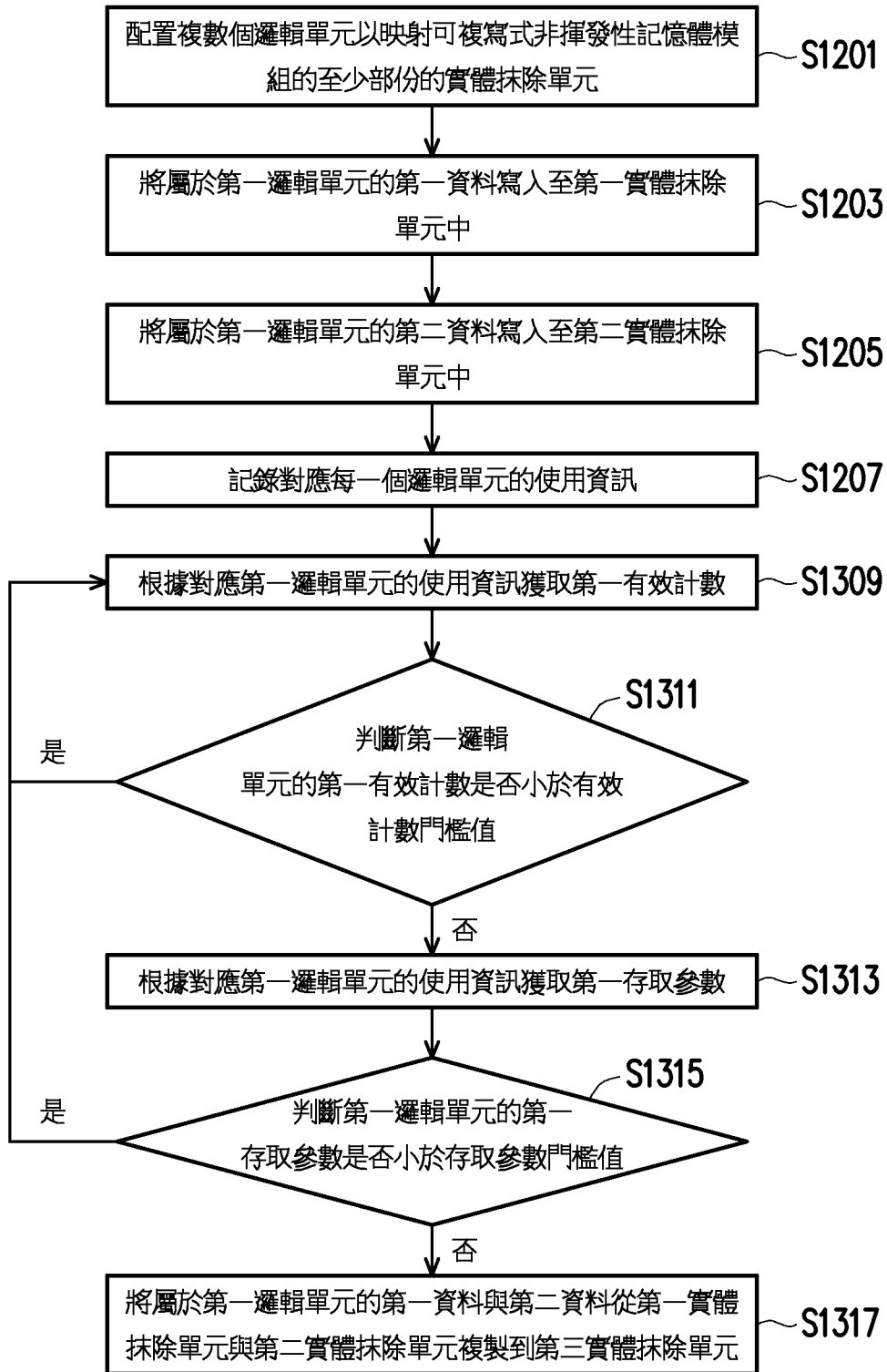
【圖10】



【圖11】



【圖12】



【圖13】