



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월07일
(11) 등록번호 10-1935928
(24) 등록일자 2018년12월31일

(51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 29/51 (2006.01)
(52) CPC특허분류
H01L 29/7783 (2013.01)
H01L 29/513 (2013.01)
(21) 출원번호 10-2017-0033563
(22) 출원일자 2017년03월17일
심사청구일자 2017년03월17일
(65) 공개번호 10-2018-0106026
(43) 공개일자 2018년10월01일
(56) 선행기술조사문헌
JP2017022288 A*
KR101306591 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
전북대학교산학협력단
전라북도 전주시 덕진구 백제대로 567 (덕진동1가)
(72) 발명자
장태훈
서울특별시 서초구 사임당로 137, 3-1010 (서초동, 신동아아파트)
조계희
전라북도 전주시 완산구 여울로 161, 103동 1003호
(74) 대리인
특허법인 플러스

전체 청구항 수 : 총 5 항

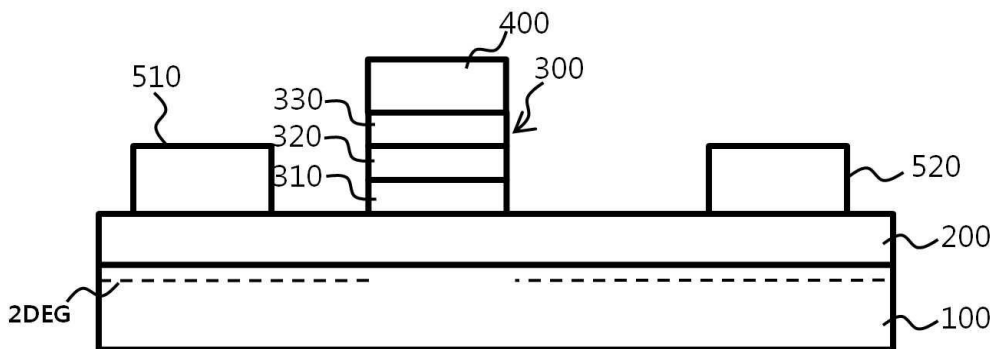
심사관 : 안경민

(54) 발명의 명칭 게이트 누설 전류가 감소된 고 전자 이동도 트랜지스터

(57) 요약

본 발명은 고 전자 이동도 트랜지스터에 관한 것으로, 상세하게, 본 발명에 따른 고 전자 이동도 트랜지스터는 제1 III-V족 반도체; 상기 제1 III-V족 반도체상 접하여 위치하는 제2 III-V족 반도체; 상기 제2 III-V족 반도체상 접하여 위치하는 게이트 절연체; 게이트 절연체 상 위치하는 게이트 전극; 및 상기 제2 III-V족 반도체상 위치하며 상기 게이트 절연체를 사이에 두고 서로 이격 대향하는 소스 전극 및 드레인 전극;을 포함하며, 상기 게이트 절연체는 p형 금속산화물, 인트린직(intrinsic) 금속산화물 및 n형 금속산화물이 순차적으로 적층된 p-i-n 구조의 적층체를 포함한다.

대표도 - 도1



(52) CPC특허분류
H01L 29/517 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2016C0024010104

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 산학협력 선도대학(LINC)육성사업

연구과제명 차세대 전력반도체 GaN을 이용한 고성능 온보드 전원장치 개발

기 여 율 1/1

주관기관 전북대학교 산학협력단

연구기간 2016.05.01 ~ 2016.11.30

명세서

청구범위

청구항 1

제1 III-V족 반도체;

상기 제1 III-V족 반도체상 접하여 위치하는 제2 III-V족 반도체;

상기 제2 III-V족 반도체상 접하여 위치하는 게이트 절연체;

게이트 절연체 상 위치하는 게이트 전극; 및

상기 제2 III-V족 반도체상 위치하며, 상기 게이트 절연체를 사이에 두고 서로 이격 대향하는 소스 전극 및 드레인 전극;을 포함하며,

상기 게이트 절연체는 p형 ZnO, 미도핑 진성 ZnO 및 n형 ZnO가 순차적으로 적층된 p-i-n 구조의 적층체를 포함하는 고 전자 이동도 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 p형 ZnO의 p형 도펀트는 Sb, P, As 및 N에서 하나 또는 둘 이상 선택되는 원소이며, 상기 n형 ZnO의 n형 도펀트는 Ga, Al 및 In에서 하나 또는 둘 이상 선택되는 원소인 고 전자 이동도 트랜지스터.

청구항 5

제 1항에 있어서,

상기 게이트 전극의 전극물질은 상기 n형 ZnO와 오믹 접촉(Ohmic contact)하는 금속인 고 전자 이동도 트랜지스터.

청구항 6

제 1항에 있어서,

상기 제1 III-V족 반도체 및 제2 III-V족 반도체는 각각 질화물 반도체인 고 전자 이동도 트랜지스터.

청구항 7

제 1항에 있어서,

상기 제1 III-V족 반도체는 GaN이며, 상기 제2 III-V족 반도체는 AlGaN인 고전자 이동도 트랜지스터.

발명의 설명

기술 분야

본 발명은 고 전자 이동도 트랜지스터에 관한 것으로, 상세하게, 현저하게 감소된 게이트 누설전류를 가지며 노멀리-오프(normally-off) 특성을 갖는 고 전자 이동도 트랜지스터에 관한 것이다.

[0001]

배경 기술

- [0002] GaN은 밴드갭 에너지가 3.4eV인 광대역 반도체(wide band-gap semiconductor)이며, Si 대비 약 6배 이상의 한계 전계강도 및 높은 전자포화 속도를 가져, 고온, 고전압, 고출력 동작에 적합한 특성을 갖는다. 이에, 이미 물질 고유의 특성 한계에 이르른 Si를 대체할 수 있는 차세대 전력 반도체 재료로 주목받고 있다.
- [0003] 또한, AlGaN/GaN 이종접합구조는 자발 분극 및 압전 분극 현상과 에너지 밴드갭 차이에 의해 계면에 고농도의 2DEG(2-dimensional electron gas)층이 형성되기 때문에 고전력 또는 고주파 반도체소자에 매우 유용하다.
- [0004] 그러나, 이러한 장점들에도 불구하고, AlGaN/GaN 이종접합구조에 기반한 소자는 2DEG에 의해 자동적으로 노멀리-온(normally-on) 동작을 함에 따라, 회로 구성이 복잡해지고 비용이 증가하는 문제점이 있다. 노멀리-오프 동작을 위해 AlGaN의 두께를 줄이거나 Al의 몰분율을 감소시키는 경우 채널 영역의 2DEG 농도도 함께 낮아져 온저항이 증가하는 문제점이 있다.
- [0005] 이러한 문제점을 해결하기 위해, AlGaN 배리어의 표면에 F 이온을 주입하는 방법(미국공개특허 제2010-0084687호), 일함수가 큰 전도성 금속산화물을 게이트 전극으로 사용하는 방법(일본공개특허 제2007-149794호), 리세스 게이트 구조(미국공개특허제2010-0025730호), 게이트 절연막에 트랩된 전하에 의해 노멀리-오프 상태를 구현하는 방법, p형 게이트 구조등 다양한 구조의 소자가 제안되고 있다.
- [0006] p형 게이트 구조는 AlGaN 상에 성장된 p형 층이 2DEG 채널을 공핍시켜 노멀리-오프 동작을 구현하는 구조이다. 그러나, 이러한 p형 게이트 구조는 게이트 누설전류가 6V의 게이트 전압에서 약 10^{-3} A/mm로 높은 문제점이 있다. 이에, p형 게이트 상부에 텅스텐(W)과 같이 높은 쇼트키 장벽을 형성하는 금속을 게이트 전극으로 사용하여 누설전류를 감소시키고자 하는 시도가 있었으나, 여전히 10 V 게이트 전압에서 2×10^{-5} A/mm 정도의 높은 누설전류가 발생하여, 게이트 누설전류를 최소화하여 전력 손실을 줄일 수 있는 소자에 대한 개발이 요구되고 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 미국공개특허 제2010-0084687호
- (특허문헌 0002) 일본공개특허 제2007-149794호
- (특허문헌 0003) 미국공개특허제2010-0025730호

발명의 내용

해결하려는 과제

- [0008] 본 발명의 목적은 현저하게 감소된 게이트 누설전류를 가지며 노멀리-오프 동작하는 고 전자 이동도 트랜지스터(HEMT; High Electron Mobility Transistor)를 제공하는 것이다.
- [0009] 본 발명의 다른 목적은, 현저하게 감소된 게이트 누설전류 및 노멀리-오프 특성을 가지면서도 낮은 접촉 저항을 갖는 고 전자 이동도 트랜지스터를 제공하는 것이다.

과제의 해결 수단

- [0010] 본 발명에 따른 고 전자 이동도 트랜지스터(HEMT)는 제1 III-V족 반도체; 제1 III-V족 반도체상 접하여 위치하는 제2 III-V족 반도체; 제2 III-V족 반도체상 접하여 위치하는 게이트 절연체; 게이트 절연체 상 위치하는 게이트 전극; 및 제2 III-V족 반도체상 위치하며 게이트 절연체를 사이에 두고 서로 이격 대향하는 소스 전극 및 드레인 전극;을 포함하며, 게이트 절연체는 p형 금속산화물, 인트린직(intrinsic) 금속산화물 및 n형 금속산화물이 순차적으로 적층된 p-i-n 구조의 적층체를 포함한다.
- [0011] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, 게이트 절연체의 p형 금속산화물은 p형 도펀트로 도핑된 인트린직 금속산화물의 금속산화물이며, n형 금속산화물은 n형 도펀트로 도핑된 인트린직 금속산화물일 수 있다.

- [0012] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, 게이트 절연체는 p형 ZnO, 인트린직 ZnO 및 n형 ZnO의 적층체를 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, p형 ZnO의 p형 도펀트는 Sb, P, As 및 N에서 하나 또는 둘 이상 선택되는 원소이며, n형 ZnO의 n형 도펀트는 Ga, Al 및 In에서 하나 또는 둘 이상 선택되는 원소일 수 있다.
- [0014] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, 게이트 전극의 전극물질은 n형 금속산화물과 오믹 접촉(Ohmic contact)하는 금속일 수 있다.
- [0015] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, 제1 III-V족 반도체 및 제2 III-V족 반도체는 각각 질화물 반도체일 수 있다.
- [0016] 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터에 있어, 제1 III-V족 반도체는 GaN이며, 상기 제2 III-V족 반도체는 AlGaN일 수 있다.

발명의 효과

- [0017] 본 발명에 따른 고 전자 이동도 트랜지스터는 p-i-n 구조의 게이트 절연체에 의해, 노멀리-오프 동작 가능하며, 현저하게 감소된 게이트 누설전류 및 낮은 접촉 저항을 가질 수 있는 장점이 있다. 또한, 유리한 일 예에 따라, p-i-n 구조가 동종의 ZnO에 의해 구현되는 경우, 도펀트 확산에 의한 특성 저하를 방지할 수 있으며, 선택도가 높은 습식 에칭으로 제조될 수 있어 III-V족 반도체의 열화를 방지할 수 있고, 저비용으로 생산 가능하며, 증착 공정에서 단지 도펀트의 공급 여부 및 공급되는 도펀트의 종류를 달리함으로써 제조 가능하여 상업성이 우수한 장점이 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터의 단면을 도시한 일 단면도이며, 도 2는 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터의 단면을 도시한 다른 일 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하 첨부한 도면들을 참조하여 본 발명에 따른 고 전자 이동도 트랜지스터를 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 이때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.
- [0020] 본 발명에 따른 고 전자 이동도 트랜지스터는 제1 III-V족 반도체; 제1 III-V족 반도체상 접하여 위치하는 제2 III-V족 반도체; 제2 III-V족 반도체상 접하여 위치하는 게이트 절연체; 게이트 절연체 상 위치하는 게이트 전극; 및 제1 III-V족 반도체상 위치하며 게이트 절연체를 사이에 두고 서로 이격 대향하는 소스 전극 및 드레인 전극;을 포함하며, 게이트 절연체는 p형 금속산화물, 인트린직(intrinsic) 금속산화물 및 n형 금속산화물이 순차적으로 적층된 p-i-n 구조의 적층체를 포함한다.
- [0021] 본 발명에 따른 고 전자 이동도 트랜지스터는 제2 III-V족 반도체 상 접하여 위치하는 게이트 절연체의 p형 금속산화물에 의해 노멀리-오프 상태를 가질 수 있으며, p-i-n 구조에 의해 제공되는 물리적 제약 및 전기화학적(electrochemical) 제약(junction, built-in potential 포함)에 의해 게이트 누설 전류를 현저하게 감소시킬 수 있으며, 나아가, n형 금속산화물에 의해 게이트 전극 물질인 전도체와의 접촉 저항을 감소시킬 수 있다.
- [0022] 게이트 절연체의 p형 금속산화물은 게이트 절연체 하부에 2DEG가 형성되는 것을 방지함으로써 트랜지스터가 노멀리-오프 동작 가능하게 하며, 이에 의해 회로 설계의 단순화를 가능하게 한다. 나아가, 게이트 절연체의 인트린직 금속산화물은 오프 상태에서의 게이트 절연체의 저항을 크게 증가시켜 노멀리-오프 상태를 만드는 p형 금속산화물과 함께 게이트 누설 전류를 보다 더 감소시킬 수 있다. 이와 함께 게이트 절연체가 p-i-n 구조(pin 다이오드 구조)를 가짐에 따라, 게이트 전극에 외부 전압이 인가되어 트랜지스터가 턴-온 상태(게이트 전극에 문턱 전압 이상의 양의 전압이 인가되어 채널이 형성된 상태)일 때, 인가되는 게이트 전압(Vgs)에 의해 게이트

절연체 자체는 역방향으로 바이어스된 상태가 된다. 이러한 역방향 바이어스된 p-i-n 구조에 의해 게이트 절연체는 턴-온 상태에서 매우 큰 임피던스를 가져 고전압 동작(파워 디바이스)이나 고주파 동작(고주파 디바이스) 시에도 게이트 누설전류를 현저하게 감소시킬 수 있다. 또한, 알려진 바와 같이, p형 금속산화물의 경우 금속과 오믹 접촉되기 어려워 전극의 접촉 저항이 큰 문제점이 있다. 그러나, 게이트 절연체가 p-i-n 구조를 가짐으로써 n형 금속산화물이 게이트 전극 물질과 전기적으로 접촉됨에 따라, 전도도가 우수한 다양한 금속과 오믹 접촉 가능하여 전극의 접촉 저항을 감소시킬 수 있다.

[0023] 도 1은 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터의 단면을 도시한 일 단면도이다. 도 1에 도시한 일 예와 같이, 제2 III-V족 반도체(200)는 제1 III-V족 반도체(100) 상부에 제1 III-V족 반도체(100)와 접하여 위치할 수 있다. 제1 III-V족 반도체(100)와 제2 III-V족 반도체(200)의 이종 접합에 의해 2DEG로 일컬어지는 전도성 채널이 형성된다.

[0024] 제1 III-V족 반도체(100)는 제1 III족 질화물 반도체일 수 있다. III족 질화물 반도체는 높은 에너지 밴드갭과 우수한 전류 운반 능력에 의해 파워 디바이스나 고주파 디바이스에 보다 유리하다. 제1 III족 질화물 반도체의 예로, 제1 III족 질화물 반도체는 갈륨-함유 질화물, 보다 실질적인 일 예로, 질화 갈륨(GaN)을 들 수 있으나, 이는 제1 III족 질화물 반도체의 대표적인 일 예에 해당하는 것으로, 제1 III족 질화물 반도체는 질화 알루미늄(AIN), 질화 인듐(InN), 질화 알루미늄 인듐($Al_xIn_{1-x}N$) 및 질화 알루미늄 갈륨($Al_xGa_{1-x}N$) (여기서 x는 0보다 크고 1보다 작은 실수)과 같은 삼원(ternary) 합금일 수 있음은 물론이다.

[0025] 제2 III-V족 반도체(200)는 제1 III-V족 반도체(100)의 밴드 갭 에너지 보다 상대적으로 큰 밴드 갭 에너지를 가지며 제1 III-V족 반도체와 상이한 조성을 갖는 III-V족 반도체일 수 있다. 제2 III-V족 반도체(200)는 제1 III-V족 반도체보다 상대적으로 큰(넓은) 밴드 갭 에너지를 가지면서 격자 정합(lattice matched)될 수 있는 III-V족 반도체이면 사용 가능하다. 제1 III-V족 반도체 대비 큰 밴드 갭 에너지 및 격자 정합 측면에서 제2 III-V족 반도체 또한 III족 질화물 반도체(제2 III족 질화물 반도체)일 수 있다. 제1 III족 질화물 반도체의 대표적인 예인 질화 갈륨을 기준으로, 제2 III족 질화물 반도체는 질화 알루미늄, 질화 알루미늄 갈륨($Al_xGa_{1-x}N$)이나 질화 알루미늄 인듐($Al_xIn_{1-x}N$)과 같은 삼원 합금일 수 있다. 그러나, 용도에 따라 요구되는 특성을 제2 III-V족 반도체가 $In_xGa_yZn_{1-x-y}O$ 와 같은 사원(quaternary) 합금, 또는 Si_xN 과 같은 IV족질화물일 수 있다. 용도를 고려한 이종접합되는 물질의 설계 변경은 화합물 반도체 소자 관련 종사자에게 주지 관용의 변경이다.

[0026] 제2 III-V족 반도체(200) 상부에는, 제2 III-V족 반도체(200)와 접하여 게이트 절연체(300)가 위치할 수 있다. 상술한 바와 같이, 게이트 절연체(300)는 p형 금속산화물(310), 인트린직 금속산화물(320) 및 n형 금속산화물(330)이 순차적으로 적층된 p-i-n 구조의 적층체를 포함할 수 있다. 이때, p형 금속산화물(310)이 제2 III-V족 반도체(200) 측에 위치하며, n형 금속산화물(330)이 게이트 전극(400) 측에 위치함은 물론이다.

[0027] 트랜지스터 턴 온 시 전류의 흐름 방향으로의 크기를 길이라 칭하고 길이에 수직인 방향으로의 크기를 폭이라 칭할 때, 게이트 절연체는 설계된 채널의 길이와 폭(소드 전극과 드레인 전극간의 이격 거리 및 폭에 상응할 수 있음)을 고려하여, 물리적 디멘전이 결정될 수 있음은 물론이다. 구체적이며 비 한정적인 일 예로, 게이트 절연체의 길이는 채널의 길이보다 상대적으로 작되, 안정적으로 2DEG를 중단시킬 수 있는 길이이면 족하고, 게이트 절연체의 폭은 채널의 폭보다 상대적으로 커 폭 방향으로 안정적으로 2DEG를 중단시킬 수 있으면 족하다.

[0028] 상술한 바와 같이, 제1 III-V족 반도체(100)와 제2 III-V족 반도체(200)의 이종 접합에 의해 2DEG가 자연적으로 형성된 상태에서 게이트 절연체(300)의 p형 금속산화물(310)에 의해 게이트 절연체(300) 하부 공핍(depletion)에 의해 2DEG가 중단됨으로써 노멀리 오프 상태가 구현될 수 있다. 또한, 게이트 절연체(300)가 p형 금속산화물(310)-인트린직 금속산화물(320)-n형 금속산화물(330)이 적층된 p-i-n 구조를 포함함에 따라, 오프 상태 및 턴-온 상태 모두에서 게이트 누설 전류를 현저하게 감소시킬 수 있으며, 게이트 전극과의 접촉 저항을 낮출 수 있다.

[0029] 게이트 절연체(300)에서 p-i-n 구조를 형성하는 p형 금속산화물(310)-인트린직 금속산화물(320)-n형 금속산화물(330)은 동종의 금속산화물인 것이 유리하다. 즉, 게이트 절연체(300)의 p형 금속산화물(310)은 p형 도펀트로 도핑된 인트린직 금속산화물의 금속산화물이며, n형 금속산화물(330)은 n형 도펀트로 도핑된 인트린직 금속산화물의 금속산화물인 것이 유리하다. 유리한 일 예에 있어, p-i-n 구조는 동종 접합(homojunction)에 의한 p-i-n 구조임은 물론이다.

[0030] 동종의 금속산화물에 의해 p-i-n 구조가 형성되는 경우, 제2 III-V족 반도체 대비 우수한 식각 선택성을 갖는

금속산화물을 이용하여 p-i-n 구조를 갖는 게이트 절연체(300)가 구현될 수 있다. 고 전자 이동 트랜지스터의 경우 이중 접합되는 반도체의 표면 손상이나 결함이 소자의 성능에 큰 영향을 미침에 따라, 식각 선택성이 우수한 동종의 금속산화물로 p-i-n 구조를 구현하는 경우, 가장 손상으로부터 자유로운 습식 에칭을 통해 설계된 디멘전(dimension)을 갖는 게이트 절연체의 구현이 가능하여 유리하다.

[0031] 나아가, 동종의 금속산화물에 의해 p-i-n 구조가 형성되는 경우, 제2 III-V족 반도체 상부로 금속산화물을 증착 하되, 증착시 도핑되는 도펀트의 공급 여부나 도펀트의 물질을 달리함으로써 p-i-n 구조의 구현이 가능하다. 단일한 증착 공정을 통한 p-i-n 구조의 구현은 공정 재현성과 신뢰성을 향상시킬 수 있으며, 게이트 절연체 공정에 소요되는 시간을 현저하게 단축시켜 생산성을 향상시킬 수 있다.

[0032] 또한, 동종의 금속산화물에 의해 p-i-n 구조가 형성되는 경우, III-V족 반도체, 구체적으로 III족 질화물 반도체로 잘 확산되지 않는 원소가 p형 도펀트로 작용하는 금속산화물인 것이 유리하다. 알려진 바와 같이, 종래 p형 게이트에 사용되는 p형 GaN이나 p형 AlGaN의 경우, 테미지가 큰 건식 식각의 문제점 뿐만 아니라, p형 도펀트인 Mg의 높은 확산성에 의해 소자의 성능 저하를 야기하는 문제점이 있다.

[0033] III-V족 반도체, 구체적으로 III족 질화물 반도체 대비 매우 우수한 식각 선택성(습식 에칭시의 식각 선택성)을 가지며 도펀트에 의해 n형 또는 p형으로 전기적 특성 조절이 용이하고, III-V족 반도체, 구체적으로 III족 질화물 반도체로 잘 확산되지 않는 원소를 p형 도펀트로 갖는 금속산화물로 ZnO를 들 수 있다. 즉, 유리한 대표적인 일 예로, p형 금속산화물, 인트린직 금속산화물 및 n형 금속산화물은 p형 ZnO, 인트린직 ZnO(인위적인 도핑이 이루어지지 않은 진성 ZnO) 및 n형 ZnO일 수 있다.

[0034] 나아가, ZnO의 경우, 격자 크기의 큰 변형 없이 도펀트의 도핑을 통해 전기적 특성이 용이하게 조절됨에 따라, 게이트 절연체의 내부 결함을 최소화할 수 있으며, 특히 p-i-n 구조의 계면 결함을 최소화할 수 있다. 내부 결함이 최소화된 고품질의 게이트 절연체는 전하 트랩등에 의한 소자의 특성 저하를 방지할 수 있다.

[0035] 또한, ZnO는 종래 p형 게이트에 사용되는 p형 GaN 또는 p형 AlGaN 대비 원료에 소요되는 비용이 낮아, 보다 상업성이 우수하다.

[0036] 알려진 바와 같이, p형 ZnO의 p형 도펀트는 5족 원소, 구체적으로 Sb, P, As 및 N에서 하나 또는 둘 이상 선택되는 원소일 수 있다. 이때, p형 도펀트는 산소자리에 용이하게 치환되며 안정적인 p형 특성을 나타내면서도, 실질적으로 제2 III-V족 반도체의 대표적 일 예가 III족 질화물임에 따라 p형 도펀트의 확산에 의한 악영향을 배제할 수 있는 질소를 포함하는 것이 유리하다. 즉, p형 ZnO는 질소 함유 ZnO인 것이 유리하다. p형 ZnO의 도핑 농도(p형 도펀트 농도)의 일 예로, $10^{17}/\text{cm}^3$ 내지 $10^{19}/\text{cm}^3$ 오더(order)의 농도를 들 수 있으나, 이에 한정되는 것은 아니다. n형 ZnO의 n형 도펀트는 3족 원소, 구체적으로 Ga, Al 및 In에서 하나 또는 둘 이상 선택되는 원소일 수 있으며, n형 ZnO는 Ga, Al 및 In(3족 원소)에서 하나 또는 둘 이상 선택되는 원소로 도핑된 ZnO일 수 있다. n형 ZnO의 도핑 농도의 일 예로, $10^{17}/\text{cm}^3$ 내지 $10^{20}/\text{cm}^3$ 오더(order)의 농도를 들 수 있으나, 이에 한정되는 것은 아니다.

[0037] 상술한 바와 같이, 게이트 절연체(300)에서, p형 금속산화물(310)과 n형 금속산화물(330)은 공핍에 의해 안정적으로 2DEG를 중단시키고 게이트 측 접촉 저항을 감소시키기 위해 $10^{17}/\text{cm}^3$ 오더 이상의 도핑 농도로 고 도핑된 상태일 수 있다. 이러한 고농도의 도핑은 트랜지스터를 턴-온시키기 위해 게이트 전극에 인가되는 구동 전압에 의해 게이트 절연체(300) 내부의 공핍 영역의 크기 변화 방지 측면에서도 유리하다.

[0038] n형 금속산화물(330)의 두께는 게이트 전극과 안정적인 오믹 접촉 형성 측면에서 p-i-n 접합에 의한 n형 측의 공핍 영역 폭 이상이면 무방하다. 구체적이며 비 한정적인 일 예로, n형 금속산화물(330)에서, p-i-n 접합에 의한 n형 금속산화물 측의 공핍영역의 폭을 W_n^i 로 할 때, n형 금속산화물(330)의 두께는 $1W_n^i$ 내지 $50W_n^i$ 일, 보다 구체적으로는 $2W_n^i$ 내지 $50W_n^i$ 일 수 있으나, 이에 한정되는 것은 아니다.

[0039] p형 금속산화물(310)의 두께는 안정적으로 게이트 절연체 하부를 공핍시켜 2DEG를 중단시킬 수 있도록, 제2 III-V족 반도체와의 접합에 의한 p형 금속산화물(310)측의 공핍 영역의 폭 및 p-i-n 접합에 의한 p형 금속산화물(310)측의 공핍 영역의 폭을 합한 폭 이상이면 무방하다. 구체적이며 비 한정적인 일 예로, p형 금속산화물(310)에서, 제2 III-V족 반도체(200)와의 접합에 의한 p형 금속산화물 측의 공핍영역의 폭을 W_p^{sem} 로 하고, p-i-

n 접합에 의한 p형 금속산화물 층의 공핍영역의 폭을 W_p^i 로 할 때, p형 금속산화물(310)의 두께는 $1(W_p^{sem} + W_p^i)$ 내지 $50(W_p^{sem} + W_p^i)$ 일 수 있으나, 이에 한정되는 것은 아니다.

[0040] 인트린직 금속산화물(320)의 두께는 고전압 디바이스나 고주파 디바이스등 트랜지스터의 용도를 고려하여 적절히 변경될 수 있으며, 안정적으로 게이트 누설 전류를 억제하는 측면에서 5nm 내지 100nm일 수 있으나, 이에 한정되는 것은 아니다.

[0041] 도 1에 도시한 일 예와 같이, p-i-n 구조를 포함하는 게이트 절연체(300) 상에는 게이트 전극(400)이 위치할 수 있다. p형 금속산화물은 p형 불순물에 의해, 정공(hole)의 주 전하(majority carrier)를 갖도록 페르미 에너지 레벨이 조절된 상태이며, p형 금속산화물의 일함수(진공레벨-페르미 에너지 레벨)보다 금속의 일함수가 더 커야함에 따라 오믹 접촉이 어렵고, 안정적으로 오믹 접촉을 유지하는 것 또한 어렵다. 이에, 종래 p형 게이트 구조에서 게이트 금속과 p형 절연체간 쇼트키 접촉시키는 것이 통상적이다. 그러나, n형 금속산화물의 경우 n형 불순물에 의해, 전자(electron)의 주 전하를 갖도록 페르미 에너지 레벨이 조절된 상태이며, n형 금속산화물의 일함수보다 작은 일함수를 갖는 금속과 오믹 접촉을 형성할 수 있다. 이에, 게이트 절연체가 p-i-n 구조를 가짐으로써, 게이트 전극(400)은 종래의 p형 게이트와 같이 p형 물질과 접촉하지 않고 n형 금속산화물(330)과 접촉될 수 있어, 용이하고 안정적으로 오믹 접촉이 이루어질 수 있으며, 낮은 접촉 저항을 가질 수 있다.

[0042] 상술한 바와 같이, 게이트 절연체가 p-i-n 구조를 포함함에 따라, 게이트 전극(400)의 게이트 전극 물질은 n형 금속산화물(330)과 오믹 접촉(Ohmic contact)하는 금속일 수 있다. n형 금속산화물의 유리한 예인 n형 ZnO를 기준으로, n형 ZnO와 오믹 접촉하는 대표적인 게이트 전극(물질)으로 Ti, Al, Pt, Au, Al, Zn, 또는 이들의 적층막(Zn/Au, Al/Au, Ti/Au, Ti/Al/Au, Ti/Al/Pt/Au)등을 들 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0043] 소스 전극(510)과 드레인 전극(520)은 제2 III-V족 반도체(200)에 접하여 위치하되, 게이트 절연체(300)를 사이에 두고 서로 이격 대향하도록 위치할 수 있다. 소스 전극(510)과 드레인 전극(520)간의 이격 거리는 소자의 채널 길이에 상응할 수 있으며, 이에 따라, 소스 전극(510)과 드레인 전극(520)은 용도를 고려하여 설계된 이격 거리로 위치할 수 있다. 소스 전극(510)과 드레인 전극(520)은 종래의 질화물 반도체 기반 고 전자 이동도 트랜지스터에서 통상적으로 사용되는 물질 및 구조이면 족하다. 실질적이며 비 한정적인 일 예로, 소스 전극(510) 및 드레인 전극(520)은 서로 독립적으로, Ta, Ti, Al, W, Ni, Mo, Pt 및 Au 중에서 선택되는 어느 하나 이상의 금속 단층 또는 둘 이상 선택되는 금속의 적층 구조(Ti/W, Ti/Au, Ti/Al/Mo/Au, Ti/Al/Ni/Au, Ti/Al/Pt/Au등)일 수 있다.

[0044] 도 2는 본 발명의 일 실시예에 따른 고 전자 이동도 트랜지스터의 단면을 도시한 다른 단면도이다. 도 2에 도시한 일 예와 같이, 고 전자 이동도 트랜지스터는 제1 III-V족 반도체(100) 하부에, 제1 III-V족 반도체(100) 및 그 상부의 구성요소를 지지하는 기판인 지지체(10)를 더 포함할 수 있으며, 지지체(10)와 제1 III-V족 반도체(100) 사이에 위치하는 버퍼층(20)을 더 포함할 수 있다.

[0045] 구체적이며, 비 한정적인 일 예로, 지지체(10)는 실리콘, 실리콘 카바이드, 사파이어, 갈륨 나이트라이드, 갈륨 아세나이드등을 들 수 있으나, 실질적으로, 직경이 크고 입수가 용이하며 다른 전자소자와의 집적이 용이한 실리콘이 유리하다.

[0046] 버퍼층(20)은 지지체(10)와 제1 III-V족 반도체(100)간의 격자 오접합(lattice mismatch)을 감소시켜, 지지체(10)상 이중 에피택셜(hetero-epitaxial) 구조를 갖는 제1 III-V족 반도체(100)의 형성을 가능하게 하는 역할을 수행할 수 있다. 질화물 반도체 소자 분야에서 알려진 바와 같이, 격자 오접합에 의한 스트레스를 완화시키기 위한 버퍼층(20)은 GaN, AlGaIn, AlN, InGaAlN 또는 이들의 적층층을 포함할 수 있다. 그러나, 지지체(10)가 III-V족 반도체가 에피택셜 성장 가능한 벌크의 III족 질화물 반도체인 경우, 이러한 버퍼층(20)이 배제될 수 있음은 물론이다.

[0047] 본 발명은 상술한 고 전자 이동도 트랜지스터(HEMT)의 제조방법을 포함한다.

[0048] 본 발명에 따른 제조방법은 a) 제1 III-V족 반도체 상 제2 III-V족 반도체를 형성하는 단계; b) 제2 III-V족 반도체 상 p형 금속산화물, 인트린직 금속산화물 및 n형 금속산화물의 적층층을 포함하는 게이트 절연체를 형성하는 단계; 및 c) 게이트 절연체를 사이에 두고 서로 이격 대향하도록 소스 전극 및 드레인 전극을 형성하고, 게이트 절연체 상부로 게이트 전극을 형성하는 단계;를 포함한다.

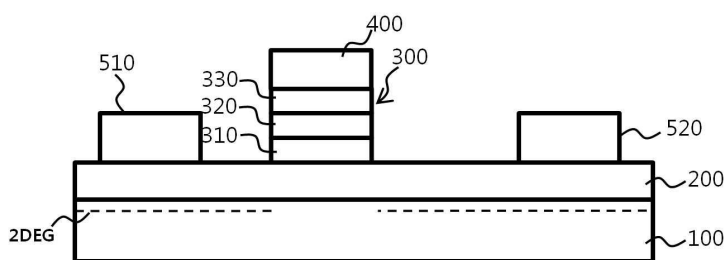
[0049] a) 단계는 화학 기상 퇴적(CVD), 분자 빔 에피택시(MBE), 또는 수소화물 기상 에피택시(HVPE) 성장 기술 등 지

지체(또는 버퍼층이 구비된 지지체)상 에피택셜 막 형태로 제1 III-V족 반도체와 제2 III-V족 반도체를 형성시킬 수 있는 방법이면 사용 가능하며, 종래 질화물 반도체 기반 고 전자 이동도 트랜지스터에서 이중접합에 의해 2DEG를 형성하는 두 반도체를 기판상 제조하기 위해 사용되는 알려진 어떠한 방법을 사용하여도 무방하다.

- [0050] b) 단계는 b1) 제2 III-V족 반도체상 p형 금속산화물 막, 인트린직 금속산화물 막 및 n형 금속산화물 막의 적층막을 형성하는 단계 및 b2) 설계된 게이트 영역 이외의 적층막 영역을 습식 에칭으로 제거하여 게이트 절연체를 형성하는 단계;를 포함할 수 있다.
- [0051] b1) 단계는 스퍼터(Sputter), PLD(Pulsed laser deposition), MOCVD(Metal-organic chemical vapor deposition), MBE(Molecular beam epitaxy) 또는 ALD(Atomic Layer Deposition)등과 같이 반도체 분야에서 게이트 절연막을 형성시키는 데 사용되는 것으로 알려진 어떠한 방법을 사용하여도 무방하다. 다만, 상술한 바와 같이, p-i-n 구조가 동종의 금속산화물로 구현되는 경우, b1) 단계는 1단계 증착 공정에 의해 수행될 수 있으며, 증착 과정에서 주입되는 도펀트(또는 도펀트 원소를 함유하는 도펀트 전구체)의 종류 및 도펀트 주입 여부를 달리함으로써, 적층막이 제조될 수 있다.
- [0052] b2) 단계는 기 설계된 게이트 영역을 보호하는 에칭 마스크를 이용하여, 설계된 게이트 영역 이외에 존재하는 적층막을 습식 에칭으로 제거함으로써 수행될 수 있다. 습식 에칭의 에칭액은 적층막의 금속산화물을 고려하여 해당 금속산화물의 알려진 에칭액을 사용하여 수행될 수 있음은 물론이다. 이때, 상술한 바와 같이 금속산화물이 ZnO인 경우, III-V족 반도체 대비 식각 선택성이 매우 우수하여 유리하다.
- [0053] c) 단계인 전극 형성 단계는, 게이트, 소스 및 드레인 영역으로 기 설계된 영역에 선택적으로 금속을 증착시켜 수행될 수 있다. 선택적 증착은 알려진 바와 같이 증착 마스크를 이용하여 수행될 수 있으며, 금속의 증착은 통상의 CVD 또는 PVD를 이용하여 수행될 수 있다.
- [0054] 이상과 같이 본 발명에서는 특정된 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0055] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

도면1



도면2

