

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8242

H01L 21/82



[12] 发明专利说明书

[21] ZL 专利号 97121269.4

[45] 授权公告日 2003 年 10 月 8 日

[11] 授权公告号 CN 1123927C

[22] 申请日 1997. 10. 30 [21] 申请号 97121269. 4

[30] 优先权

[32] 1996. 10. 30 [33] KR [31] 50492/1996

[32] 1996. 12. 20 [33] KR [31] 69320/1996

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 潘淳同 崔铉哲 崔昌植

审查员 迟 珊

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

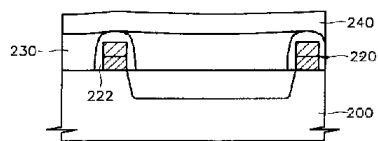
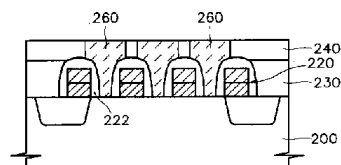
代理人 王永刚

权利要求书 4 页 说明书 10 页 附图 25 页

[54] 发明名称 具有自对准触点半导体存储器件的
制造方法

[57] 摘要

制造半导体存储器件的方法，包括：在衬底上形成被氮化物隔离层覆盖的栅电极。在栅电极之间的衬底表面上形成热氧化物层。然后，在整个表面上形成刻蚀阻挡层到使得栅电极之间的间隙不被隐埋的合适厚度。然后，形成覆盖栅电极之间间隙和顶部的第一 ILD 膜并使之图形化形成暴露隔离层和刻蚀阻挡层的压焊区焊盘孔。然后去除刻蚀阻挡层和热氧化物层以暴露衬底表面，用导电材料填充压焊区焊盘孔以形成压焊区焊盘。



I S S N 1 0 0 8 - 4 2 7 4

1、制造半导体器件的方法，包括步骤：

(a) 在半导体衬底上形成栅电极，栅电极覆盖有氮化物隔离层；

(b) 在(a)步骤中所得结构的整个表面上形成使得栅电极之间的间隙不被隐埋的合适厚度的刻蚀阻挡层；

(c) 形成覆盖栅电极之间的间隙和栅电极顶部的第一层间介质(ILD)膜，形成该第一ILD膜的步骤包括以下步骤：

(c1) 在具有刻蚀阻挡层的所得结构上形成第一氧化物层；

(c2) 用刻蚀阻挡层作为刻蚀中止点刻蚀第一氧化物层以形成平面化的第一氧化物层；以及

(c3) 在平面化的第一氧化物层上形成第二氧化物层；

(d) 使第一ILD膜图形化形成暴露隔离层和刻蚀阻挡层的压焊区焊盘孔；

(e) 去除刻蚀阻挡层以暴露半导体衬底的表面；

(f) 用导电材料填充压焊区焊盘孔以形成压焊区焊盘；

(g) 在具有压焊区焊盘的所得结构上形成第二ILD膜；

(h) 使第二ILD膜图形化形成暴露压焊区焊盘部分表面的位线接触孔；

(i) 在位线接触孔中形成位线接触栓；和

(j) 在步骤(i)的所得结构上形成位线，该位线连结到位线接触栓。

2、权利要求1的方法，其中刻蚀阻挡层由氮化硅制成。

3、权利要求1的方法，其中第二氧化物层通过化学汽相淀积(CVD)方法形成。

4、权利要求1的方法，其中步骤(f)包括子步骤：

(f1) 在具有压焊区焊盘孔的所得结构的整个表面上形成第一导电层；和

(f2) 刻蚀第一导电层直到第一 ILD 膜被暴露, 以在压焊区焊盘孔中形成压焊区焊盘。

5、权利要求 4 的方法, 其中第一导电层是掺杂多晶硅层。

6、权利要求 4 的方法, 其中子步骤 (f2) 通过化学机械抛光 (CMP) 方法进行。

7、权利要求 4 的方法, 其中子步骤 (f2) 通过深刻蚀第一导电层进行。

8、权利要求 1 的方法, 其中第二 ILD 膜由硼磷硅酸盐玻璃 (BPSG) 制成。

9、权利要求 1 的方法, 其中位线接触栓由掺杂多晶硅制成。

10、权利要求 1 的方法, 其中步骤 (j) 包括子步骤:

(j1) 在具有位线接触栓的所得结构上形成非晶硅化钨层; 和
(j2) 图形化硅化钨层以形成位线。

11、权利要求 1 的方法, 在步骤 (i) 之后, 还包括步骤:

(k) 在具有位线的所得结构上形成第三 ILD 膜;

(l) 图形化第三 ILD 膜以形成暴露压焊区焊盘其它部分表面的存储电极接触孔;

(m) 通过存储电极接触孔和压焊区焊盘的其它部分形成连结到半导体衬底的存储电极;

(n) 在存储电极上形成介质膜; 和

(o) 在介质层上形成上电极以完成电容器。

12、权利要求 11 的方法, 其中步骤 (k) 包括通过常压化学汽相淀积 (APCVD) 方法形成 O_3 -原硅酸四乙酯 (TEOS) 层的子步骤。

13、权利要求 11 的方法, 其中步骤 (k) 包括子步骤:

(k1) 形成等离子体型氧化物层;

(k2) 在等离子体型氧化物层上形成 BPSG 层; 和

(k3) 回流 BPSG 层。

14、权利要求 11 的方法, 其中存储电极由掺杂多晶硅制成。

15、权利要求 11 的方法，其中步骤 (n) 包括子步骤：

(n1) 在存储电极上形成氮化物层；

(n2) 在氮气氛中加热步骤 (n1) 所得结构；和

(n3) 在加热到 750℃ 或更高的所得结构上进行氧化工艺，以形成具有氮化物/氧化物结构的介质膜。

16、权利要求 1 的方法，在步骤 (b) 前，还包括步骤：

在栅电极之间的暴露的半导体衬底表面上形成热氧化物层。

17、制造半导体器件的方法，包括步骤：

(a) 在半导体衬底上形成栅电极，栅电极覆盖有氮化物隔离层；

(b) 在 (a) 步骤中所得结构的整个表面上形成使得栅电极之间的间隙不被隐埋的合适厚度的刻蚀阻挡层；

(c) 在栅电极之间的间隙中形成第一氧化物层；

(d) 在第一氧化物层上形成第二氧化物层；

(e) 在第二氧化物层上形成多晶硅层；

(f) 依序部分刻蚀多晶硅层、第二氧化物层、第一氧化物层和刻蚀阻挡层，以形成同时暴露半导体衬底表面和部分隔离层的压焊区焊盘孔；

(g) 形成厚度充分填充压焊区焊盘孔的导电层；

(h) 用第二氧化物层作为刻蚀阻挡层刻蚀导电层和多晶硅层，以在压焊区焊盘孔中形成压焊区焊盘。

18、权利要求 17 的方法，其中刻蚀阻挡层由氮化硅制成。

19、权利要求 17 的方法，其中步骤 (c) 包括子步骤：

(c1) 在具有刻蚀阻挡层的所得结构上淀积具有可流动特性的第一氧化物；

(c2) 以某角度刻蚀所淀积的氧化物以加宽栅电极之间的入口；

(c3) 在以某角度所刻蚀的氧化物上淀积具有可流动特性的第二氧化物；

(c4) 用流动工艺平面化子步骤 (c3) 中所得结构, 以形成平面化的氧化物层; 以及

(c5) 用刻蚀阻挡层作为刻蚀中止层, 通过化学机械抛光 (CMP) 方法对平面化的氧化物层进行平面化。

20、权利要求 19 的方法, 其中第一和第二氧化物由硼磷硅酸盐玻璃 (BPSG) 和旋涂玻璃 (SOG) 构成的组中的至少一种构成。

21、权利要求 17 的方法, 其中第二氧化物层是低温下形成的 P-TEOS 层。

22、权利要求 17 的方法, 其中导电层由掺杂多晶硅制成。

23、权利要求 17 的方法, 其中步骤 (h) 通过化学机械抛光 (CMP) 方法进行。

24、权利要求 17 的方法, 在步骤 (b) 前, 还包括步骤:

在栅电极之间的暴露的半导体衬底表面上形成热氧化物层。

具有自对准触点半导体存储器件的制造方法

本发明涉及半导体存储器件的制造方法，尤其涉及具有自对准触点半导体存储器件的制造方法。

通常，随着动态随机存取存储器（DRAM）的集成度变高，单元的尺寸逐渐减小，从而减少了制造半导体器件的工艺容差。这样，在单元中形成触点的对准精度变得更为重要。

在 DRAM 中，在单元阵列部分中的触点，尤其是连结电容器存储电极到半导体衬底的触点通常是在位线和栅电极线之间形成的。例如在 USP5387532 中，存储节点 12 形成于位线 10 和栅电极线 4 之间。这样，在这种条件下得到的形成触点的对准容差直接影响器件的次品率（inferiority ratio）。

64M 或更大的 DRAM 半导体存储器件也采用导致单元阵列区和外围电路区之间落差增加的位线上电容器（COB）结构。例如 USP5387532 中的 DRAM 存储器件就采用这种结构。因此，很难固定一个合适的聚焦容差和形成好的图形。

为了解决以上问题，本发明的一个目的是提供具有自对准触点的半导体存储器件的制造方法，通过该方法可以获得足够大的对准容差。

本发明的另一个目的是提供能减少单元阵列区和外围区之间落差（step difference）的半导体存储器件的制造方法。

因此，为了达到以上目的，提供了制造半导体存储器件的方法，该方法包括步骤：在半导体衬底上形成栅电极，栅电极上覆盖氮化物隔离层。然后，在栅电极之间半导体衬底裸露的表面上形成热氧化物层，以及其后续刻蚀阻挡层在具有热氧化物层的所得结构的整个表面上被形成到使得栅电极之间的间隙不被隐埋的合适厚度。然后，在栅电极和栅电极顶部之间形成覆盖该间隙的第一层间介质（ILD）膜，随后使该第一 ILD 膜图形化以形成暴露隔离层和刻蚀阻挡层的压焊区焊盘孔。然后，去除刻蚀阻挡层和热氧化物层以暴露半导体衬底的表面，随后用导电材料填充压焊区焊盘孔以形成接触栓，最终得到压焊区焊盘。

为了形成压焊区焊盘孔，最好在具有压焊区焊盘孔的所得结构的整个表面上形成第一导电层，以及刻蚀该第一导电层直到暴露第一 ILD 膜的表面，以在压焊区焊盘孔中形成接触栓。这里，第一导电层最好用化学机械抛光（CMP）方法或通过深刻蚀（etching back）第一导电层形成。

在形成压焊区焊盘后，制造半导体存储器件的方法最好还包括步骤：在具有压焊区焊盘的所得结构上形成第二 ILD 膜。然后，使该第二 ILD 膜图形化形成暴露压焊区焊盘一部分表面的位线接触孔，随后在位线接触孔里形成位线接触栓。然后，在具有位线接触栓的所得结构上形成连结到位线接触栓的位线。

在形成位线的步骤之后，制造方法最好还包括步骤：在具有位线的所得结构上形成第三 ILD 膜。然后，使第三 ILD 膜图形化形成暴露压焊区焊盘其它部分表面的存储电极接触孔，随后形成存储电极，该电极通过存储电极接触孔和压焊区焊盘的其它部分连结到半导体衬底。然后，在存储电极上形成介质膜，随后在介质层上形成上层电极以完成电容器。

根据本发明的另一方面，提供了一种制造半导体存储器件的方法，该方法包括步骤：在具有单元阵列区和外围电路区的半导体衬底上形成栅电极，该栅电极覆盖有隔离层。然后，在具有栅电极的半导体衬底上形成平面化的第一层间介质（ILD）膜，随后在第一 ILD 膜上形成第二 ILD 膜。然后，在该第二 ILD 膜上形成留膜保护层（remaining preventing layer），以及顺序图形化该留膜保护层、第二 ILD 膜和第一 ILD 膜以形成同时暴露半导体衬底的有源区和单元阵列区中隔离层的一部分的压焊区焊盘孔。然后，在压焊区焊盘孔中形成接触栓，最终得到压焊区焊盘。

根据本发明的又一方面，提供了一种制造半导体存储器件的方法，该方法包括步骤：在半导体衬底上形成栅电极，栅电极覆盖有氮化物隔离层。然后，在栅电极之间暴露的半导体衬底的表面上形成热氧化物层。然后，刻蚀阻挡层在具有热氧化物层的所得结构的整个表面上被形成到使得栅电极之间的间隙不被隐埋的合适厚度。然后，在栅电极之间的间隙中形成第一氧化物层，随后在第一氧化物层上形成第二氧化物层。然后，在第二氧化物层上形成多晶硅层，顺序部分刻蚀多晶硅层、第二氧化物层、第一氧化物层、刻蚀阻挡层和热氧化物层以形成同时暴露半导体衬底和隔离层一

部分的表面的压焊区焊盘孔。然后，在压焊区焊盘孔中形成压焊区焊盘。

在根据本发明的制造半导体存储器件的方法中，在压焊区焊盘的形成过程中可以得到足够的对准容差而不损坏半导体衬底，并且在半导体衬底中的落差可以极小化。

通过参照附图详细描述优选实施例，本发明的以上目的和优点将变得更明显。其中：

图1显示了根据本发明第一实施例的方法制造的半导体存储器件的单元阵列区的版图；

图2到图14是解释根据本发明的第一实施例的半导体存储器件制造方法的截面视图；

图15到图21是解释根据本发明的第二实施例的半导体存储器件制造方法的截面视图；以及

图22到图28是解释根据本发明的第三实施例的半导体存储器件制造方法的截面视图；

在根据本发明的半导体存储器件制造方法中，通过自对准压焊区焊盘，位线和电容器的存储电极连结到半导体衬底的有源区。

图1显示了根据本发明的第一实施例的方法制造的半导体存储器件的单元阵列区的版图。图1显示了以自对准方式在栅电极105上形成压焊区焊盘117a和117b的位置和完成其上位线的形成状态。

在图1中，标识字符“AA”表示有源区，标号105表示栅电极，标号107表示覆盖栅电极105的隔离层，标号117a表示连结电容器存储电极到半导体衬底的压焊区焊盘，标号117b表示连结位线到半导体衬底的压焊区焊盘。另外，标号120表示位线接触孔，以及标号123表示位线。

下面，将参考图1和图2到图14详细描述根据本发明的第一实施例的半导体存储器件制造方法。

图2a、3a、...、14a是图1中沿A-A线的截面视图，图2b、...、14b是图1中沿B-B线的截面视图，和图2c、3c、...、14c是图1中沿C-C线的截面视图。

参考图2a、2b和2c，栅电极105和覆盖栅电极105的隔离层107，例如氮化硅隔离层，在半导体衬底101上顺序形成，在衬底中由诸如场氧

化物层的隔离膜 103 划分成有源区和非有源区。然后，通过离子注入工艺在栅电极 105 之间的有源区中形成源/漏（没有示出），从而完成一个由栅电极 105 和源/漏组成的晶体管。

然后，为了通过在随后步骤中形成的由氮化物层构成的刻蚀阻挡层保护在晶体管形成过程中暴露的半导体衬底 101 的有源区表面，在半导体衬底 101 上形成厚度大约为 50 到 150 Å 的热氧化物层（没有示出）。如果热氧化物层的厚度超过以上范围，在随后步骤中刻蚀作为刻蚀阻挡层的氮化硅层时应该部分刻蚀该热氧化物层。这里，场氧化物层可以一起被刻蚀以使得热氧化物层可以被生长到最小厚度。

参考图 3a、3b 和 3c，由氮化硅制成的刻蚀阻挡层在具有厚度至少为 100 Å 的热氧化物层的所得结构的整个表面上形成。考虑到刻蚀阻挡层 109 对氧化物层的刻蚀选择性，以至少 100 Å 的最优厚度形成刻蚀阻挡层 109，以使得栅电极 105 之间的间隙不被隐埋。

参考图 4a、4b 和 4c，第一氧化物层 111 在具有刻蚀阻挡层 109 的所得结构上以满足完全隐埋栅电极 105 之间的间隙的厚度形成。

参考图 5a、5b 和 5c，第一氧化物层 111 利用刻蚀阻挡层 109 作为刻蚀中止点，通过化学机械抛光（CMP）工艺被平面化，从而得到平面化的第一氧化物层 111a。然后，第二氧化物层 113，例如由化学汽相淀积（CVD）形成的氧化物层，在平面化的第一氧化物层 111a 上以预定的厚度形成，以形成由第一氧化物层 111a 和第二氧化物层 113 组成的第一层间介质（ILD）膜 114。这里，第二氧化物层 113 的厚度被控制在使得第一 ILD 膜 114 的厚度和在随后步骤中形成的压焊区焊盘的厚度一样。

参考图 6a、6b 和 6c，通过光刻使第一 ILD 膜 114 和刻蚀阻挡层 109 图形化形成第一 ILD 膜图形 114a。此时，也形成了压焊区焊盘孔 116，它暴露了形成于半导体衬底 101 上的覆盖栅电极 105 的隔离层 107 和刻蚀阻挡层 109。然后，暴露的热氧化物层（没有示出）通过干法或湿法刻蚀除去以使得通过压焊区焊盘孔 116 暴露半导体衬底 101 的表面。

参考图 7a、7b 和 7c，第一导电层 117，例如掺杂多晶硅层，在压焊区焊盘孔 116 里和第一 ILD 图形 114a 上形成。

参考图 8a、8b 和 8c，第一导电层 117 用 CMP 或深刻蚀工艺刻蚀直到暴露第一 ILD 图形 114a 的表面，藉此在压焊区焊盘孔 116 中形成压焊区焊盘 117a 和 117b。

根据常规半导体存储器件制造方法，导电材料，例如，掺杂多晶硅，被淀积在半导体衬底上，然后图形化保留形成焊盘的部分。相反，根据本发明的方法，首先形成压焊区焊盘孔 116，然后淀积和平面化第一导电层 117，结果得到自对准的压焊区焊盘 117a 和 117b。这样，在形成压焊区焊盘 117a 和 117b 时不存在单元阵列区和外围电路区的落差。由对半导体衬底 101 具有高刻蚀选择性的氧化物组成的第一 ILD 膜 114 也被刻蚀，以使得即使可能误对准，半导体衬底的损坏也可以被防止。在通过 CMP 工艺刻蚀第一导电层 117 以形成压焊区焊盘 117a 和 117b 时，在形成压焊区焊盘 117a 和 117b 后，半导体衬底的表面也被精确平面化。这样，在半导体衬底的表面上形成 ILD 膜时，ILD 膜可以仅通过淀积步骤被形成，而不需要诸如硼磷硅酸盐玻璃（BPSG）等绝缘材料的回流步骤或附加的平面化步骤。

参考图 9a、9b 和 9c，第二 ILD 膜 119，例如，诸如 BPSG 的氧化物层，在具有压焊区焊盘 117a 和 117b 的所得结构上淀积到大约 $500 \sim 3,000 \text{ \AA}$ 的厚度。在本发明中，压焊区焊盘 117a 和 117b 用上述图形化方法形成，以使得不需要额外的平面化介质膜的步骤。

参考图 10a、10b 和 10c，使第二 ILD 膜 119 图形化形成具有位线接触孔 120 的第二 ILD 膜图形 119a，该位线接触孔 120 暴露连结到半导体衬底 101 单元阵列区漏的压焊区焊盘 117b，和连结到有源区的压焊区焊盘以及连结到外围电路区中栅电极的压焊区焊盘。然后，第二导电层，例如，掺杂多晶硅层，在所得结构的整个表面上以足够隐埋位线接触孔 120 的厚度形成。

参考图 11a、11b 和 11c，用 CMP 工艺或深刻蚀工艺刻蚀第二导电层 121 直到暴露第二 ILD 膜图形 119a，从而形成位线接触栓 121a。然后，第三导电层，例如，非晶硅化钨（WSi_x）层，通过 CVD 工艺或物理汽相淀积方法形成，然后图形化形成位线 123。结果，在半导体衬底 101 上产生由位线 123 的厚度引起的落差，该位线 123 的厚度比常规情况下的小。

以非晶态淀积硅化钨形成位线 123 的原因在于在后序热处理中使其消

除应力。也就是，如果淀积晶体硅化钨，在 600 °C 或更高温度下进行的高温热处理中将由于应力而产生和上层之间的界面处的上移。

参考图 12a、12b 和 12c，第三 ILD 膜 125 在具有位线 123 的整个半导体衬底 101 的表面形成。该第三 ILD 膜 125 由在较低温度下，即在 500 °C 或更低温度下能淀积的氧化物层，也就是低温氧化物层形成。作为形成第三 ILD 膜 125 的方法，有通过常压化学汽相淀积（APCVD）方法形成 O_3 -原硅酸四乙酯（TEOS）非掺杂硅酸盐玻璃（USG）层的方法。另外的方法是在具有厚度为 100 ~ 2000 Å 的位线 123 的半导体衬底 101 上淀积等离子体型氧化物层，然后在等离子体型氧化物层上淀积 BPSG，随后进行回流。这里，由于使用了没有流体特性的等离子体型氧化物层，第二个方法需要额外的平面化步骤。然而，即使淀积层的厚度是 3500 Å 或更小，在使用 O_3 -TEOS USG 层的第一个方法中，由于它具有良好的填充特性可以形成好的平面层，因此不需要额外的诸如流动等过程。非晶硅化钨通过 600 °C 附近的相移来晶化，从而增强应力。这样，在由在 500 °C 的较低温度下形成的低温氧化物层组成第三 ILD 膜 125 时，可以阻止硅化钨及其上层之间界面的上移现象。

参考图 13a、13b 和 13c，使第三 ILD 膜 125 和第二 ILD 膜图形 119a 图形化形成第三 ILD 膜图形 125a 和第二 ILD 膜图形 119b，得到暴露连接到晶体管源的压焊区焊盘 117a 的表面的存储电极接触孔 126。

参考图 14a、14b 和 14c，第四导电层，即掺杂多晶硅层，在具有存储电极接触孔 126 的所得结构的整个表面上形成，然后图形化形成存储电极 127。结果，在半导体衬底 101 上形成仅与存储电极 127 厚度有关的落差。

然后，介质膜 131 和平板电极 133 顺序在存储电极 127 上形成，完成电容器。这里，氮化物层在存储电极 127 上在介质层 131 形成之前被形成。然后，在氮气氛中把所得结构加温到大约 750 °C，随后在温度超过 750 °C 时在所得结构上进行氧化工艺，从而形成具有氮化物/氧化物结构的介质膜 131。在介质膜 131 被通过以上方法形成时，在氧化工艺中的位线 123 的氧化可以被阻止。

如上所述，根据本发明的半导体存储器件的制造方法中，使用图形化方法形成压焊区焊盘，和在位线接触孔形成之后形成位线以使得半导体衬底上的落差能最小以及半导体衬底能通过更简单的工艺被平面化。结果，单元阵列区和外围电路区的落差减小到存储电极的厚度。

下面，将描述根据本发明第二实施例的半导体存储器件的制造方法。

在第二实施例中，提供了能解决下凹现象的方法。下凹可在除在压焊区焊盘孔内之外的其它部分上淀积的导电层通过CMP方法刻蚀时发生。

图15a和图15b到图21a和21b是显示根据本发明第二实施例的半导体存储器件制造方法的截面视图。这里，图15a、16a、...、21a显示单元阵列区，和图15b、16b、...、21b显示外围电路区。

参考图15a和15b，在单元阵列区和外围电路区中，栅电极220在半导体衬底200上通过浅沟隔离(STI)方法形成，其中绝缘区和有源区被分开。栅电极220可以被形成为具有由多晶硅层和硅化钨层组成的多硅化物(polycide)结构。这里，栅电极220在单元阵列区中的间隔小于 $0.5\mu\text{m}$ 而在外围电路区的间隔可能是几十 μm 。然后，考虑到氮化硅层对用作ILD膜的氧化物层的刻蚀选择性，覆盖栅电极220的隔离层222用氮化硅层在后序步骤中形成，然后，通过离子注入工艺，源/漏(没有示出)在单元阵列区中的栅电极220之间的有源区形成，因此完成由栅电极220和源/漏极组成的电容器。

参考图16a和16b，为了去除由半导体衬底200上的栅电极220形成的落差，BPSG在所得结构上被淀积到厚度为 $4,000\text{\AA}$ 或更厚，以及随后在更高温度下流动。然后，使用隔离层222作为刻蚀中止点，通过CMP工艺进行平面处理，藉此形成第一ILD膜230。这里，由于栅电极220在单元阵列区中以更小的间隔形成，在使用CMP工艺进行平面化处理后在第一ILD膜230上没有发生下凹现象。然而，栅电极220的间隔在外围电路区中相对较宽，因此CMP工艺后在图16b中由“D”表示的下凹在第一ILD膜230的表面上发生。

参考图17a和17b，为了增强在清洁过程中第一ILD膜230抵抗化学物质的能力，氧化物层在第一ILD膜230上被淀积到预定的厚度以形成第二ILD膜240。这里，在外围电路区中的下凹反映在第二ILD膜240上。

参考图 18a 和 18b, 非掺杂多晶硅材料在第二 ILD 膜 240 上被淀积到几百 Å 的厚度, 以形成留膜保护层 245。留膜保护层 245 的厚度可以根据第二 ILD 膜 240 上的下凹程度而不同, 但厚度最好还是 200 ~ 1,000 Å。形成留膜保护层 245 的非掺杂多晶硅相对掺杂多晶硅被快速刻蚀。这样在随后步骤深刻蚀掺杂多晶硅层时, 没有残余物留在下凹发生的部分中。另外, 在用于形成触点的光刻过程中留膜保护层 245 防止硅化钨层对入射光的漫反射, 从而也避免了光刻胶材料的分解。另外, 由于用于在随后步骤中形成触点的光刻胶材料和形成第二 ILD 膜 240 的氧化物层之间不良的刻蚀选择性引起的触点尺寸的增加也可以通过留膜保护层 245 避免。

参考图 19a 和 19b, 为了在具有留膜保护层 245 所得结构中的单元阵列区中形成压焊区焊盘, 通过使用常规光刻工艺顺序刻蚀留膜保护层 245、第二 ILD 膜 240 和第一 ILD 膜 230 形成压焊区焊盘孔 h_2 。以使得半导体衬底 200 的有源区和隔离层 222 被同时部分暴露。这里, 第二 ILD 膜 240 用提供对覆盖栅电极 220 的隔离层 222 有极好刻蚀选择性的装置刻蚀, 使得隔离层 222 被保护同时防止栅电极 220 和压焊区焊盘之间的短路。

参考图 20a 和 20b, 用于形成压焊区焊盘的导电层 250, 例如, 掺杂多晶硅层, 在具有压焊区焊盘孔 h_2 的所得结构的整个表面被淀积到足够完全隐埋压焊区焊盘孔 h_2 的厚度。

参考图 21a 和 21b, 导电层 250 中除去形成在压焊区焊盘孔 h_2 中的部分以及留膜保护层 245 的全部通过 CMP 工艺去除, 从而以自对准方式形成压焊区焊盘 260。结果, 留膜保护层 245 可能保留在有下凹发生的外围电路区。然而, 由于非掺杂多晶硅的去除速度是掺杂多晶硅的去除速度的 4 ~ 5 倍, 掺杂的多晶硅和留膜保护层 245 完全从除压焊区焊盘 260 外的单元阵列区和外围电路区被去除。结果, 在第二 ILD 膜 240 上不形成任何剩余层。

此后, 通过和参照图 9 到图 14 解释的第一实施例同样的方法完成半导体存储器件。

如上所示, 在根据本发明第二实施例的半导体存储器件制造方法中, 即使在进行 CMP 工艺形成压焊区焊盘时下凹发生在外围电路区中 ILD 膜上, 在 ILD 膜上由下凹引起的不需要的材料也可以被防止保留下来。

以下，将描述根据本发明第三实施例的半导体存储器件制造方法。

图 22 到 28 是解释根据本发明第三实施例的半导体存储器件制造方法的截面视图。

参考图 22，栅电极 320 在半导体衬底 310 上通过 STI 方法形成，其中隔离区 312 和有源区分开。栅电极 320 以具有由例如多晶硅层和硅化钨层组成的多硅化物结构的形式形成。然后，考虑到氮化硅层对用作 ILD 膜的氧化物层的刻蚀选择性，覆盖栅电极 320 的隔离层 322 用氮化硅层在后序步骤中形成，然后，通过离子注入工艺，源/漏极（没有示出）在单元阵列区中的栅电极 320 之间的有源区形成，因此完成由栅电极 320 和源/漏极组成的电容器。

参考图 23，为了通过在随后步骤中形成由氮化物层形成的刻蚀阻挡层保护在晶体管形成过程中暴露的半导体衬底 310 的有源区表面，热氧化物层 323 在半导体衬底 310 上被淀积到 $50 \sim 150 \text{ \AA}$ 。然后，在具有热氧化物层 323 的所得结构的整个表面上形成为大约 100 \AA 的由氮化硅制成的刻蚀阻挡层 325。考虑到对氧化物层的刻蚀选择性，刻蚀阻挡层形成的厚度至少为 100 \AA 以使得栅电极 320 之间的间隙不被隐埋。

参考图 24，第一氧化物层 327 在具有刻蚀阻挡层 325 的所得结构中的栅电极 320 之间的间隙上形成。在高集成度的半导体器件中，栅电极之间的间距是 $0.15 \mu\text{m}$ 或更小。这样，如果在这样小的间距中存在空位(void)，将产生由空位引起的短路。这样，无空位地填充栅电极之间的间距是很重要的。为了完成这个填充，首先在具有刻蚀阻挡层 325 的所得结构上淀积具有极好流体特性的材料，例如 BPSG 或旋涂玻璃 (SOG) 到大约 $1,000 \text{ \AA}$ 的厚度，然后以 45° 角刻蚀淀积层以加宽栅电极 320 之间的开口。然后，BPSG 或 SOG 以 $5,000 \text{ \AA}$ 的厚度淀积于其上，然后通过流动法平面化，从而得到 BPSG 层或 SOG 层。然后，BPSG 层或 SOG 层使用刻蚀阻挡层 325 作为刻蚀中止点通过 CMP 工艺平面化，从而完成第一氧化物层 327。

参考图 25，第二氧化物层 329，例如，在低温下能被淀积的 P-TEOS 层，在具有第一氧化物层 327 的所得结构的整个表面上被淀积到约 $2,500 \text{ \AA}$ 。另外，为了在随后形成压焊区焊盘孔的刻蚀工艺中防止压焊区焊

盘孔的入口变宽，多晶硅层被淀积到大约 500\AA 的厚度。

参考图 26，光刻胶图形 333 在多晶硅层 331 上形成以限定形成压焊区焊盘的区域。

参考图 27，多晶硅层 331、第二氧化物层 329、第一氧化物层 327、刻蚀阻挡层 325 和热氧化物层 323 用光刻胶图形 333 作为掩模顺序刻蚀，从而形成多晶硅层图形 331a、第二氧化物层图形 329a 和刻蚀阻挡层图形 325。同时，形成同时暴露半导体衬底 310 和隔离层 322 表面的压焊区焊盘孔 A。这里，在形成压焊区焊盘孔 A 的刻蚀工艺中尽管产生轻微的误对准，刻蚀工艺在形成氧化物层的条件下进行，以使得由氮化物制成的隔离层 322 和由硅制成的半导体衬底 310 的表面不被损坏。然后，去除光刻胶图形 333。

参考图 28，导电层，例如掺杂多晶硅层，在具有压焊区焊盘孔 A 的所得结构上被淀积到足够填充压焊区焊盘孔 A 的厚度。然后，导电层和多晶硅层图形 331 使用第二氧化物层图形 329a 作为刻蚀阻挡层通过 CMP 工艺刻蚀，从而在压焊区焊盘孔 A 中形成平面化的压焊区焊盘 340。

然后，通过和参照图 9 到图 14 解释的第一实施例同样的方法完成半导体存储器件。

根据本发明的第三实施例，在各个压焊区焊盘间隙中用 P-TEOS 形成的第二氧化物层图形，在单元阵列区中被反复形成，由 P-TEOS 制成的第二氧化物图形也存在于单元阵列区外的其它区域中，以使得半导体衬底的表面无下凹地准确平面化。

如上所述，根据本发明的实施例，压焊区焊盘通过使得不损坏半导体衬底可以得到足够对准容差的图形化方法形成。另外，在形成位线触点焊盘之后，在其上形成位线，以使得半导体衬底中的落差最小和通过更简单的工艺平面化半导体衬底。结果，单元阵列区和外围电路区之间的落差减小到存储电极的厚度。

尽管参考具体的实施例解释和描述了本发明，但对熟练的技术人员来说在本发明的精神和范围之内还可给出进一步的修改和变化。

图1

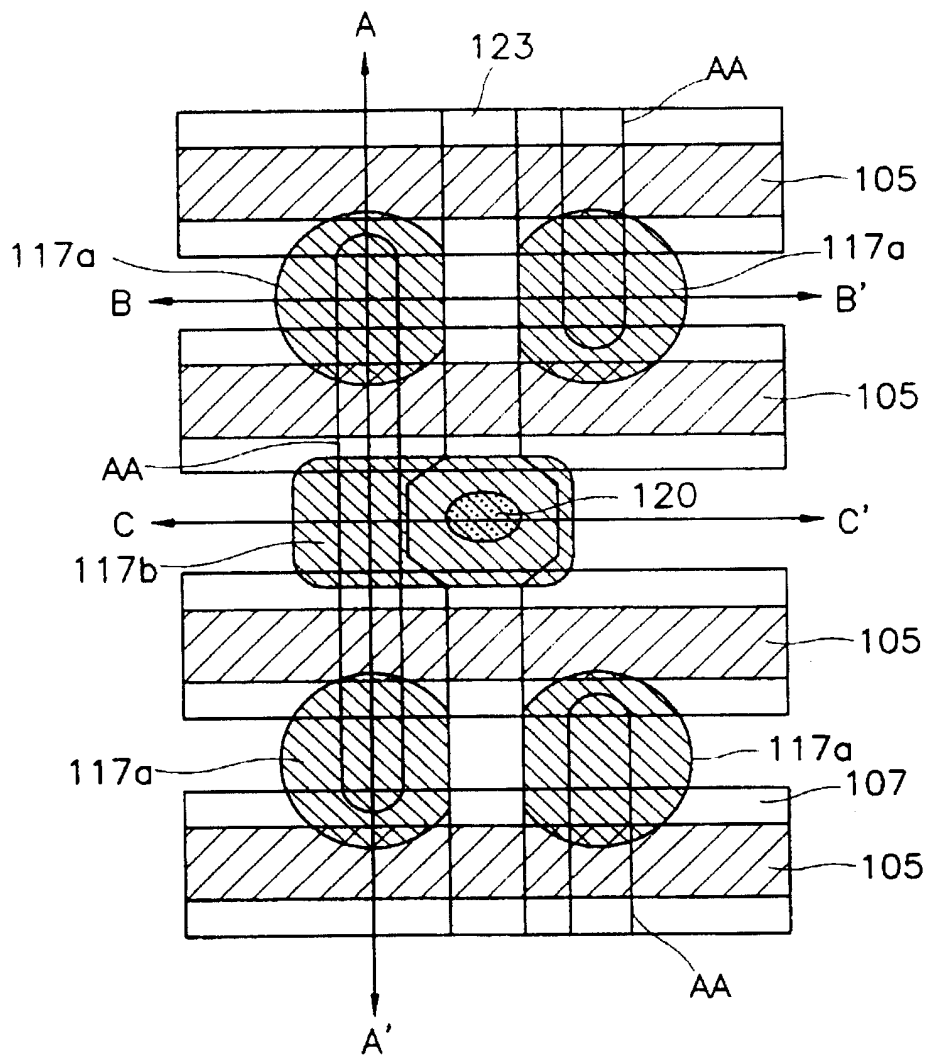


图 2a

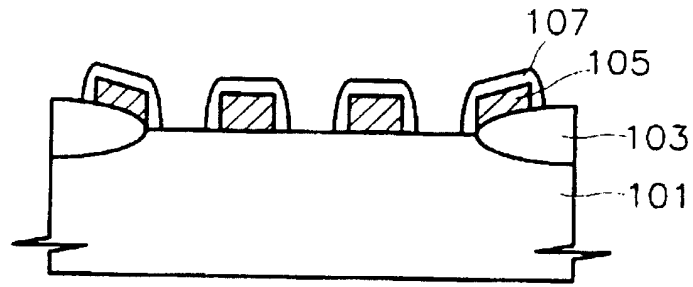


图 2b

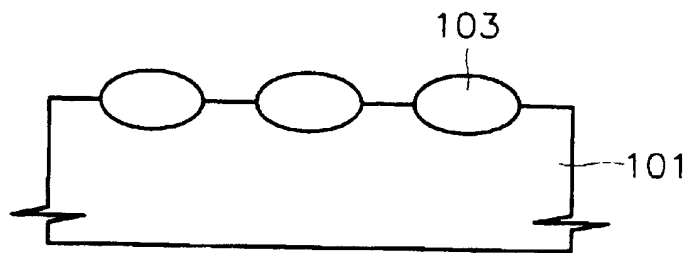


图 2c

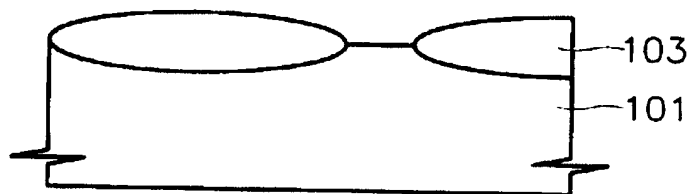


图 3a

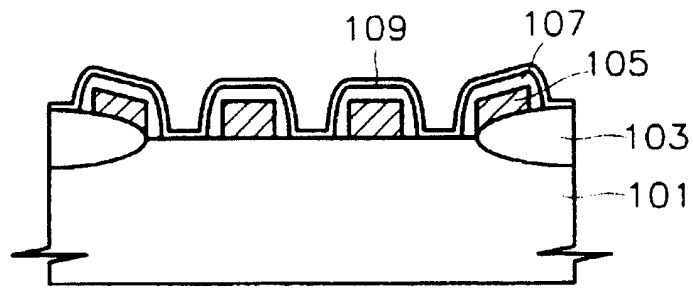


图 3b

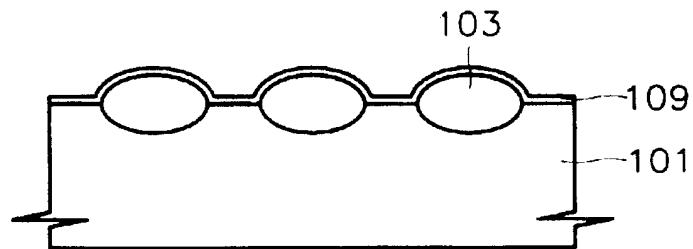


图 3c

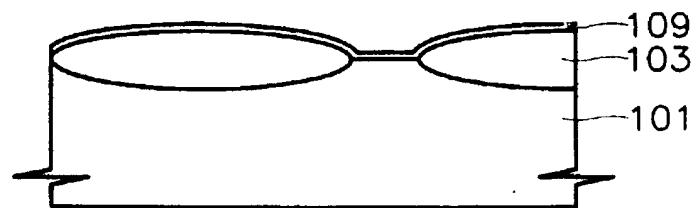


图 4a

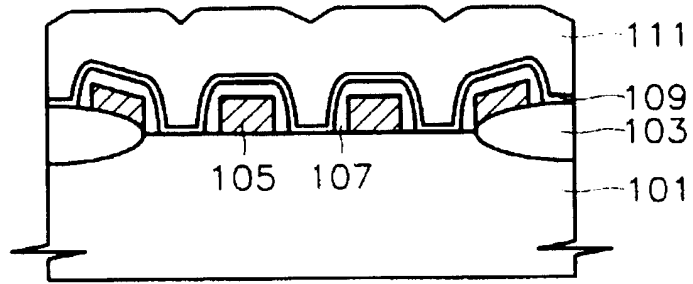


图 4b

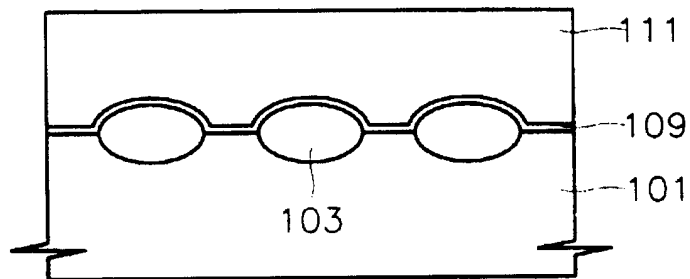


图 4c

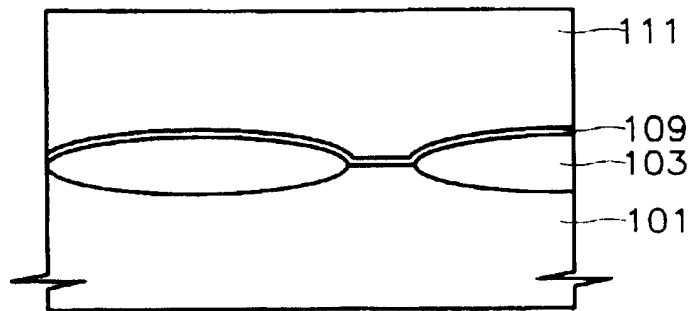


图 5a

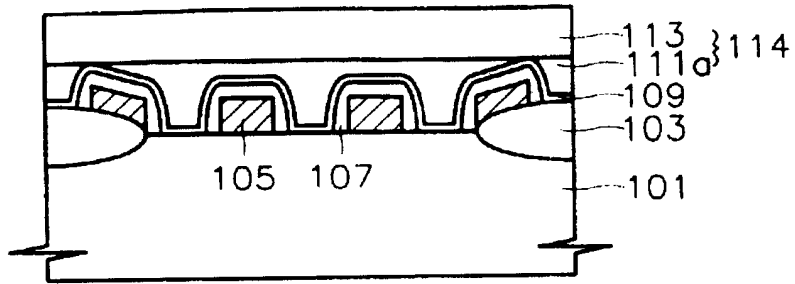


图 5b

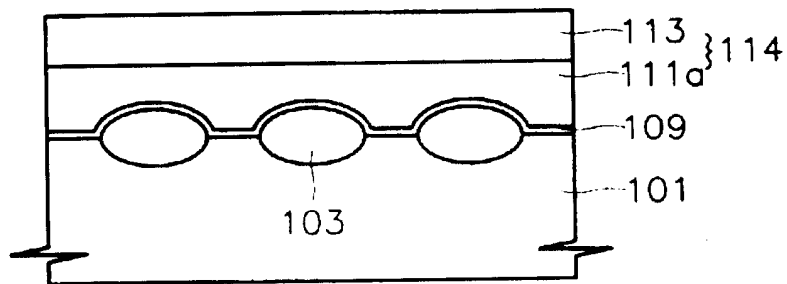


图 5c

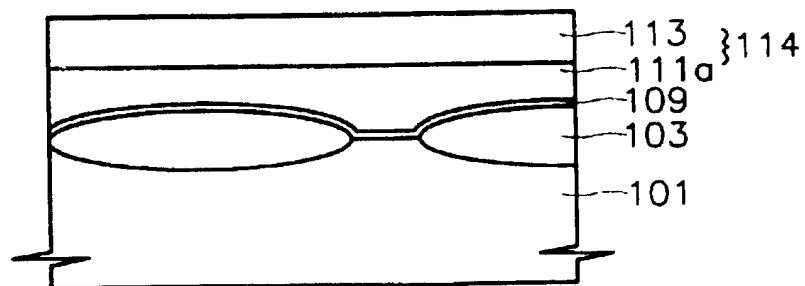


图 6a

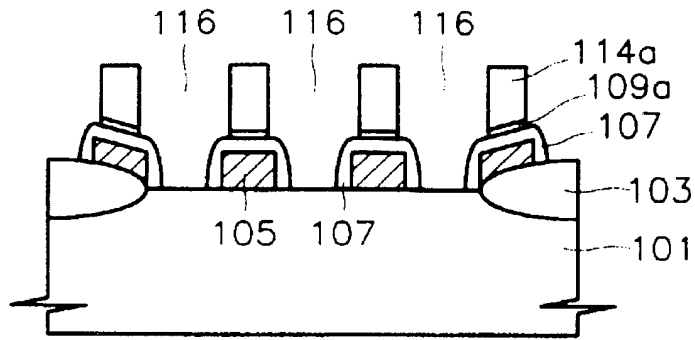


图 6b

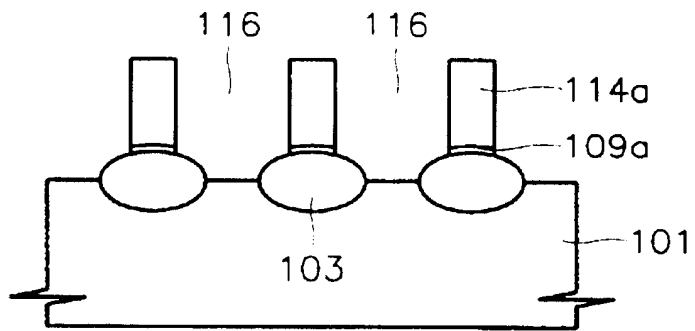


图 6c

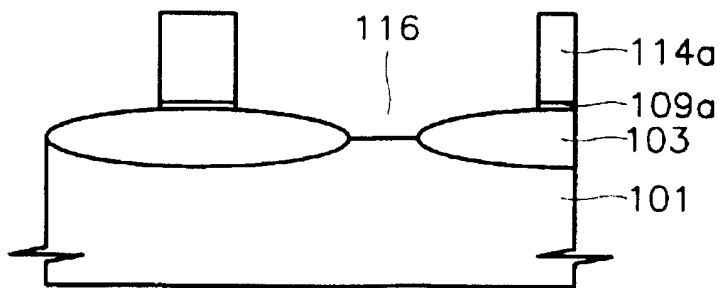


图 7a

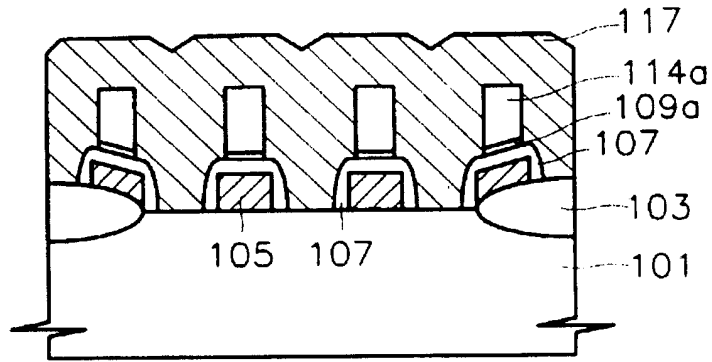


图 7b

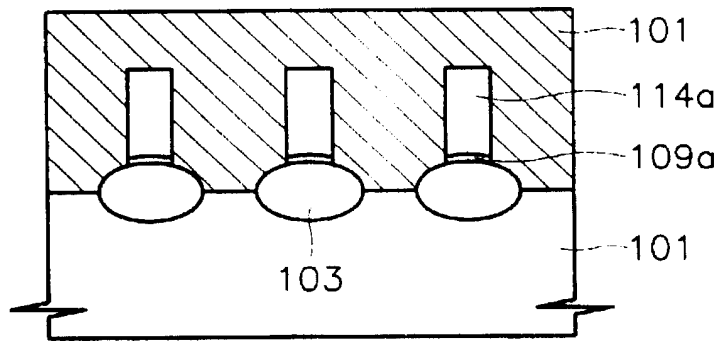


图 7c

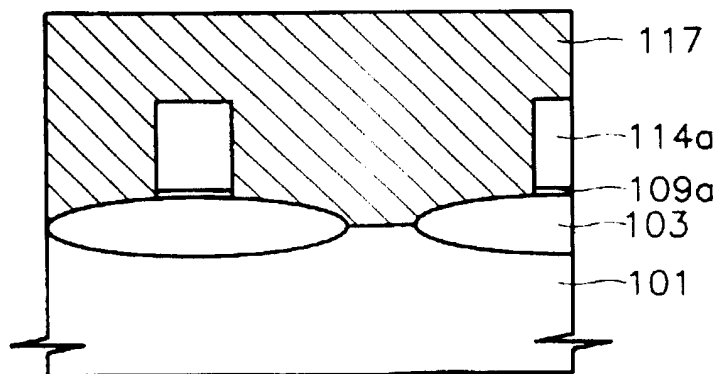


图 9a

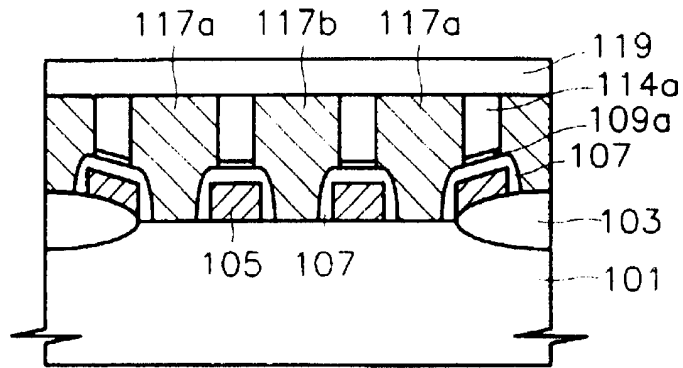


图 9b

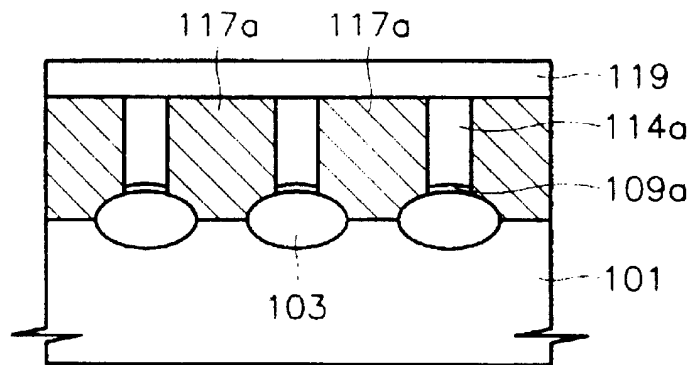


图 9c

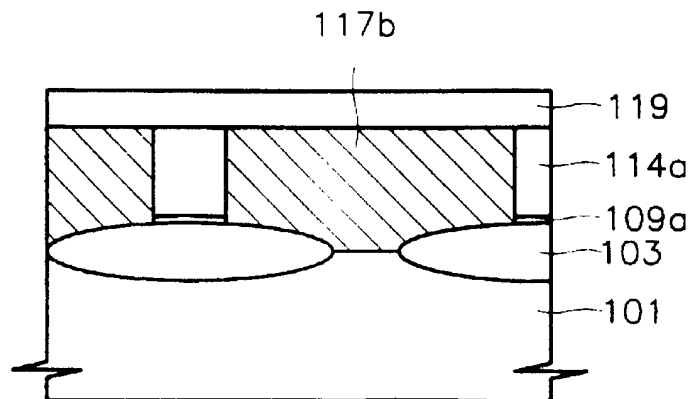


图 10a

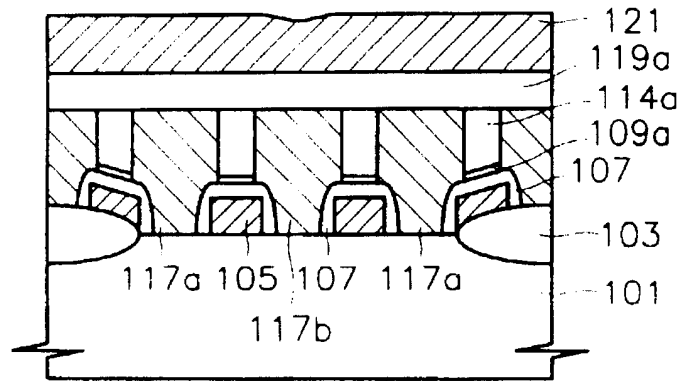


图 10b

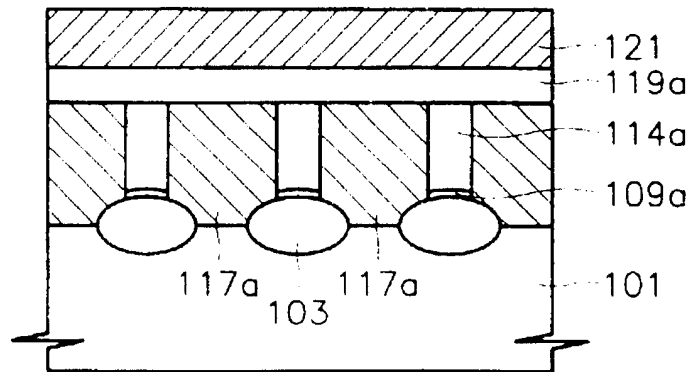


图 10c

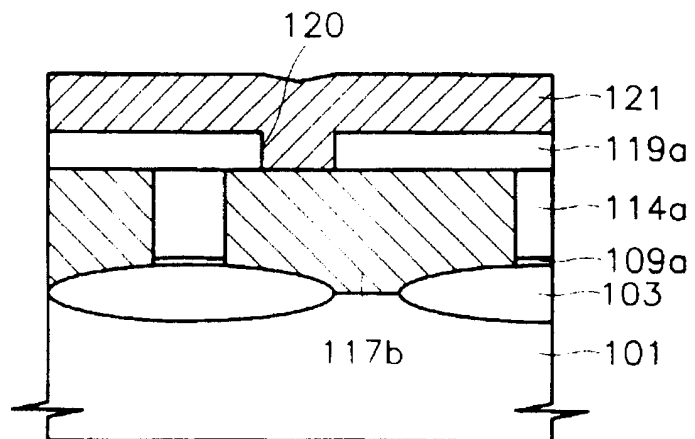


图 11a

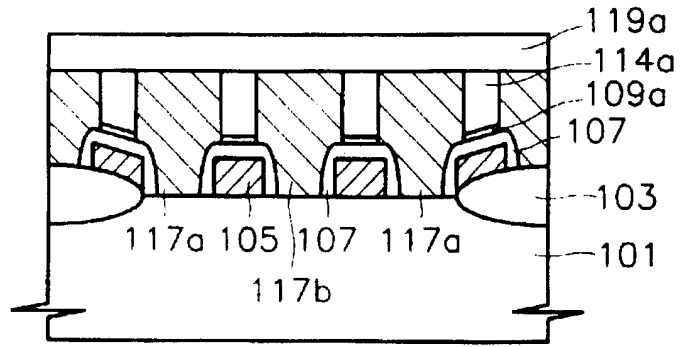


图11b

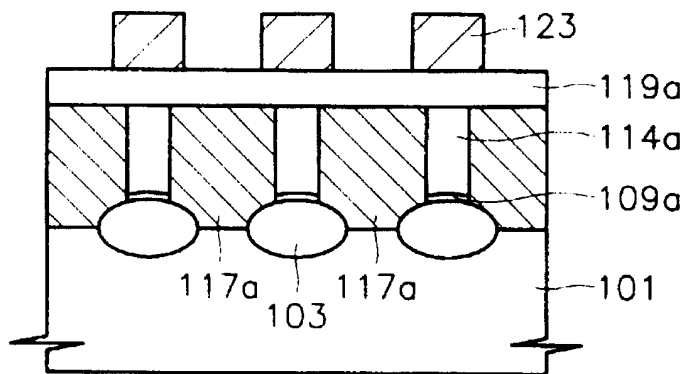


图 11c

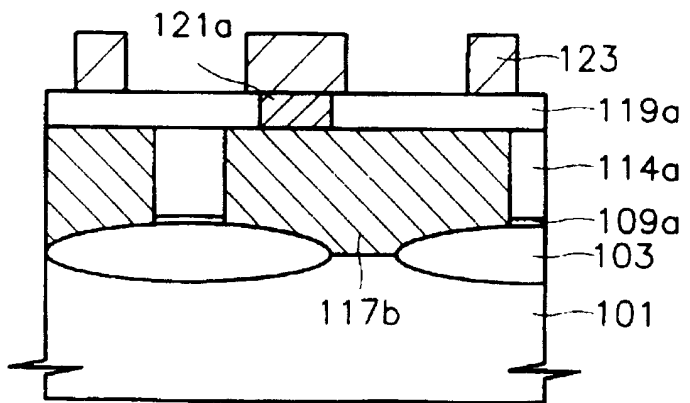


图 12a

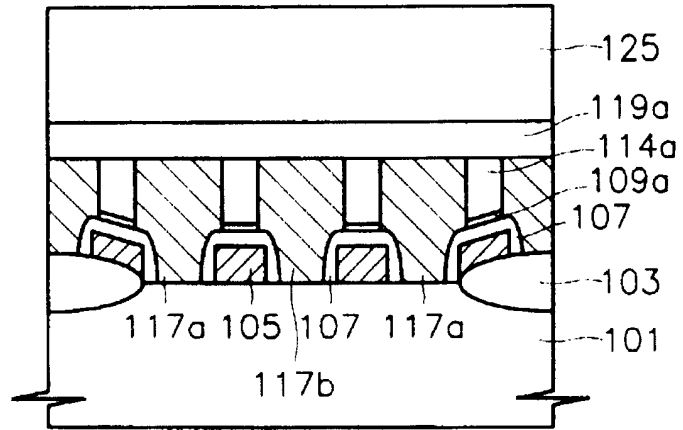


图 12b

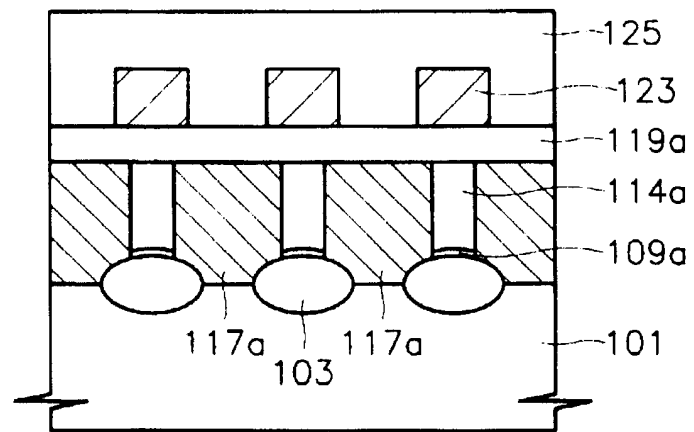


图 12c

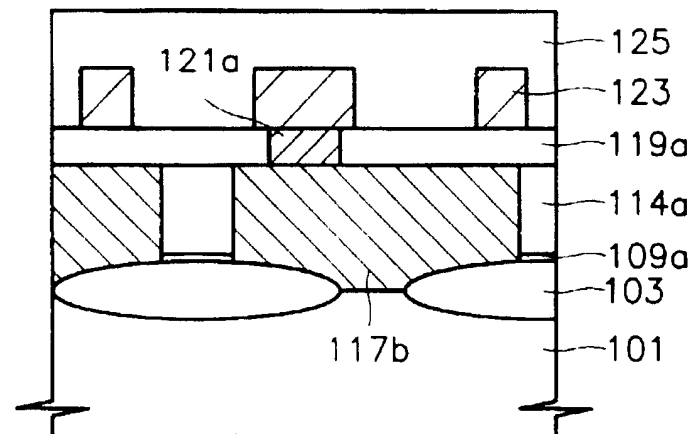


图 13a

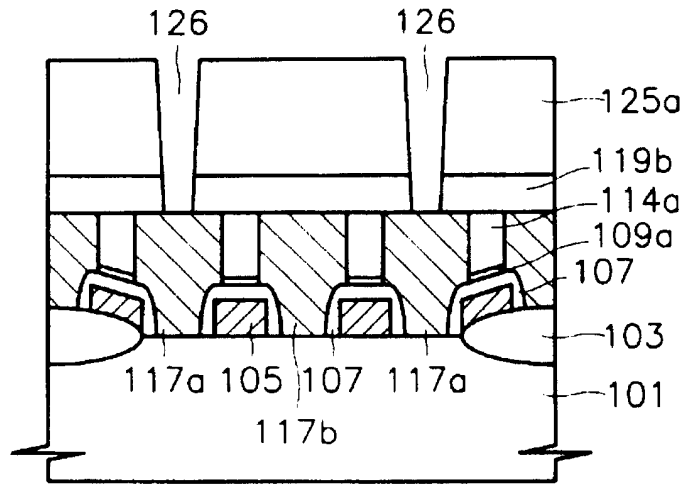


图 13b

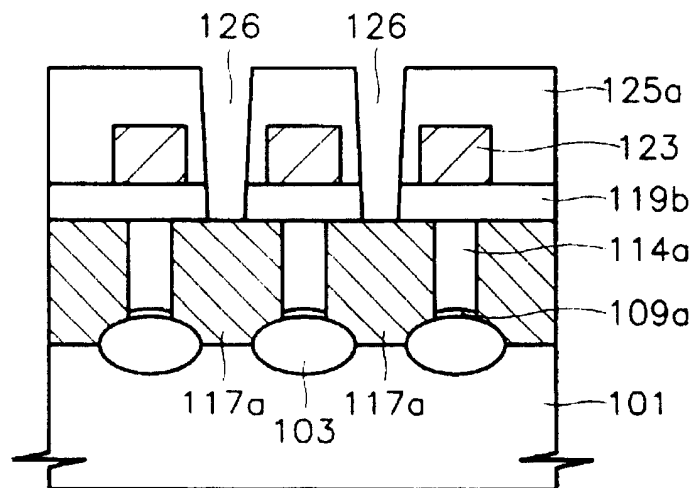


图 13c

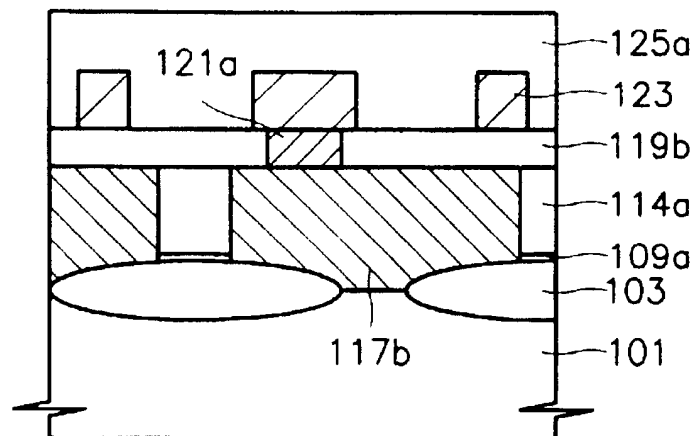


图 14a

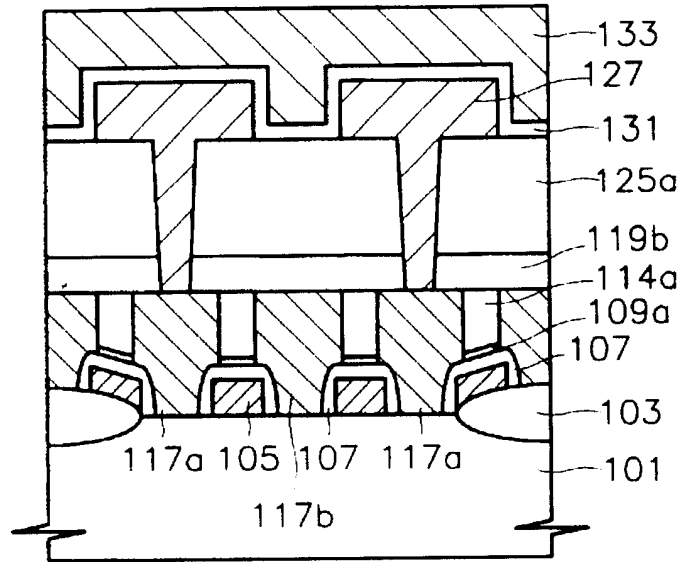


图 14b

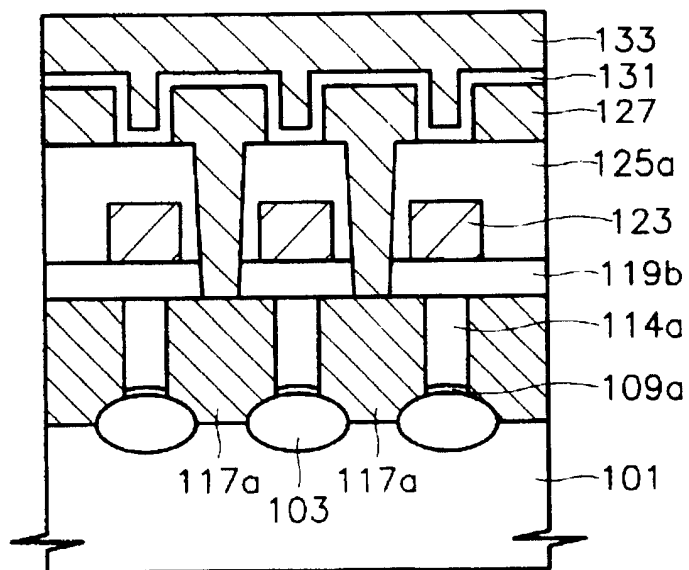


图 14c

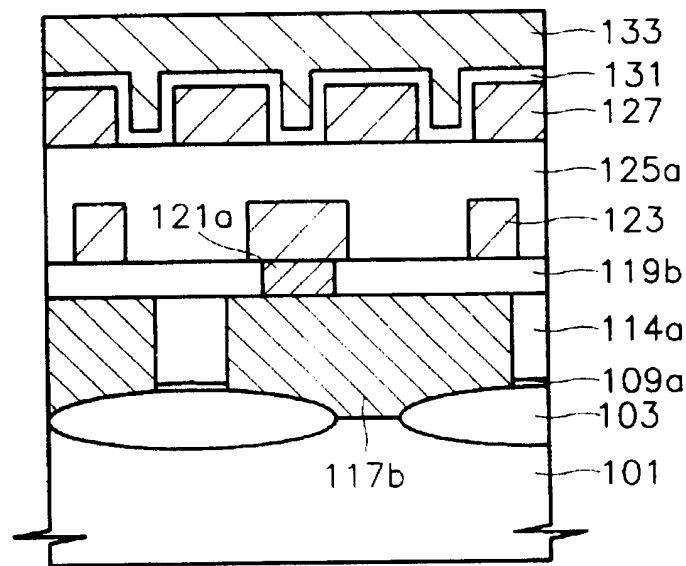


图 15a

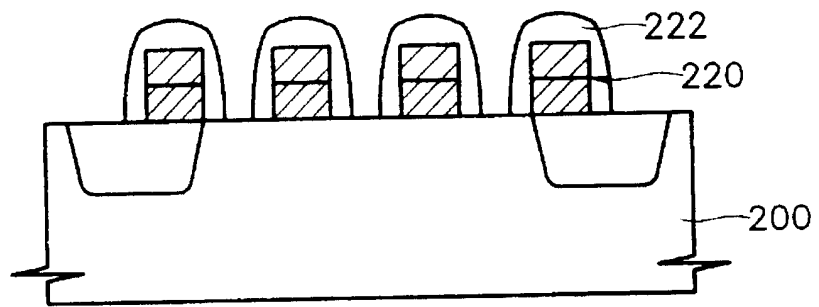


图 15b

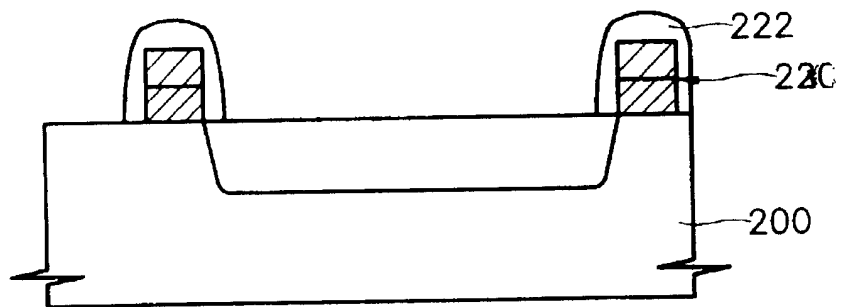


图 16a

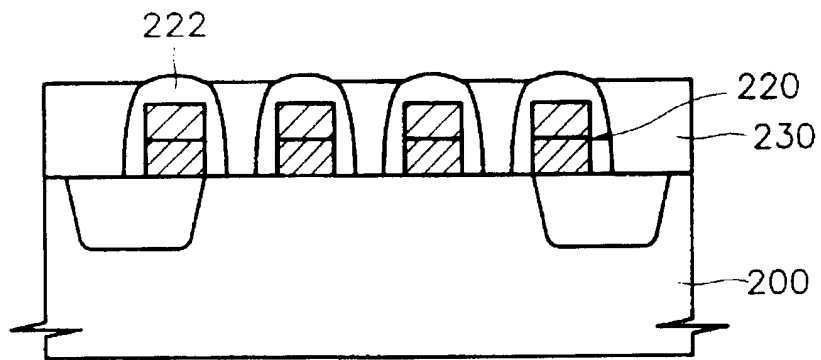


图 16b

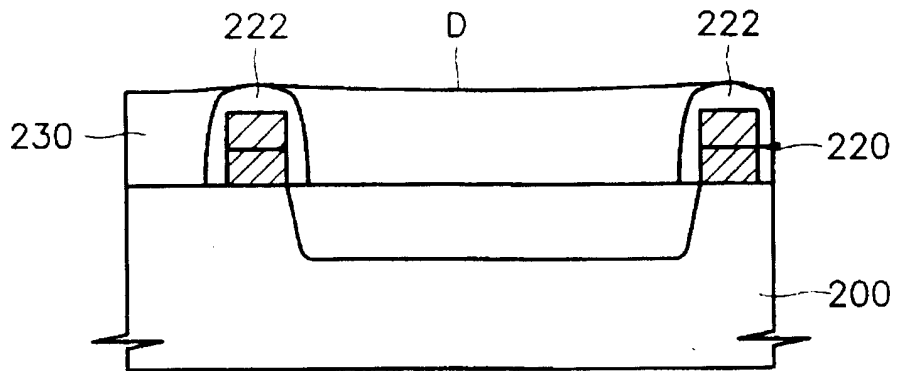


图 17a

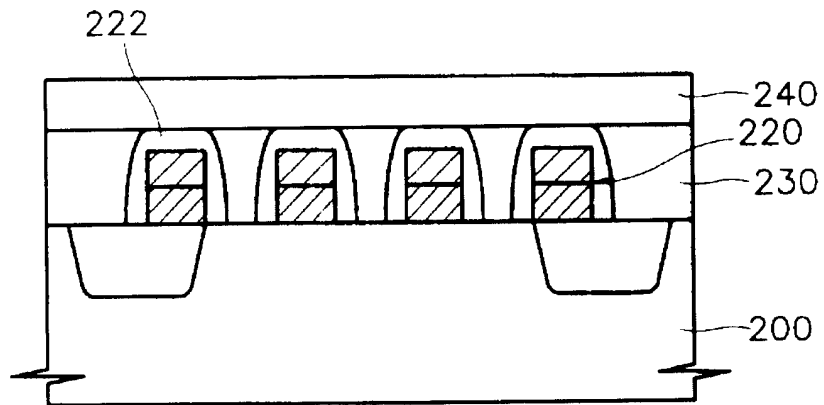


图 17b

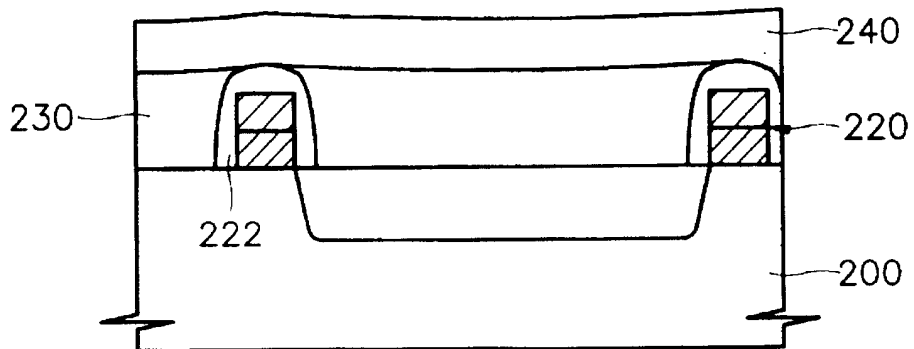


图 18a

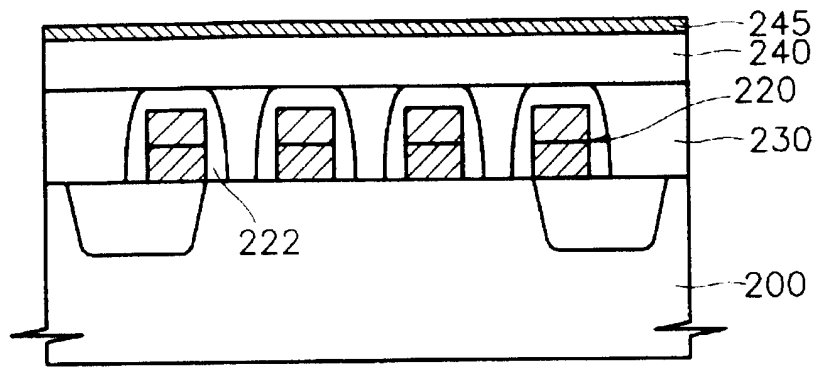


图 18b

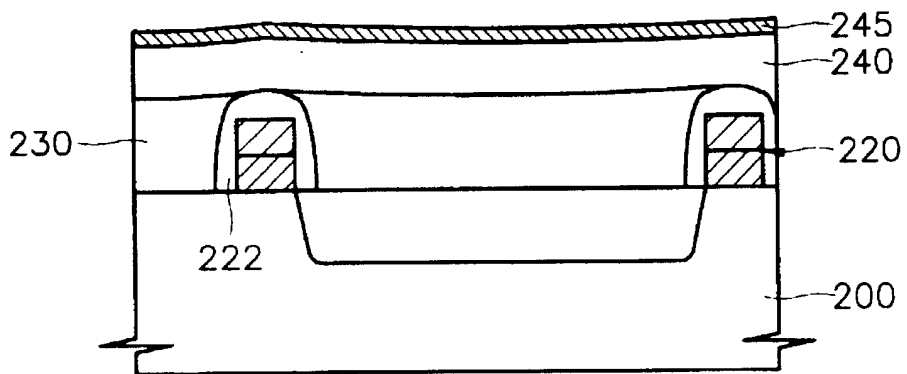


图 19a

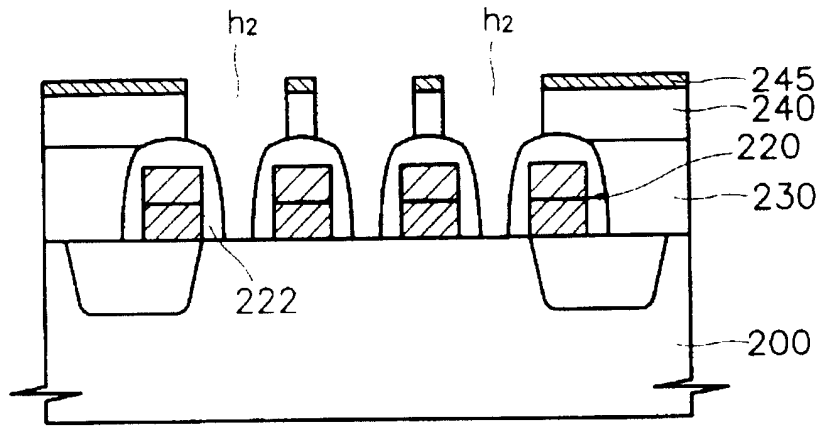


图 19b

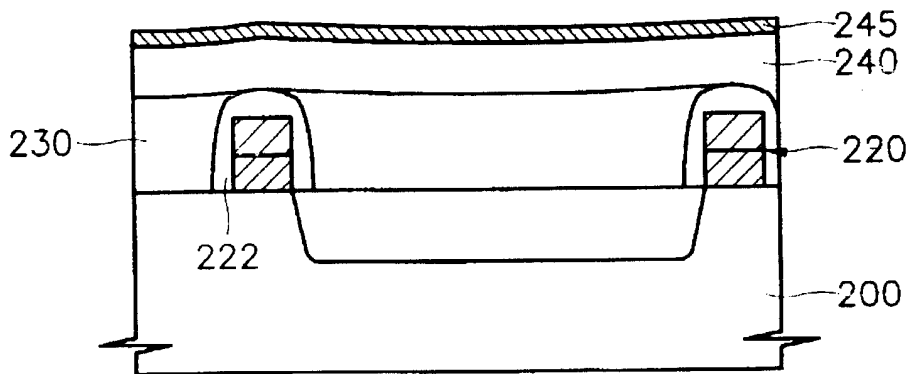


图 20a

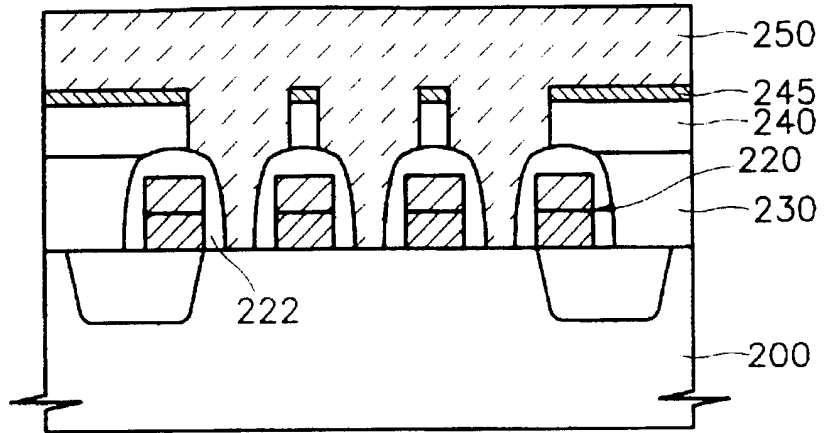


图 20b

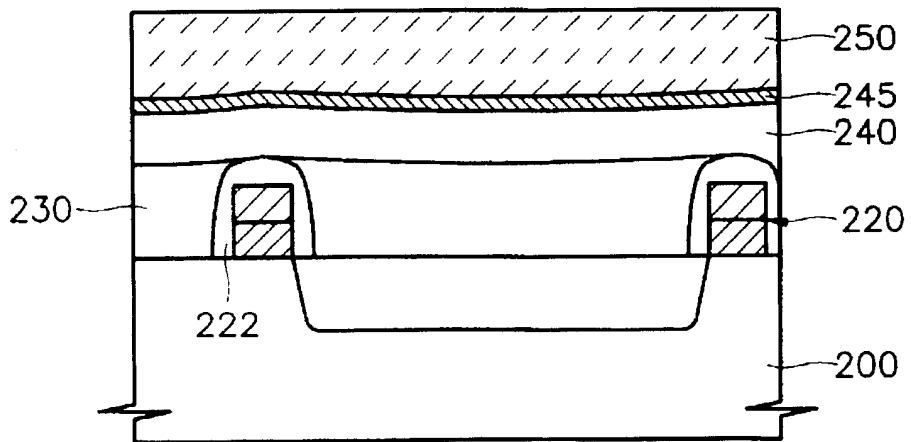


图 21a

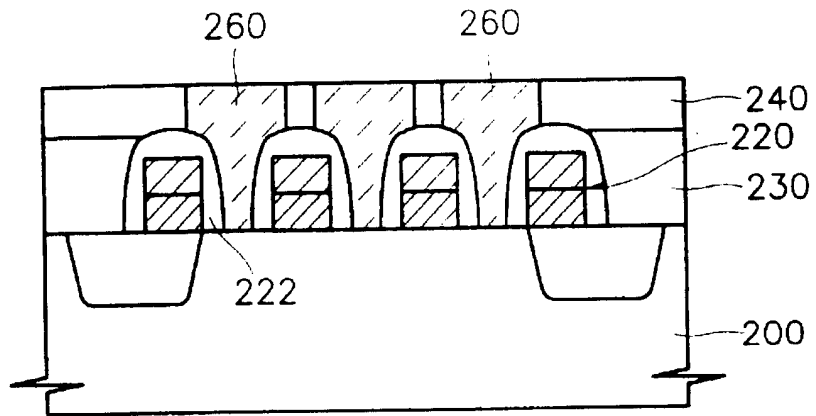


图 21b

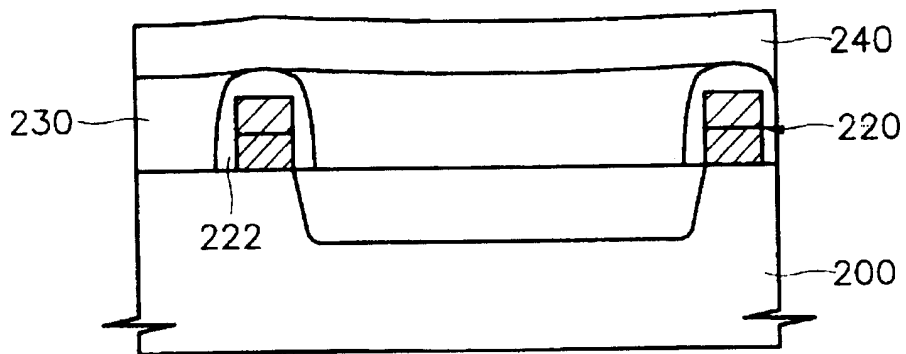


图 22

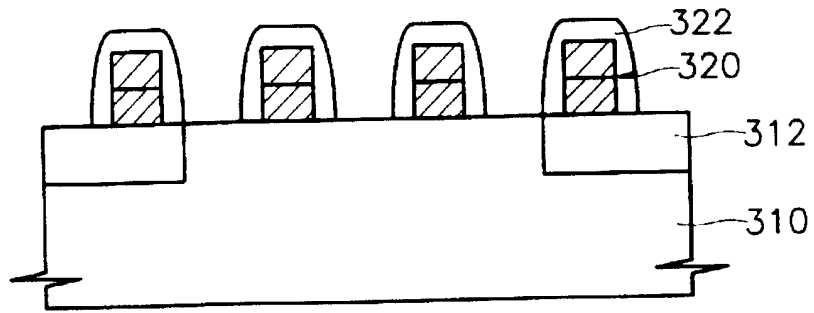


图 23

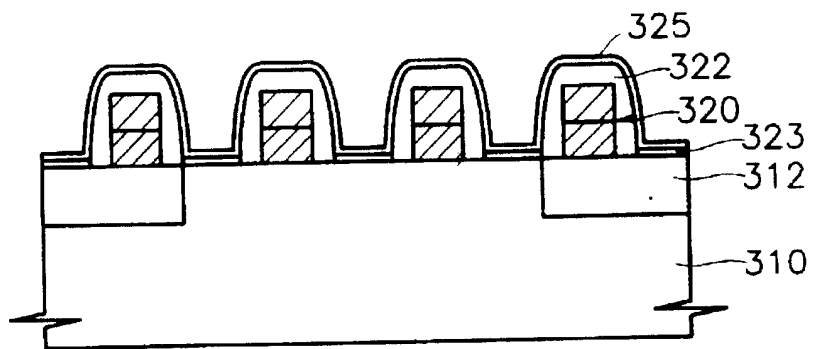


图 24

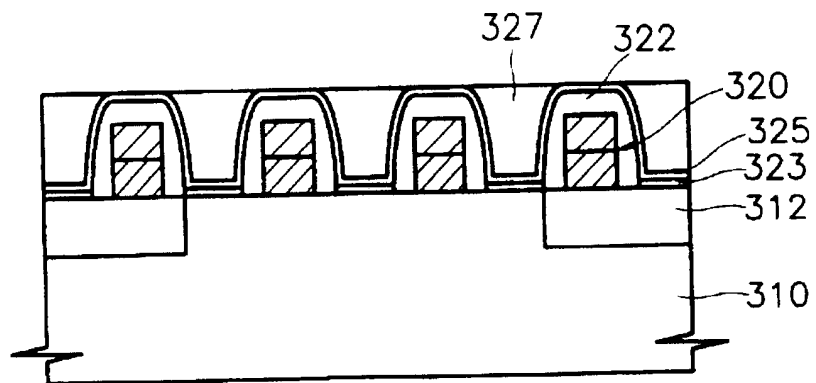


图 25

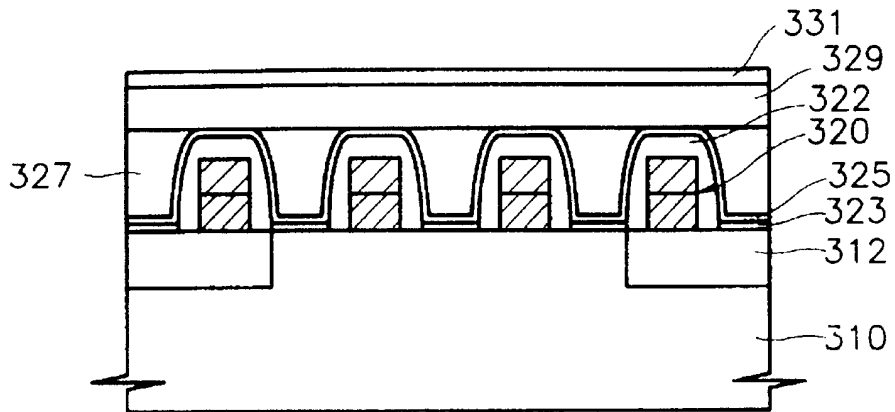


图 26

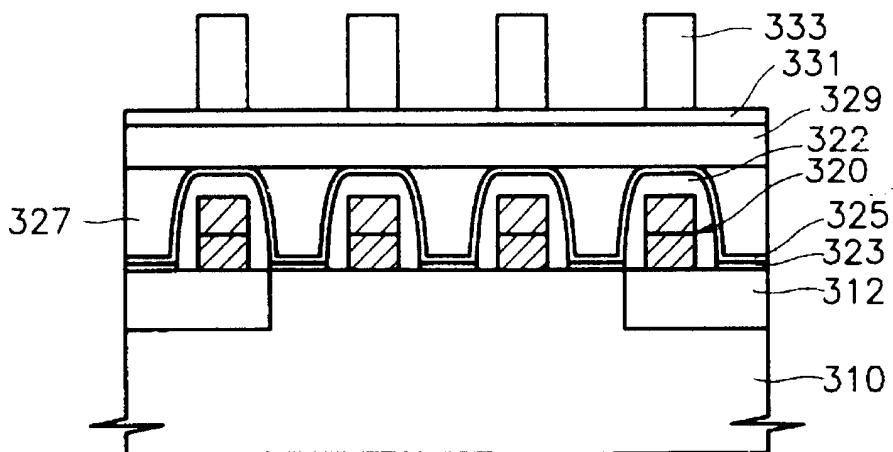


图 27

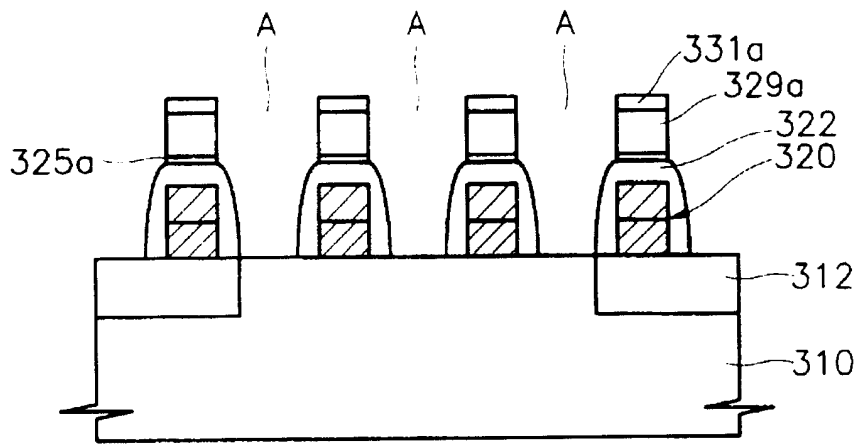


图 28

