

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-272026

(P2009-272026A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 4	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 5	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 1 1 E	
	G 1 1 C 17/00 6 1 2 C	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2008-124471 (P2008-124471)
 (22) 出願日 平成20年5月12日 (2008.5.12)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 橋本 寿文
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

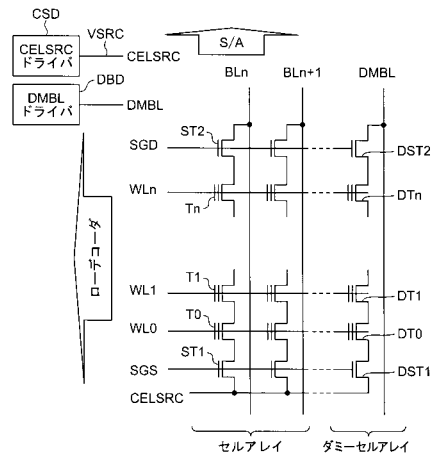
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】 (修正有)

【課題】ダミーセルアレイにおいて過消去が起きて絶縁膜に過大な電界が印加され不具合が発生することを防ぐ。

【解決手段】ダミーセルトランジスタDT0~DTnが少なくとも一列配列されたダミーセルアレイ、ダミーセルトランジスタ列の一端に接続されたダミー選択トランジスタDST1、ダミーセルトランジスタ列の他端に接続されたダミー選択トランジスタDST2、セルソース線CELSRCにセルソース線電圧VSRCを供給するセルソース線ドライバCSD、ダミービット線DMBLにダミービット線電圧DMBLを供給するダミービット線ドライバDBDを備え、選択されたメモリセルトランジスタに書き込みを行う時このメモリセルトランジスタが接続されたビット線以外の他のビット線の電圧と異なる電圧をダミービット線電圧としてダミービット線ドライバが少なくともいずれか1本のダミービット線に供給する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一方向に沿って配線された複数のワード線にそれぞれのゲートが接続され、ソース、ドレインが相互に直列に接続された複数のメモリセルトランジスタを含むメモリセルトランジスタ列が他方向に沿って複数配列されたメモリセルアレイと、

各々の前記メモリセルトランジスタ列の一端と、前記メモリセルトランジスタ列に対応して前記他方向に沿って配線された複数のビット線との間にソース、ドレインが接続され、前記一方向に沿って配線された第 1 の選択ゲート線にゲートが接続された複数の第 1 の選択トランジスタと、

各々の前記メモリセルトランジスタ列の他端と、前記一方向に沿って配線されたセルソース線との間にソース、ドレインが接続され、前記一方向に沿って配線された第 2 の選択ゲート線にゲートが接続された複数の第 2 の選択トランジスタと、

前記メモリセルアレイの少なくとも一端において前記他方向に沿って配置され、ソース、ドレインが相互に直列に接続された複数のダミーセルトランジスタを含むダミーセルトランジスタ列が一方向に沿って少なくとも一列配列されたダミーセルアレイと、

少なくとも 1 つの前記ダミーセルトランジスタ列の一端と、前記ダミーセルトランジスタ列に対応して前記他方向に沿って配線された少なくとも 1 本のダミービット線との間にソース、ドレインが接続され、前記第 1 の選択ゲート線にゲートが接続された少なくとも一つの第 1 のダミー選択トランジスタと、

少なくとも 1 つの前記ダミーセルトランジスタ列の他端と、前記セルソース線との間にソース、ドレインが接続され、前記第 2 の選択ゲート線にゲートが接続された少なくとも一つの第 2 のダミー選択トランジスタと、

前記セルソース線にセルソース線電圧を供給するセルソース線ドライバと、

前記ダミービット線にダミービット線電圧を供給するダミービット線ドライバと、
を備え、

選択された前記メモリセルトランジスタに書き込みを行う時、このメモリセルトランジスタが前記第 1 の選択トランジスタを介して接続された前記ビット線以外の他の前記ビット線の電圧と異なる電圧を前記ダミービット線電圧として、前記ダミービット線ドライバが少なくともいずれか 1 本の前記ダミービット線に供給することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

選択された前記メモリセルトランジスタに書き込みを行う時、このメモリセルトランジスタが前記第 1 の選択トランジスタを介して接続された前記ビット線の電圧と同一の電圧を前記ダミービット線電圧として、前記ダミービット線ドライバが少なくともいずれか 1 本の前記ダミービット線に供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

選択された前記メモリセルトランジスタに書き込みを行う時、前記ダミーセルトランジスタに書き込みを行う書き込み時間は前記メモリセルトランジスタに書き込む時の書き込み時間以下であり、あるいは前記ダミーセルトランジスタに書き込みを行う書き込み回数は前記メモリセルトランジスタに書き込む時の書き込み回数以下であることを特徴とする請求項 1 又は 2 記載の不揮発性半導体記憶装置。

【請求項 4】

選択された前記メモリセルトランジスタに、最も閾値が低い第 1 の値、前記第 1 の値より閾値が高い第 2 の値、前記第 2 の値より閾値が高い第 3 の値、前記第 3 の値より閾値が高い第 4 の値を含む多値で書き込みを行う場合、前記第 1 の値から前記第 3 の値又は前記第 4 の値を書き込む際に、前記第 3 の値と前記第 4 の値の中間に分布する第 5 の値を書き込み、同時にダミーセルトランジスタにも前記第 5 の値を書き込み、この後前記メモリセルトランジスタに前記第 4 の値又は前記第 5 の値を書き込むことを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性半導体記憶装置。

10

20

30

40

50

【請求項 5】

選択された前記メモリセルトランジスタに書き込まれたデータを消去する前に書き込みを行う場合、前記ダミーセルトランジスタにも書き込みを行うことを特徴とする請求項 1 乃至 4 のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

不揮発性半導体記憶装置において、例えば NAND 型フラッシュメモリでは、メモリセルはチップ上で最も微細な加工が行われる部分である。しかし、微細なパターンを加工しようとするとその隣接パターンからの影響を受け、特に端部ではその周期性が乱れるために設計通りの加工が困難である。

【0003】

そこで、メモリセルの端部でも中央部と同じ周期性を持つ正確な加工を実現するために、セルアレイ端部に隣接するように実際のデータの記録等を行わないダミーセルアレイを配置することが行われている。

【0004】

またメモリセルはその構造上、フローティングゲートの容量結合を介して周囲のセルの動作状況の影響を受ける。このため、メモリセルトランジスタの閾値が変化し正確な動作ができなくなる可能性がある。

【0005】

このような隣接セルから受ける影響をセルアレイの中央部におけるメモリセルと端部におけるメモリセルとで等しくするためにも、セルアレイの端部にはデータ記憶に用いられるメモリセルと等価な動作をするダミーセルを配置する必要がある。

【0006】

このダミーセルのワード線 WL / ドレイン側選択ゲート線 SGD / ソース側選択ゲート線 SGS は、メモリセルのワード線 WL / ドレイン側選択ゲート線 SGD / ソース側選択ゲート線 SGS と接続されているために、実動作部と同じ電圧が印加される。また、ダミーセルもメモリセルと同じ P ウェルにおいて共有するように形成されている。このため、基板電圧もメモリセルと同一のものが印加される。

【0007】

以下、従来の不揮発性半導体記憶装置を開示した文献名を記載する。

【特許文献 1】特開 2005 - 235260 公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、微細化に伴うセルアレイの不具合の発生を防ぐことが可能な不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様による不揮発性半導体記憶装置は、一方向に沿って配線された複数のワード線にそれぞれのゲートが接続され、ソース、ドレインが相互に直列に接続された複数のメモリセルトランジスタを含むメモリセルトランジスタ列が他方向に沿って複数配列されたメモリセルアレイと、各々の前記メモリセルトランジスタ列の一端と、前記メモリセルトランジスタ列に対応して前記他方向に沿って配線された複数のビット線との間にソース、ドレインが接続され、前記一方向に沿って配線された第 1 の選択ゲート線にゲートが接続された複数の第 1 の選択トランジスタと、各々の前記メモリセルトランジスタ列の他端と、前記一方向に沿って配線されたセルソース線との間にソース、ドレインが接続され

10

20

30

40

50

、前記一方向に沿って配線された第2の選択ゲート線にゲートが接続された複数の第2の選択トランジスタと、前記メモリセルアレイの少なくとも一端において前記他方向に沿って配置され、ソース、ドレインが相互に直列に接続された複数のダミーセルトランジスタを含むダミーセルトランジスタ列が一方向に沿って少なくとも一列配列されたダミーセルアレイと、少なくとも1つの前記ダミーセルトランジスタ列の一端と、前記ダミーセルトランジスタ列に対応して前記他方向に沿って配線された少なくとも1本のダミービット線との間にソース、ドレインが接続され、前記第1の選択ゲート線にゲートが接続された少なくとも1つの第1のダミー選択トランジスタと、少なくとも1つの前記ダミーセルトランジスタ列の他端と、前記セルソース線との間にソース、ドレインが接続され、前記第2の選択ゲート線にゲートが接続された少なくとも1つの第2のダミー選択トランジスタと、前記セルソース線にセルソース線電圧を供給するセルソース線ドライバと、前記ダミービット線にダミービット線電圧を供給するダミービット線ドライバとを備え、選択された前記メモリセルトランジスタに書き込みを行う時、このメモリセルトランジスタが前記第1の選択トランジスタを介して接続された前記ビット線以外の他の前記ビット線の電圧と異なる電圧を前記ダミービット線電圧として、前記ダミービット線ドライバが少なくともいずれか1本の前記ダミービット線に供給することを特徴とする。

【発明の効果】

【0010】

本発明の不揮発性半導体記憶装置によれば、セルアレイの不具合の発生を防止することが可能である。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について図面を参照して説明する。

【0012】

(1) 実施の形態1

以下、本発明の実施の形態1による不揮発性半導体記憶装置について説明する。

【0013】

図1に、本実施の形態1によるNAND型フラッシュメモリのセルアレイ及びダミーセルアレイの構成を示す。

【0014】

セルアレイにおいて、浮遊ゲートと制御ゲートとを有するトランジスタが、複数個直列に(図中縦方向に)接続されている。そのうち、その両端に選択トランジスタST1、ST2が配置され、その間に n (n は1以上の整数)+1個のメモリセルトランジスタ $T_0 \sim T_n$ が配置されている。

【0015】

選択トランジスタST1のソース側が共通のセルソース線CELSRCに接続され、選択トランジスタST2のドレイン側がセンスアンプS/Aに接続されるビット線BLに接続される。このような構成が $n+2$ 本のビット線 $BL_0 \sim BL_n$ 、 BL_{n+1} に対応して設けられている。

【0016】

セルアレイ端部に配置されたダミーセルアレイもセルアレイと同等の構成を備えている。即ち、浮遊ゲートと制御ゲートとを有するメモリセルトランジスタが、複数個直列に接続されている。そのうち、その両端にダミー選択トランジスタDST1、DST2が配置され、その間に n (n は1以上の整数)+1個のダミーセルトランジスタDT0~DTnが配置されている。

【0017】

ダミー選択トランジスタDST1のソース側が共通のセルソース線CELSRCに接続され、ダミー選択トランジスタST2のドレイン側がセンスアンプS/Aに接続されるダミービット線DMBLに接続される。

【0018】

10

20

30

40

50

そして、ビット線 $BL_0 \sim BL_{n+1}$ に対応して図中左右方向に配置された $n+2$ 個の選択トランジスタ ST_1 、ダミー選択トランジスタ DST_1 のゲートがソース側選択ゲート線 SGS に接続され、同様に $n+2$ 個の選択トランジスタ ST_2 、ダミー選択トランジスタ DST_2 のゲートがドレイン側選択ゲート線 SGD に接続されている。

【0019】

その間において同様に、 $n+2$ 個のメモリセルトランジスタ T_0 、ダミーセルトランジスタ DT_0 のゲートがワード線 WL_0 に接続され、 $n+2$ 個のメモリセルトランジスタ T_1 、ダミーセルトランジスタ DT_1 のゲートがワード線 WL_1 に接続されている。このような構成が、ワード線 $WL_2 \sim WL_{n-1}$ においても設けられ、 $n+2$ 個のメモリセルトランジスタ T_n 、ダミーセルトランジスタ DT_n のゲートがワード線 WL_n に接続されている。

10

【0020】

このように、ダミーセルアレイにおけるワード線 $WL_0 \sim WL_n$ 、ソース側選択ゲート線 SGS 、ドレイン側選択ゲート線 SGD 、セルソース線 $CELSRC$ 、半導体基板はセルアレイと共通である。

【0021】

セルソース線ドライバ CS_D は、セルソース線 $CELSRC$ に印加するセルソース線電圧 $VSRC$ を生成し供給する。

【0022】

ダミービット線ドライバ DB_D は、ダミーセルアレイのダミービット線 $DMBL$ を駆動するための電圧 $DMBL$ を生成し供給する。このダミービット線ドライバ DB_D は、書き込み動作以外の動作モードでは、セルソース線ドライバ CS_D と同じセルソース線電圧 $VSRC$ を出力し、書き込み動作では選択セルに $0V$ 、非選択セルに電圧 $VSRC$ を出力する。

20

【0023】

以下に、各動作におけるメモリセルアレイ、ダミーセルアレイのバイアス状態を以下に示す。

【0024】

ここで、 WL はワード線、 SGD はドレイン側選択ゲート線、 SGS はソース側選択ゲート線、 $CELSRC$ はセルソース線、 $VSRC$ はセルソース線電圧、 S/A はセンスアンプ、 BL はビット線、 $DMBL$ はダミービット線、 $VPASS$ は誤書き込み防止電圧、 $VPGM$ はプログラム電圧、 $VERA$ は基板電圧、 VDD は電源電圧とする。

30

【0025】

1. 読み出し時

(1a) メモリセルアレイ

WL : $0V$ (非選択) / V_{READ} ($= 5V$) (選択)

SGD/SGS : V_{SG}/V_{SG} ($= 4V$)

半導体基板 : $0V$

$CELSRC$: $0V$

BL : $0.7V$

40

(S/A で放電の有無を検知する)

(1b) ダミーセルアレイ

WL : $0V$ (非選択) / V_{READ} (選択)

SGD/SGS : V_{SG}/V_{SG} ($= 4V$)

半導体基板 : $0V$

$CELSRC$: $0V$

$DMBL$: $0V$ ($=$ メモリセルの $CELSRC$)

【0026】

2. 書き込み時

(2a) メモリセルアレイ

50

W L : V P A S S (= 1 0 V) (非 選 択) / V P G M (= 2 0 V) (選 択)
 S G D / S G S : V S G D (= 2 . 5 V) (非 選 択) / 0 V (選 択)

半 導 体 基 板 : 0 V

C E L S R C : V S R C (= 2 . 5 V)

B L : 0 V (非 選 択) / V D D (= 2 . 5 V) (選 択)

(2 b) ダミーセルアレイ

W L : V P A S S (非 選 択) / V P G M (選 択)

S G D / S G S : V S G D (非 選 択) / 0 V (選 択)

基 板 : 0 V

C E L S R C : V S R C

D M B L : V S R C (= メモリセルの C E L S R C) (非 選 択) / 0 V (選 択)

(書 き 込 み 時 の 選 択 セ ル は 書 き 込 み 用 の バ イ ア ス 状 態 と な る)

【 0 0 2 7 】

3 . 消 去 時

(3 a) メモリセルアレイ

W L : 0 V

S G D / S G S : フ ロ ー テ ィ ン グ

半 導 体 基 板 : V E R A (2 0 V)

C E L S R C : フ ロ ー テ ィ ン グ

B L : フ ロ ー テ ィ ン グ

(ダミーセルはメモリセルと同じバイアス状態となる)

(3 b) ダミーセルアレイ

W L : 0 V

S G D / S G S : フ ロ ー テ ィ ン グ

基 板 : V E R A

C E L S R C : フ ロ ー テ ィ ン グ

D M B L : フ ロ ー テ ィ ン グ (= メモリセルの C E L S R C)

【 0 0 2 8 】

4 . 消 去 ベ リ フ ァ イ

(4 a) メモリセルアレイ

W L : 0 V

G D / S G S : V D D

半 導 体 基 板 : 0 V

C E L S R C : V D D

(B L の 電 位 変 化 を S / A で 検 知)

(4 b) ダミーセルアレイ

W L : 0 V

S G D / S G S : V D D

半 導 体 基 板 : 0 V

C E L S R C : V D D

D M B L : V D D (= メモリセルの C E L S R C)

【 0 0 2 9 】

書 き 込 み 動 作 は、 制 御 ゲ ー ト - チ ャ ネ ル 領 域 間 の 高 電 界 に よ る F N ト ン ネ ル 現 象 に よ っ て 浮 遊 ゲ ー ト に 電 子 を 注 入 し、 セ ル の 閾 値 を 変 化 さ せ る こ と で 行 わ れ る。 メモリセルアレイでは、チャンネル領域がビット線 B L の 電 位 (0 V) に よ り 電 圧 差 が 生 じ て 書 き 込 ま れ る。

【 0 0 3 0 】

ダミーセルアレイでは、非選択セルにおいてチャンネル領域がダミービット線 D M B L に よ っ て セ ル ソ ー ス 線 電 圧 V S R C と な り 0 V と な ら ず 電 圧 差 が 生 じ な い た め 書 き 込 み が 行 わ れ ない。 し か し、 選 択 セ ル で は チ ャ ネ ル 領 域 が ダ ミ ー ビ ッ ト 線 D M B L に よ っ て 0 V と

10

20

30

40

50

なり電圧差が生じて書き込みが行われる。

【0031】

一方、消去動作では、メモリセルアレイ、ダミーセルアレイとも同一のバイアス状態となる。従って、ダミーセルアレイにおいても消去動作時において消去が行われる。

【0032】

しかし、ダミーセルアレイにおいてもメモリセルアレイと同様に書き込みが行われる。

【0033】

このため、読み出し・書き込み・消去というメモリ動作を続けていく場合に、ダミーセルアレイにおいて過消去が起こってフローティングゲートには電子が注入されず抜き取られる一方となり、フローティングゲートの電位が上昇し続け特にトンネル酸化膜、IPD (inter-poly dielectric) 膜に非常に強い電界が印加されて破壊される現象が回避される。

10

【0034】

読み出し動作と消去ベリファイ動作では、メモリセルアレイに流れる電流をセンスアンプでセンスする。このため、トンネル酸化膜を介したフローティングゲートへの電子の注入/放出は行われない。また、ダミーセルアレイではダミービット線DMBLとセルソース線CELSRCとも同電位となるためダミーセルアレイには電流は流れない。

【0035】

以下に、動作モードに応じたセルソース線ドライバCSDと、ダミービット線ドライバDBDの出力電圧を抽出して示す。

20

(A) セルソース線ドライバCSDの出力電圧

読み出し時：0V

書き込み時：VSR

消去時：フローティング

消去ベリファイ時：VDD

(B) ダミービット線ドライバDBDの出力電圧

読み出し時：0V

書き込み時：VSR (非選択) / 0V (選択)

消去時：フローティング

消去ベリファイ時：VDD

30

【0036】

ダミービット線ドライバDBDは、書き込み時において選択セルには0V、非選択セルには電圧VSRの二通りの電圧を出力する。それ以外の動作時には、セルソース線ドライバCSDと同じ電圧を出力する。

【0037】

このように書き込み時において、選択されたメモリセルと同一ワード線に接続されたダミーセルのダミービット線DMBLを0Vにすることで書き込みが行われる。これにより、選択されたダミーセルのフローティングゲートには電子が注入される。非選択のダミーセルではダミービット線DMBLが電圧VSRになることで、書き込みが行われない。

【0038】

セルソース線ドライバCSDにおける論理回路部の構成の一例を図2(a)に、電圧出力部の構成の一例を図2(b)にそれぞれ示す。

40

【0039】

論理回路部は、インバータIN1~IN6とNOR回路NR1~NR2を有し、読み出し時にリード信号Read、消去時にイレース信号Erase、消去ベリファイ時にイレースベリファイ信号Evy、書き込み時にプログラム信号Prog.がそれぞれ論理「1」になる。この結果、図3に示されたように、各動作モードにおける出力信号A、B、C、Dの論理レベルが決定される。

【0040】

電圧出力部は、電源端子VDDと接地端子との間に、直列に接続されたPチャネル型MO

50

SトランジスタPT1、デプレッション型Nチャネル型MOSトランジスタNT1、NT2、Nチャネル型MOSトランジスタNT3を備え、それぞれのゲートに上記信号A、B、C、Dが入力され、トランジスタNT2のソースとトランジスタNT3のドレインとの接続点に接続されたセルソース線CELSRCにセルソース線電圧VSRCが出力される。

【0041】

この結果、セルソース線CELSRCに読み出し時に0V、書き込み時に電圧VSRC、消去時にフローティング状態、消去ヴェリファイ時に電源電圧VDDが出力される。

【0042】

ダミービット線ドライバDBDにおける論理回路部の構成の一例を図4(a)に、電圧出力部の構成の一例を図4(b)にそれぞれ示す。

10

【0043】

論理回路部は、インバータIN11~IN13、IN21~IN25、NAND回路NA11~NA12、NOR回路NR11~NR13を有し、読み出し時にリード信号Read、消去時にイレーズ信号Erase、消去ヴェリファイ時にイレーズヴェリファイ信号Euffy、書き込み時にダミープログラム信号Prog.DMがそれぞれ論理「1」になる。これにより、図5に示されたように、各動作モードにおける出力信号A、B、C、Dの論理レベルが決定される。

【0044】

電圧出力部は、電源端子VDDと接地端子との間に、直列に接続されたPチャネル型MOSトランジスタPT11、デプレッション型Nチャネル型MOSトランジスタNT11、NT12、Nチャネル型MOSトランジスタNT13を備え、それぞれのゲートに上記信号A、B、C、Dが入力され、トランジスタNT2のソースとトランジスタNT3のドレインとの接続点にダミービット線DMBLが接続されている。

20

【0045】

この結果、ダミービット電圧DMBLとして読み出し時に0V、書き込み時に非選択セルには電圧VSRC、選択セルには0V、消去時にフローティング状態、消去ヴェリファイ時に電源電圧VDDが出力される。

【0046】

以上説明した本実施の形態1によれば、セルアレイへの書き込み時においてダミーセルに対してもダミービット線に0Vの電圧を印加し書き込みを行う。これにより、過消去によるトンネル酸化膜、IPD膜へ過大な電界が印加されて不具合が発生することを防ぐことが可能である。

30

【0047】

(2)実施の形態2

以下、本発明の実施の形態2による不揮発性半導体記憶装置について説明する。

【0048】

図6に、本実施の形態2によるNAND型フラッシュメモリのセルアレイ及びダミーセルアレイの構成、並びにセルソース線ドライバCSDを示す。

【0049】

上記実施の形態1では、セルソース線電圧VSRCを生成するセルソース線ドライバCSDと別に、ダミービット線電圧DMBLを生成する専用のダミービット線ドライバDBDが設けられている。

40

【0050】

これに対し本実施の形態2では、ダミービット線電圧DMBLを生成するための専用のドライバが設けられておらず、セルソース線電圧VSRCを生成するセルソース線ドライバCSDからの出力電圧VSRCと、0V電圧との切り替えを行うマルチプレクサMUXを備えている点で相違する。

【0051】

尚、セルアレイ及びダミーセルアレイの構成は、上記実施の形態1におけるものと同じ

50

であり、説明を省略する。

【0052】

マルチプレクサMUXには、上述したようにセルソース線ドライバCSDからの出力されたセルソース線電圧VSRCと、0Vとが与えられ、制御信号CSにより切り替えて出力され、ダミービット線DMBLに印加される。

【0053】

マルチプレクサMUXからは、書き込み以外の動作時にはセルソース線電圧VSRC、書き込み時には選択セルには0V、非選択セルにはセルソース線電圧VSRCがそれぞれ選択されて出力され、ダミービット線DBLに印加される。

【0054】

本実施の形態2によれば、上記実施の形態1と同様にセルアレイへの書き込み時においてダミーセルに対しても書き込み動作を行うことで、過消去による絶縁膜へのストレスを低減し、不具合が発生することを防ぐことができる。

【0055】

(3)実施の形態3

以下、本発明の実施の形態3による不揮発性半導体記憶装置について説明する。

【0056】

本実施の形態3の回路構成は、上記実施の形態1又は2の構成と同一であり、説明を省略する。

【0057】

メモリセルアレイにおいて、隣接するメモリセル間の距離が短いため、隣接するメモリセルトランジスタの閾値が変化すると容量結合によって自己の閾値が変動する。

【0058】

記憶データを多値とする場合、例えば図7の閾値分布を示すグラフに示されたように最も閾値の低いEレベルから順に閾値の高いAレベル、Bレベル、最も閾値の高いCレベルの4値とした場合を想定する。それぞれ2ビットデータに対応しており、それぞれ例えばEレベルは"11"、Aレベルは"10"、Bレベルは"00"、Cレベルは"01"に対応する。

【0059】

閾値の低い2つのE、Aレベルがロウアーデータ(Lower Data)、閾値の高い2つのB、Cレベルがアップーデータ(Upper Data)となる。書き込み動作を行う際には、常に最も閾値の低いEレベルから開始し、他のA、B、Cレベルのいずれかへ移行するように、上記実施の形態1において述べたバイアス状態に設定し、フローティングゲートに電子を注入していく。閾値の制御は、書き込み時間の長さ、あるいは書き込み回数を調整することで行う。書き込んだデータを消去する場合は、全てEレベルに戻る。

【0060】

ここで、図7に示されたように、最も閾値の低いEレベルから次に閾値の高いAレベルに書き込みを行う場合には閾値の変化が小さい。このため、隣接するメモリセルトランジスタに対して容量結合により閾値変動を与える影響が小さいため問題は生じない。即ち、ロウアーデータを書き込む際には、隣接するメモリセルトランジスタへの閾値変動の問題は生じない。

【0061】

しかし、Eレベルからより閾値の高いアップーデータ、即ちBレベルあるいはCレベルへ直接書き込みを行おうとすると閾値の変化が大きい。これにより、隣接するメモリセルトランジスタの閾値変動を招くこととなる。

【0062】

そこで本実施の形態3では、以下のように書き込みを行う。まず、書き込みを開始する時点では、図8(a)に示されたように全てにおいて最も閾値の低いEレベルにある。この状態から、ロウアーデータのAレベルに書き込む場合は、図8(b)に示されたように直接Aレベルに到達するように書き込み時間あるいは書き込み回数を制御する。

10

20

30

40

50

【 0 0 6 3 】

一方、アップデータのBレベル、あるいはCレベルに書き込む場合は、図8(a)に示されたように、直接Bレベル又はCレベルに書き込むのではなく一旦ロウアーミドルレベルLMに書き込む。このロウアーミドルレベルLMは、AレベルとBレベルとの中間に位置する。

【 0 0 6 4 】

この後、図8(b)に示されたように、Bレベル又はCレベルに到達するように書き込み時間あるいは書き込み回数を制御して書き込みを行う。

【 0 0 6 5 】

このように、アップデータに書き込む場合は、一旦ロウアーミドルレベルLMまで書き込んだ後、Bレベル又はCレベルに書き込む。この場合は、EレベルからロウアーミドルレベルLMまでの閾値の変化、並びにロウアーミドルレベルLMからBレベル又はCレベルまでの閾値の変化が小さいため、隣接するメモリセルトランジスタの閾値に与える影響が小さく問題が生じない。

10

【 0 0 6 6 】

さらに、セルアレイの端部に設けられたダミーセルに多値でデータを書き込む際にも、このダミーセルに隣接するメモリセルトランジスタの閾値に変動を与えないように、メモリセルトランジスタに書き込む場合と同様の書き込みを行う。

【 0 0 6 7 】

即ち、セルアレイのメモリセルトランジスタにEレベルからロウアーデータのAレベルに書き込む場合は、同じワード線に接続されいずれか1本のダミービット線に接続されたダミーセルに直接Aレベルに到達するように書き込む。一方、セルアレイのメモリセルトランジスタにアップデータのBレベルあるいはCレベルに書き込む場合は、同じワード線に接続されたダミーセルにも同様に一旦ロウアーミドルレベルLMに書き込む。ダミーセルに対しては、ロウアーミドルレベルLMまでの書き込みで停止する。

20

【 0 0 6 8 】

しかし、セルアレイのメモリセルトランジスタと同様に、ダミーセルにおいてもロウアーミドルレベルLMに書き込んだ後、Bレベル又はCレベルまで書き込んでよい。

【 0 0 6 9 】

このような書き込みをダミーセルに行うことにより、ダミーセルの閾値の変化がダミーセルに隣接するメモリセルトランジスタの閾値に与える影響を抑えることができる。

30

【 0 0 7 0 】

また、消去を行うと全てのメモリセルトランジスタ並びにダミーセルトランジスタの閾値がEレベルに戻る。このEレベルの閾値分布の幅が広いと、A、B、又はCレベルのいずれかに到達するまでの書き込み時間又は書き込み回数にばらつきが生じる。このような現象を回避するため、消去前に選択したブロック内の全てのメモリセルトランジスタに書き込みを行うプリプログラム、例えばCレベルより高いレベルへの書き込みをメモリセルトランジスタのみならず、同じワード線に接続されたダミーセルに対しても行う。

【 0 0 7 1 】

同様の理由で、消去後に選択したブロック内の全てのメモリセルトランジスタに閾値の変化が小さい書き込みを行うソフトプログラム時においても、メモリセルトランジスタ及びダミーセルトランジスタに対しても行う。

40

【 0 0 7 2 】

本実施の形態3によれば、上記実施の形態1、2と同様に、セルアレイへの書き込み時にダミーセルアレイに対しても書き込みを行うことにより、ダミーセルアレイに過剰な電界がかかり不具合が発生することを防止し、装置の信頼性を向上させることが可能である。

【 0 0 7 3 】

さらに本実施の形態3によれば、セルアレイにEレベルからB又はCのアップデータを書き込む際に、セルアレイと同様にダミーセルアレイに対してもロウアーミドルレベルL

50

Mに書き込みを行う。これにより、ダミーセルトランジスタの閾値の変動が、このダミーセルトランジスタに隣接するメモリセルトランジスタに容量結合を介して受ける影響を抑制することができる。

【0074】

上記実施の形態はいずれも一例であって、本発明の技術的範囲内において様々に変形することが可能である。例えば、図1、図6に示された回路構成では、セルアレイの一方の端部において1本のダミービット線に沿ってダミーセルアレイが1列設けられている。しかし、図示されていない他方の端部においてダミーセルアレイが設けられていてもよく、またそれぞれ2列以上設けられていてもよい。

【0075】

また、ダミーセルトランジスタに書き込みを行う際には、メモリセルトランジスタと同時間あるいは同回数だけ行ってもよく、あるいはメモリセルトランジスタより短時間あるいは少ない回数行ってもよい。即ち、メモリセルトランジスタが到達すべき閾値の範囲内に対し、ダミーセルトランジスタはそれと同一あるいはそれ以下の閾値であってもよい。

【0076】

さらに上記実施の形態では、ダミーセルに書き込む際にダミービット線電圧を、メモリセルに書き込む時のビット線電圧(=0V)と同一に設定されている。しかし、必ずしもビット線電圧と同一である必要はなく、書き込みを行わないメモリセルに接続されたビット線電圧と異なる電圧であって、ダミーセルへの書き込みが可能な電圧であればよい。

【図面の簡単な説明】

【0077】

【図1】本発明の実施の形態1による不揮発性半導体記憶装置の構成を示す回路図。

【図2】同不揮発性半導体記憶装置におけるセルソース線ドライバの構成を示す回路図。

【図3】同セルソース線ドライバにおける各信号の論理値及び出力電圧を示す説明図。

【図4】同不揮発性半導体記憶装置におけるダミービット線ドライバの構成を示す回路図。

【図5】同ダミービット線ドライバにおける各信号の論理値及び出力電圧を示す説明図。

【図6】本発明の実施の形態2による不揮発性半導体記憶装置の構成を示す回路図。

【図7】多値でデータを書き込む際における閾値の分布を示す説明図。

【図8】本発明の実施の形態3による不揮発性半導体記憶装置における多値のデータを書き込む手順を示す説明図。

【符号の説明】

【0078】

T₀ ~ T_n メモリセルトランジスタ

D T₀ ~ D T_n ダミーセルトランジスタ

B L_n、B L_{n+1} ビット線

D M B L ダミービット線

C S D セルソース線ドライバ

D B D ダミービットドライバ

M U X マルチプレクサ

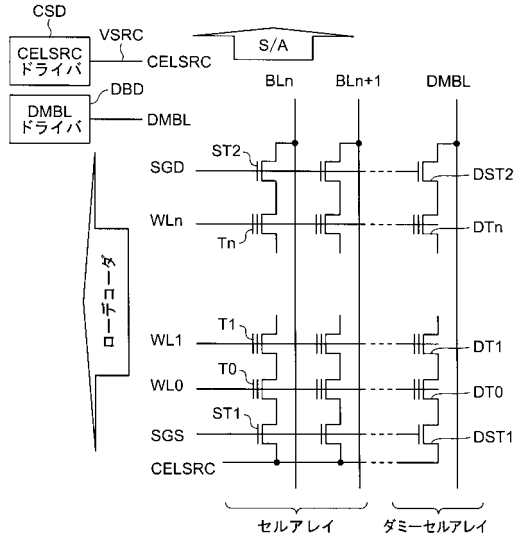
10

20

30

40

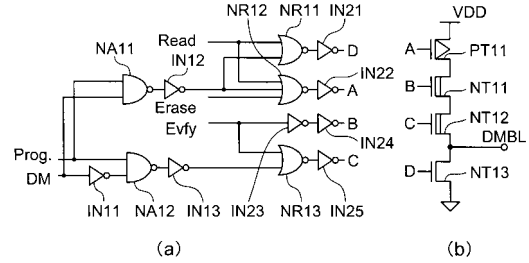
【 図 1 】



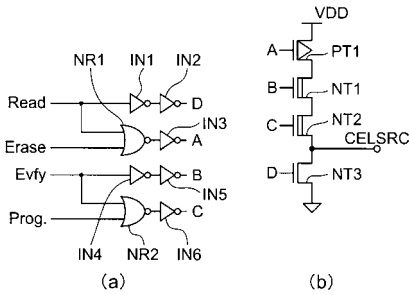
【 図 3 】

	読み出し (Read)	書き込み (Prog.)	消去 (Erase)	消去ベリファイ (Evfy)
A	1	0	1	0
B	0	0	0	1
C	0	1	0	1
D	1	0	0	0
CELSRC	0V	VSRC	フローティング	VDD

【 図 4 】



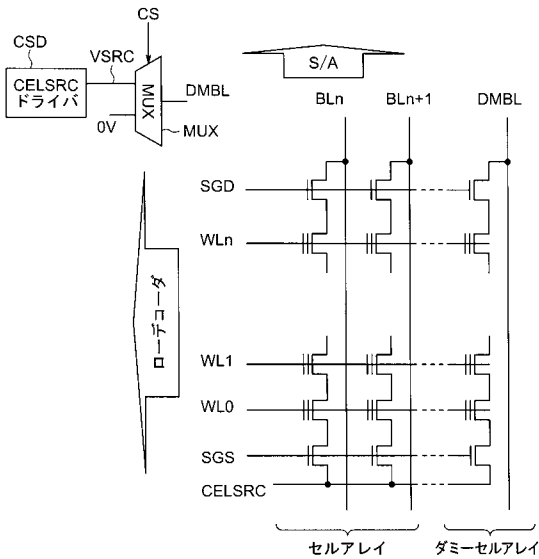
【 図 2 】



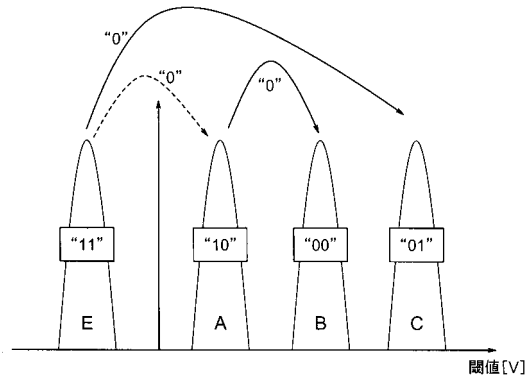
【 図 5 】

	読み出し (Read)	書き込み (Prog.)		消去 (Erase)	消去ベリファイ (Evfy)
		ダミー書き込み (DM=0)	ダミー書き込み (DM=1)		
A	1	0	1	1	0
B	0	0	0	0	1
C	0	1	0	0	1
D	1	0	1	0	0
DMBL	0V	VSRC	0V	フローティング	VDD

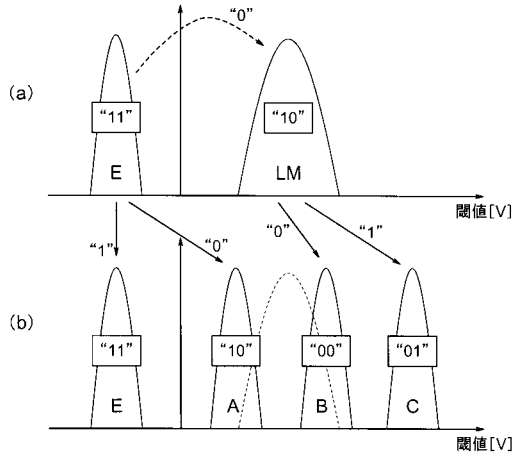
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 17/00 6 4 1
G 1 1 C 17/00 6 3 4 F

(72)発明者 二 山 拓 也
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 荒 井 史 隆
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA17 CA26 DA09 DB12 DB13 DB14 DB18 DC08
DC12 EA05 EB01 EB08 EB10 EC06 EC09 ED04 ED09 ED10
EJ03 EJ08 EJ09 EJ10 FA04 FA06