

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-210062

(P2005-210062A)

(43) 公開日 平成17年8月4日(2005.8.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/12	HO 1 L 27/12	5 F 0 5 2
HO 1 L 21/20	HO 1 L 21/20	5 F 1 1 0
HO 1 L 21/336	HO 1 L 29/78	
HO 1 L 29/786	6 2 7 D	

審査請求 未請求 請求項の数 38 O L (全 31 頁)

(21) 出願番号	特願2004-265559 (P2004-265559)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成16年9月13日 (2004.9.13)	(74) 代理人	100065385 弁理士 山下 穰平
(31) 優先権主張番号	特願2003-434021 (P2003-434021)	(74) 代理人	100122921 弁理士 志村 博
(32) 優先日	平成15年12月26日 (2003.12.26)	(74) 代理人	100130029 弁理士 永井 道雄
(33) 優先権主張国	日本国 (JP)	(72) 発明者	野津 和也 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	池田 一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

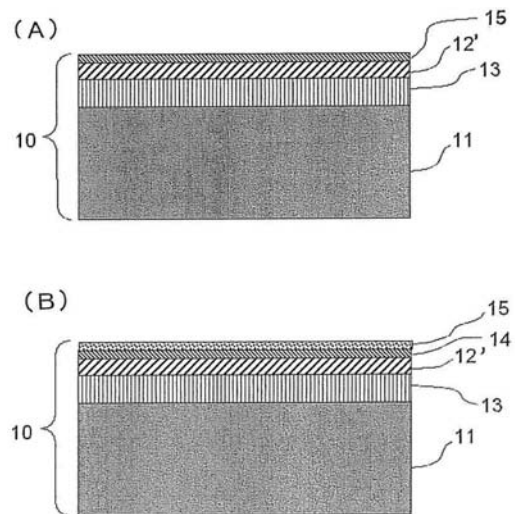
(54) 【発明の名称】 半導体部材とその製造方法、及び半導体装置

(57) 【要約】

【課題】 歪み誘起多孔質シリコン上に、高品質な単結晶歪みシリコン層を有する半導体部材および、その半導体部材を用い、移設法（貼り合わせ、分離）を利用した歪みSOI基板の製造方法を提供する。

【解決手段】 シリコン基板11上にSiGe層12を積層成長させ、SiGe層12を陽極化成によってSiGe層12、或いはシリコン基板11とSiGe層12を多孔質化し、歪み誘起多孔質層12'或いは多孔質シリコン層と歪み誘起多孔質層12'とし、その上にSiGe層14及び歪みシリコン層15を形成する。積層成長工程でのSiGe層は多孔質層の最表面にあればいいため、低欠陥密度、高濃度のSiGe層の形成が可能であり、歪み誘起多孔質層上のSiGe層は格子不整合がなく低欠陥密度が達成できるため、高品質かつ高歪みシリコン層15層を有する半導体基板が得られる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板上に、歪み誘起材料からなる多孔質半導体層と、該多孔質半導体層上に形成された歪み半導体層と、を有することを特徴とする半導体部材。

【請求項 2】

前記歪み誘起材料は SiGe である請求項 1 記載の半導体部材。

【請求項 3】

前記歪み誘起材料からなる多孔質半導体層と前記半導体基板との間に該半導体基板と同一材料の多孔質半導体層を有する請求項 1 又は 2 に記載の半導体部材。

【請求項 4】

半導体基板上の歪み誘起材料を含む半導体層を多孔質化して歪み誘起多孔質半導体層を形成する第 1 工程と、該歪み誘起多孔質半導体層上に歪み半導体層を形成する第 2 工程と、を含むことを特徴とする半導体部材の製造方法。

10

【請求項 5】

前記第 1 工程は、前記歪み誘起半導体層を形成した後、陽極化成による多孔質化によって該歪み誘起多孔質半導体層に内在する格子歪みを緩和する工程を含むことを特徴とする請求項 4 に記載の半導体部材の製造方法。

【請求項 6】

前記第 1 工程は、前記歪み誘起多孔質半導体層を形成した後、熱処理によって該歪み誘起多孔質半導体層に内在する格子歪みを緩和する工程を含むことを特徴とする請求項 4 に記載の半導体部材の製造方法。

20

【請求項 7】

半導体基板上の歪み誘起材料を含む半導体層を多孔質化して歪み誘起多孔質半導体層を形成する第 1 工程と、前記歪み誘起多孔質半導体層上にさらに、歪み誘起材料を積層して歪み誘起半導体層を形成する第 2 工程と、該歪み誘起半導体層上に歪み半導体層を形成する第 3 工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項 8】

前記歪み誘起材料は、シリコンと付加材料とを含み、該付加材料はゲルマニウムあるいは、ガリウムと砒素とを含む材料、あるいはガリウムと燐とを含む材料、あるいはガリウムと窒素とを含む材料などのシリコンとは異なる材料のいずれかであることを特徴とする請求項 4 から 7 のいずれか 1 項に記載の半導体部材の製造方法。

30

【請求項 9】

前記第 1 工程は、基板の上に歪み誘起材料を含む半導体層の積層工程、該半導体層を多孔質化して前記歪み誘起多孔質半導体層を形成する多孔質化工程とを含むことを特徴とする請求項 4 から 7 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 10】

前記歪み誘起多孔質半導体層は、前記歪み誘起材料を含む半導体層を陽極化成法を用いて多孔質化することで形成されることを特徴とする請求項 4 から 9 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 11】

前記歪み誘起材料を含む半導体層の多孔質化とともに、前記歪み誘起材料を含む半導体層と前記半導体基板の界面下の前記半導体基板を多孔質化して多孔質半導体層を形成する請求項 4 から 10 のいずれか 1 項に記載の半導体部材の製造方法。

40

【請求項 12】

前記歪み誘起材料を含む半導体層及び前記歪み半導体層は、CVD 法により形成されたものであることを特徴とする請求項 4 から 11 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 13】

前記歪み誘起材料を含む半導体層は、歪み誘起材料を供給する原料ガスの流量或いは濃度を徐々に又は段階的に変更しながら、CVD 工程において連続的に形成されたものである

50

ことを特徴とする請求項 4 から 1 1 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 1 4】

請求項 4 から 1 3 のいずれか 1 項に記載の製造方法を用いて作製された半導体部材の歪み半導体層上に絶縁層を形成した第 1 の部材を用意する工程と、

前記第 1 の部材と第 2 の部材とを前記絶縁層が内側に位置するように貼り合わせ、前記第 1 の部材から前記絶縁層及び歪みシリコン層を前記第 2 の部材に移設する移設工程とを含むことを特徴とする半導体部材の製造方法。

【請求項 1 5】

請求項 4 から 1 3 のいずれか 1 項に記載の製造方法により作製された半導体部材からなる第 1 の部材を用意する工程と、

前記第 1 の部材と少なくとも表面が絶縁性材料からなる第 2 の部材とを前記第 1 の部材の前記歪み半導体層が内側に位置するように貼り合わせ、前記第 1 の部材から前記歪み半導体層を前記第 2 の部材に移設する工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項 1 6】

前記移設工程は、前記歪み誘起多孔質半導体層で分離されることで行われることを特徴とする請求項 1 4 又は 1 5 に記載の半導体部材の製造方法。

【請求項 1 7】

前記分離は、前記歪み誘起多孔質半導体層内部、前記半導体基板を多孔質化した多孔質半導体層内部、あるいは前記半導体基板又は前記半導体基板を多孔質化した多孔質半導体層と前記歪み誘起多孔質半導体層との界面で行われることを特徴とする請求項 1 4 又は 1 5 記載の半導体部材の製造方法。

【請求項 1 8】

前記分離は、前記歪み誘起多孔質層と前記半導体基板を多孔質化した多孔質半導体層との界面の欠陥発生部位で行われることを特徴とする請求項 1 4 又は 1 5 記載の半導体部材の製造方法。

【請求項 1 9】

請求項 1 から 3 のいずれか 1 項に記載の半導体部材の歪み半導体層に絶縁ゲート型電界効果トランジスタを形成した半導体装置。

【請求項 2 0】

半導体基板の上に、歪み誘起材料からなる第 1 の多孔質半導体層と、該第 1 の多孔質半導体層上に形成された第 2 の多孔質半導体層と、該第 2 の多孔質半導体層上に形成された歪み半導体層と、を有することを特徴とする半導体部材。

【請求項 2 1】

前記第 2 の多孔質半導体層と前記歪み半導体層との間にさらに前記歪み誘起材料と同一材料の半導体層を有することを特徴とする請求項 2 0 に記載の半導体部材。

【請求項 2 2】

前記歪み誘起材料は SiGe であることを特徴とする請求項 2 0 又は 2 1 に記載の半導体部材。

【請求項 2 3】

前記第 2 の多孔質半導体層の材料は Si または SiGe であることを特徴とする請求項 2 0 から 2 2 のいずれか 1 項に記載の半導体部材。

【請求項 2 4】

前記第 1 の多孔質半導体層が歪み緩和していることを特徴とする請求項 2 0 から 2 3 のいずれか 1 項に記載の半導体部材。

【請求項 2 5】

前記歪み誘起材料からなる第 1 の多孔質半導体層と前記半導体基板との間に該半導体基板と同一材料の第 3 の多孔質半導体層を有する請求項 2 0 から 2 4 のいずれか 1 項に記載の半導体部材。

【請求項 2 6】

10

20

30

40

50

半導体基板上に歪み誘起材料を含む第1の半導体層と該第1の半導体層上に第2の半導体層を積層する第1工程と、該歪み誘起材料を含む第1の半導体層と第2の半導体層とを多孔質化して歪み誘起材料からなる第1の多孔質半導体層と第2の多孔質半導体層とを形成する第2工程と、該第2の多孔質半導体層上に歪み半導体層を形成する第3工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項27】

半導体基板上に歪み誘起材料を含む第1の半導体層と該第1の半導体層上に第2の半導体層を積層する第1工程と、該歪み誘起材料を含む第1の半導体層と第2の半導体層とを多孔質化して歪み誘起材料からなる第1の多孔質半導体層と第2の多孔質半導体層とを形成する第2工程と、該第2の多孔質半導体層上にさらに前記歪み誘起材料と同一材料の半導体層と歪み半導体層とを積層する第3工程と、を含むことを特徴とする半導体部材の製造方法。

10

【請求項28】

前記歪み誘起材料は、シリコンと付加材料とを含み、該付加材料はゲルマニウムあるいは、ガリウムと砒素とを含む材料、あるいはガリウムと燐とを含む材料、あるいはガリウムと窒素とを含む材料などのシリコンとは異なる材料のいずれかであることを特徴とする請求項26または27に記載の半導体部材の製造方法。

【請求項29】

前記歪み誘起材料からなる第1の多孔質半導体層と第2の多孔質半導体層は、前記歪み誘起材料を含む第1の半導体層と該第1の半導体層上に積層された第2の半導体層とを陽極化成法を用いて多孔質化することで形成されることを特徴とする請求項26から28のいずれか1項に記載の半導体部材の製造方法。

20

【請求項30】

前記歪み誘起材料を含む第1の半導体層および第2の半導体層の多孔質化とともに、前記歪み誘起材料を含む第1半導体層と前記半導体基板の界面下の前記半導体基板を多孔質化して第3の多孔質半導体層を形成する請求項26から29のいずれか1項に記載の半導体部材の製造方法。

【請求項31】

前記歪み誘起材料を含む第1の半導体層および第2の半導体層、および前記歪み半導体層は、CVD法により形成されたものであることを特徴とする請求項26から30のいずれか1項に記載の半導体部材の製造方法。

30

【請求項32】

前記歪み誘起材料を含む第1の半導体層は、歪み誘起材料を供給する原料ガスの流量或いは濃度を徐々に又は段階的に変更しながら、CVD工程において連続的に形成されたものであることを特徴とする請求項26から31のいずれか1項に記載の半導体部材の製造方法。

【請求項33】

請求項26から32のいずれか1項に記載の製造方法を用いて作製された半導体部材の歪み半導体層上に絶縁層を形成した第1の部材を用意する工程と、

前記第1の部材と第2の部材とを前記絶縁層が内側に位置するように貼り合わせ、前記第1の部材から前記絶縁層及び歪みシリコン層を前記第2の部材に移設する移設工程とを含むことを特徴とする半導体部材の製造方法。

40

【請求項34】

請求項26から31のいずれか1項に記載の製造方法により作製された半導体部材からなる第1の部材を用意する工程と、

前記第1の部材と少なくとも表面が絶縁性材料からなる第2の部材とを前記第1の部材の前記歪み半導体層が内側に位置するように貼り合わせ、前記第1の部材から前記歪み半導体層を前記第2の部材に移設する工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項35】

50

前記移設工程は、前記歪み誘起材料からなる第1の多孔質半導体層で分離されることで行われることを特徴とする請求項33又は34に記載の半導体部材の製造方法。

【請求項36】

前記分離は、前記歪み誘起材料からなる第1の多孔質半導体層内部、前記半導体基板を多孔質化した第3の多孔質半導体層内部、あるいは前記半導体基板又は前記半導体基板を多孔質化した第3の多孔質半導体層と前記歪み誘起材料からなる第1の多孔質半導体層との界面で行われることを特徴とする請求項33又は34に記載の半導体部材の製造方法。

【請求項37】

前記分離は、前記歪み誘起材料からなる第1の多孔質層と前記半導体基板を多孔質化した第3の多孔質半導体層との界面の欠陥発生部位で行われることを特徴とする請求項33又は34に記載の半導体部材の製造方法。

10

【請求項38】

請求項20から25のいずれか1項に記載の半導体部材の歪み半導体層に絶縁ゲート型電界効果トランジスタを形成した半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、歪みシリコンを有する半導体部材とそれらを用いて形成された半導体部材の製造方法、及び半導体装置に関する。

【背景技術】

20

【0002】

正孔移動度の高速化を図るための半導体装置（デバイス）を形成するための基板として、歪みシリコン層（strained silicon layer）を有する基板が注目されている。シリコン（Si）とゲルマニウム（Ge）からなる層（SiGe層）をシリコン基板上に成長させ、その上にシリコン単結晶層を成長させると、該シリコン層に歪みが加わり、歪みシリコン層が得られる。この歪みは、シリコンとゲルマニウムからなる層の格子定数がシリコン単結晶層の格子定数よりも僅かに大きいことにより発生する。

【0003】

また、シリコン基板にSiGe、GaAs、GaP、GaNを含む層を作製し、陽極化成によって多孔質層を形成した後、その上に半導体薄膜を形成することによって、半導体薄膜層が容易に分離できる半導体基板ならびにその製造方法が報告されている（特許文献1）。

30

【特許文献1】特開平11-195562号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記の歪みシリコン作製技術は、基板上に緩和したSiGe層を形成することを1つの特徴とする。SiGe層の緩和に、基板との界面の結晶欠陥を利用するため、最表面のシリコン層にも欠陥が伝播し、高品質のシリコン層を得るのが困難である。またSiGe層の緩和には数 μm の厚い層が必要となるため、製造コストが高いという問題を抱えている。

【0005】

40

また上記の田舎中（発明者）の技術は、SiGe、GaAs、GaP、GaNを含む多孔質層を半導体薄膜層の分離層として利用することを1つの特徴としており、本発明の歪み誘起層としての多孔質層利用という観点とは異なる。

【0006】

本発明は、上記の背景に鑑みてなされたものであり、SiGe層の陽極化成によって多孔質層を形成することによってSiGe層の歪みを緩和し、高品質の歪みシリコン層を得るための新規な技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明による半導体部材は、歪み誘起材料からなる多孔質半導体層と、該多孔質半導体

50

層上に形成された歪み半導体層と、を有することを特徴とする半導体部材である。

【0008】

また本発明による半導体部材は、半導体基板上に、歪み誘起材料からなる第1の多孔質半導体層と、該第1の多孔質半導体層上に形成された第2の多孔質半導体層と、該第2の多孔質半導体層上に形成された歪み半導体層と、を有することを特徴とする半導体部材である。

【0009】

また本発明によって得られた半導体部材を用いて、歪みSOIを作製することができる。SOIは一般的にはSilicon on insulatorの略であるが、本願においてはより広義にSemiconductor on insulatorの略を意味するものとする。

10

【0010】

歪みSOIの製造方法は、a)歪み誘起材料(半導体材料と付加材料)を含む半導体層(又は歪み誘起材料を含む第1の半導体層と該第1の半導体層上の第2の半導体層)を陽極化成等により多孔質化し、その上に実質的にシリコン等の半導体からなる層(歪み半導体層)を有し、さらに歪み半導体層の表面に絶縁層を形成する工程を含む第1の部材を準備する準備工程と、b)前記第1の部材と第2の部材とを絶縁層を介して貼り合わせ、前記第1の部材から前記歪み半導体層及び絶縁層を前記第2の部材に移設する移設工程とを含むことを特徴とする。ここで、前記絶縁層は、少なくとも前記第1の部材側又は前記第2の部材側のいずれか一方にあればよい。勿論、前記絶縁層は、前記第1の部材側及び前記第2の部材の両方に形成されていてもよい。

20

【0011】

本発明の好適な実施の形態によれば、前記準備工程は、前記付加材料を含む層を陽極化成した後、その上に前記シリコン層を形成する積層工程を含み、前記製造方法が、前記第1の部材の前記シリコン層の上に前記絶縁層を形成する絶縁層形成工程を含み、前記積層工程、前記絶縁層形成工程及び前記移設工程は、前記積層工程、前記絶縁層形成工程、前記移設工程の順に実施されることが好ましい。

【0012】

本発明の好適な実施の形態によれば、前記第1の部材は前記多孔質シリコン層の下にシリコン層を有し、前記移設工程では、前記第1の部材より、前記歪みシリコン層から前記絶縁層までの部分を、前記第2の部材に移設することが好ましい。

30

【0013】

また、本発明の好適な実施の形態によれば、前記付加材料は、ゲルマニウムを含むことが好ましい。

【0014】

また、本発明の好適な実施の形態によれば、前記絶縁層は、シリコン酸化膜であることが好ましい。

【0015】

また、本発明の好適な実施の形態によれば、前記第1の部材は、前記歪み誘起多孔質層内部、前記歪み誘起多孔質層とシリコン多孔質層の界面、あるいは前記歪み誘起層とシリコン基板との界面の少なくともいずれかに分離層を有し、前記移設工程では、前記絶縁層形成工程で絶縁層が形成された前記第1の部材に前記第2の部材を貼り合わせ、その後、貼り合わせにより形成された部材を前記分離層の部分で分離することが好ましい。

40

【0016】

また、本発明の好適な実施の形態によれば、前記第1の部材の前記付加材料を含む層及び前記歪みシリコン層は、CVD法により形成されたものであることが好ましい。

【0017】

また、本発明の好適な実施の形態によれば、前記第1の部材の前記付加材料を含む層は、前記付加物質を供給する原料ガスの流量或いは濃度を徐々に又は段階的に変更しながら、1つのCVD工程において連続的に形成されたものであってもよい。

【0018】

50

また、本発明の好適な実施の形態によれば、前記第1の部材は、シリコン基板上にシリコン多孔質層、歪み誘起多孔質層、及び前記歪みシリコン層を有し、且つ、前記歪み誘起多孔質層内部、前記歪み誘起多孔質層とシリコン多孔質層の界面、あるいは前記歪み誘起層とシリコン基板との界面の少なくともいずれかに分離層を有することが好ましい。

【発明の効果】

【0019】

本発明によれば、結晶欠陥の少ない歪み誘起多孔質半導体層を形成し、歪み誘起多孔質半導体層上に単結晶半導体層を形成することで低欠陥密度の歪み半導体層を有する部材を提供することができる。

【発明を実施するための最良の形態】

10

【0020】

本発明の好適な実施の形態によれば、第1の部材の表面に、歪み誘起材料を含む半導体層を形成し、歪み誘起材料を含む半導体層の表面側から陽極化成法等によって多孔質層を形成し、その上に実質的にシリコンからなる層（好適には単結晶シリコン層）を形成する。

【0021】

この方法によれば、多孔質層の少なくとも最表面に歪み誘起材料を含む半導体層があれば歪みシリコン層が形成できるので、歪み誘起材料を含む半導体層は薄くてもよいため、高品質化、高濃度化も可能となる。

【0022】

20

以下、本発明の好適な実施例を説明する。

【0023】

[第1の実施例]

図1～図3を参照しながら本発明の第1の実施例に係る半導体基板（部材）の製造方法を説明する。

【0024】

図1に示す工程（積層工程）では、シリコン基板11上にシリコンとゲルマニウム（付加材料）からなる層12をエピタキシャル成長させる。

【0025】

まず、単結晶シリコン基板11上にシリコン及びゲルマニウム（付加材料）を含む層（SiGe層：例えば、Ge=30%）をランプ加熱によるCVD法によりエピタキシャル成長させる。この条件は、好ましくは次の通りである。

30

・キャリアガス：H₂

H₂の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。

・第1の原料ガス：SiH₄

SiH₄の流量は、好ましくは50～300sccmであり、典型的には100sccmである。

・第2の原料ガス：2%GeH₄

2%GeH₄の流量は、好ましくは20～500sccmであり、典型的には300sccmである。

40

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には100Torrである。

・温度

温度は、好ましくは650～680℃である。

・成長速度

成長速度は、好ましくは10～50nm/分である。

【0026】

GeH₄ガスの流量或いは濃度を徐々に又は段階的に変更しながら連続的に形成される

50

ことが望ましい。すなわち、Geの組成比を原料ガスの混合比によって変える。単結晶シリコン基板への成長初期は低Ge比率でエピタキシャル成長の進行とともに濃度を上昇させて最終的に $X=0.1\sim 0.5$ にすることが好ましい。

【0027】

次いで、図2に示すように、前記エピタキシャル成長によって作製したSiGe層の陽極化成を実施する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)を含む溶液を満たし、該電極対間にSiGeエピタキシャル成長層を含むシリコン基板を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質SiGe層12'、多孔質シリコン層13は、脆弱な構造の層であって、後の分離工程において分離層として機能する。SiGe層の陽極化成の条件は、基本的には例えば特開平7-302889号等に開示されているSiの多孔質化の条件に基づいて決定され、Ge濃度に応じて適宜設定される。

10

【0028】

なお、シリコン基板は必ずしも多孔質化する必要はなく、多孔質シリコン層13はなくてもよい。また、SiGe層の多孔質化は必ずしも層全体に行わなくてもよく、SiGe層の表面領域のみ行われても良い。

【0029】

また、SiGe層12は、陽極化成による多孔質化によって、格子緩和することができる。図4中の(a)、(b)はそれぞれ、陽極化成前、後のXRDチャートであるが、多孔質化によって、SiGeピーク強度が強くなっており、SiGe層の格子緩和が進んだことを表している。

20

【0030】

なお、多孔質層の内部孔表面に酸化膜等の保護膜を形成してもよい。また、化成液、あるいは電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、単結晶シリコン基板11側から第1の多孔質層、そしてその上に当該第1の多孔質層よりも多孔度の低い第2の多孔質層を形成することができる。また、SiGe層とシリコン層との多孔質構造の違いを利用して、同一条件での陽極化成によって多孔質SiGe層12'と多孔質シリコン層13との界面を分離層として利用することもできる。

【0031】

なお、SiGe層12の多孔質化の後に、例えば水素雰囲気中などで熱処理を施すことも好ましい。

30

【0032】

SiGe層12は多孔質化によって、内在していた格子歪みは緩和されるが(図4の(b))、さらに、熱処理工程を加えることによって、格子歪みは更に緩和され(図4の(c))、後に積層する単結晶シリコン層に、より効果的に歪みを伝播することができる。なお、図4はXRD測定によるチャートであるが、熱処理工程後のチャートはSiGeピーク強度が強くなっており、より多孔質層の緩和が進行したことを意味している。

【0033】

歪み誘起多孔質層の緩和を促進する熱処理条件は、以下の通りである。

・キャリアガス：H₂

40

水素の流量は、好ましくは15~45リットル/分であり、典型的には30リットル/分である。

・チャンバ圧力

チャンバ圧力は、好ましくは10~600Torrであり、典型的には30Torrである。

・熱処理温度

熱処理温度は、好ましくは650~1000であり、典型的には650である。

【0034】

次いで、歪み誘起多孔質層12'上にCVD法により単結晶SiGe層14をエピタキシャル成長させる。

【0035】

50

この条件は、好ましくは次の通りである。

・キャリアガス： H_2

H_2 の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。

・第1の原料ガス： SiH_4

SiH_4 の流量は、好ましくは50～300sccmであり、典型的には100sccmである。

・第2の原料ガス：2% GeH_4

2% GeH_4 の流量は、好ましくは20～500sccmであり、典型的には300sccmである。

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には100Torrである。

・温度

温度は、好ましくは650～680 である。

・成長速度

成長速度は、好ましくは10～50nm/分である。

【0036】

なお、単結晶SiGe層14はなくてもよいが、後のエピタキシャル成長工程あるいはデバイス作製工程での熱処理に伴う多孔質層の構造変化によって歪みシリコン層の歪みが緩和してしまう可能性があるため、歪みシリコン層安定化には単結晶SiGe層14があったほうがよい。以下の工程では、図3(A)を用いて単結晶SiGe層14を設けない場合について説明するが、単結晶SiGe層14を設ける場合は図3(B)に示すような断面構成となる。

【0037】

次いで、歪み誘起多孔質層12'上にCVD法により単結晶シリコン層15をエピタキシャル成長させる。

【0038】

単結晶シリコン層15の成長条件は、以下の通りである。

・キャリアガス： H_2

水素の流量は、好ましくは15～45リットル/分であり、典型的には30リットル/分である。

・原料ガス： SiH_2Cl_2

原料ガスの流量は、好ましくは50～200SCCMであり、典型的には100SCCMである。

・チャンバ圧力

チャンバ圧力は、好ましくは10～100Torrであり、典型的には80Torrである。

・成長温度

成長温度は、好ましくは650～1000 であり、典型的には900 である。

【0039】

なお、単結晶シリコン層の成長に先だって、上記多孔質層表面を水素雰囲気中で熱処理(プリベーク)することも好ましい。プリベークの場合において、水素の流量は、好ましくは15～45リットル/分(典型的には、30リットル/分)、温度は、好ましくは700～1000 (典型的には950)、チャンバ内圧力は、好ましくは10～760Torr(典型的には、600Torr)である。更に、単結晶シリコン層の成長初期段階において50nm/min以下の低成長速度で成長させることも好ましいものである。

【0040】

以上の工程により、図3に模式的に示すような第1の基板(部材)10が得られる。

【0041】

[第2の実施例]

上記方法によって得られた、歪みシリコン層を有する半導体部材を用いて、移設法によ

10

20

30

40

50

り絶縁層上に歪みシリコン層を有する歪みSOIを作製することができる。なお既に述べたように本願において、SOIはSemiconductor on insulatorの略を意味するが、本実施例ではSemiconductor(半導体)としてシリコンを取り上げて説明する。ここで、移設法とは、脆弱な構造の分離層の上に移設対象層(2層以上で構成される)を有する第1の部材を該移設対象層を挟むようにして第2の部材に貼り合わせ、その後、貼り合わせによって形成された複合部材(貼り合わせ部材)を分離層の部分で分離する方法である。

【0042】

この方法によれば、第1の部材に形成された移設対象層のうち下側の層が第2の部材の上側の層となり、第1の部材に形成された移設対象層のうち上側の層が第2の部材の下側の層となるように、移設対象層が第1の部材から第2の部材に移設される。すなわち、この方法によれば、第1の部材に順に積み上げられた層が、第2の部材上においては、その積み上げの順番と逆の順番で第2の基板に積み上げられた構造となる。

10

【0043】

本発明の好適な実施の形態によれば、シリコン基板上に付加材料を含む層をエピタキシャル成長によって作製し、陽極化成によって多孔質層を形成し、その上に実質的にシリコンからなる層(好適には単結晶シリコン層)を形成し、更にその上に熱酸化法等により絶縁層を形成する。次いで、絶縁層を挟むようにして、第1の部材に第2の部材を貼り合わせる。次いで、貼り合わせによって形成された複合部材を分離層の部分で分離する。

【0044】

この方法において、歪みシリコン層としての単結晶シリコン層は、その上に良質な絶縁層を形成するために有利に機能する。これは、シリコン層を熱酸化法により酸化させることにより絶縁層を形成することができるからである。なお、当業者に周知のように、熱酸化法によれば、良質の熱酸化膜を形成することができる。

20

【0045】

また、上記の製造方法において、分離工程は、種々の方法によって実現され得るが、例えば、貼り合わせによって形成された複合部材の分離層に対して流体を打ち込み、該流体により該複合部材を2枚の部材に分離する方法が好適である。流体としては、水等の液体の他、空気等の気体を採用し得る。流体として水又はその混合物を採用する技術は、ウォータージェット法として知られている。

【0046】

具体的な実施例を図5～図8を用いて説明する。なお以下に説明する工程では、単結晶SiGe層14を設けない場合について説明するが、単結晶SiGe層14を設ける場合は図9～図12に示すような断面構成となる。

30

【0047】

図3に示す工程に次いで、図5に示す工程(絶縁層形成工程)では、図3に示す第1の基板10の表面に絶縁層21を形成する。この工程では、典型的には、熱酸化法により図3に示す第1の基板10の表面の歪みシリコン層(単結晶シリコン層)15を熱酸化することにより絶縁膜(この場合、SiO₂膜)を形成する。ここで、熱酸化法に代えてCVD法等により絶縁層21を形成してもよい。なお絶縁膜の形成は必須ではなく、後述するように第2の基板表面に形成しても良い。また、第2の基板が光透過性のガラスなどの絶縁材料であれば省略することもできる。

40

【0048】

図5に示す工程に次いで、図6に示す工程(貼り合わせ工程)では、絶縁層21が形成された第1の基板(部材)10'の単結晶シリコン層15あるいは絶縁層21側に第2の基板(部材)30を貼り合わせる。ここで、第1の基板10'と第2の基板30とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合、あるいは熱処理等を施してもよい。第2の基板30は、典型的には、シリコン基板31の表面にSiO₂層等の絶縁層32を形成した基板である。ただし、絶縁層32は必須ではないし、また、第2の基板30がシリコン基板で構成されることも必須ではない。例えば、第2の基板30は、ガラス基板等であってもよい。

50

【0049】

図6に示す工程に次いで、図7に示す工程（分離工程）では、貼り合わせによって形成された基板（貼り合わせ基板）を歪み誘起多孔質層12'、あるいは多孔質シリコン層13の部分で2枚の基板に分離する。すなわち、図6に示す貼り合わせ工程及び図7に示す分離工程により移設工程が実施される。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層13に流体を打ち込むことにより実施され得る。なお、符号13'、13"は、分離後に両基板に残留する多孔質層を模式的に示している。

【0050】

ここで、液体や気体などの流体を利用する分離方法に代えて、引っ張り、圧縮、せん断等の応力を利用する分離方法を採用してもよいし、これらを併用してもよい。分離後の第2の基板30'上に歪み誘起多孔質層12'あるいは多孔質シリコン層13'が残留する場合には、当該残留多孔質層をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去することが好ましい。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。

【0051】

分離工程における分離は、歪み誘起多孔質シリコン層内部、シリコン基板を多孔質化した多孔質シリコン層内部、あるいはシリコン基板又はシリコン基板を多孔質化した多孔質シリコン層と歪み誘起多孔質シリコン層との界面で行うことができる。また、分離を前記歪み誘起多孔質シリコン層とシリコン基板を多孔質化した多孔質シリコン層との界面の欠陥発生部位で行うことができる。

【0052】

上記工程を経て得られた基板（部材）30"中の歪みシリコン層15を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【0053】

以上説明した各実施例では、付加材料（歪み誘起材料の構成材料）としてゲルマニウムを取り上げたが、ガリウムと砒素を含む材料、ガリウムと燐とを含む材料、ガリウムと窒素とを含む材料のうちのいずれかを用いても良い。

【0054】

[第3の実施例]

図13～図15を参照しながら本発明の第3の実施例に係る半導体基板（部材）の製造方法を説明する。

【0055】

図13に示す工程（積層工程）では、シリコン基板311上にシリコンとゲルマニウム（付加材料）からなる層312および層313を連続してエピタキシャル成長させる。

【0056】

まず、単結晶シリコン基板311上にシリコン及びゲルマニウム（付加材料）を含む層312（SiGe層：例えば、Ge=30%）をランプ加熱によるCVD法によりエピタキシャル成長させる。この条件は、好ましくは次の通りである。

- ・ キャリアガス：H₂

H₂の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。

- ・ 第1の原料ガス：SiH₄

SiH₄の流量は、好ましくは50～300sccmであり、典型的には100sccmである。

- ・ 第2の原料ガス：2% GeH₄

2% GeH₄の流量は、好ましくは20～500sccmであり、典型的には300sccmである。

- ・ ドーピングガス：0.01% B₂H₆（H₂希釈）

0.01% B₂H₆の流量は、好ましくは10～100sccmであり、典型的には30sccmである。

- ・ チャンバ圧力

チャンバ圧力は、好ましくは10～700Torrであり、典型的には30～600Torrである。

- ・ 温度
温度は、好ましくは500～900 である。
- ・ 成長速度
成長速度は、好ましくは5～50nm/分である。

【0057】

GeH₄ガスの流量或いは濃度を徐々に又は段階的に変更しながら連続的に形成されることが望ましい。すなわち、Geの組成比を原料ガスの混合比によって変える。単結晶シリコン基板への成長初期は低Ge比率でエピタキシャル成長の進行とともに濃度を上昇させて最終的にX=0.1～0.5にすることが好ましい。

10

【0058】

さらに、連続して上記と同様にして層312上に層313 (SiGe層：例えば、Ge=20～30%)をエピタキシャル成長させる。この条件は、好ましくは次の通りである。

- ・ キャリアガス：H₂
H₂の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。
- ・ 第1の原料ガス：SiH₄
SiH₄の流量は、好ましくは50～300sccmであり、典型的には100sccmである。
- ・ 第2の原料ガス：2%GeH₄
2%GeH₄の流量は、好ましくは20～500sccmであり、典型的には300sccmである。
- ・ チャンバ圧力
チャンバ圧力は、好ましくは10～700Torrであり、典型的には30～600Torrである。
- ・ 温度
温度は、好ましくは500～900 である。
- ・ 成長速度
成長速度は、好ましくは5～50nm/分である。

20

【0059】

層313は層312と異なり、ドーピングなしがあるいは微量に抑えて高抵抗化させ、かつ薄層とすることで後の陽極化成時に低多孔度の多孔質層となるので、その上に成長させるエピタキシャル層の膜質向上に有利に働く。

30

【0060】

次いで、図14に示すように、前記エピタキシャル成長によって作製したSiGe層312、313の陽極化成を実施する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)を含み溶液を満たし、該電極対間にSiGeエピタキシャル成長層312、313を含むシリコン基板を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質SiGe層312'、313'は陽極化成前のエピタキシャル成長時のドーピング濃度に従って構造が変化しており、層313'は層312'よりも多孔度(ポロシティ)は低く、後にその上にSiエピタキシャル層を成長させるのに好適である。これらSiGe層の陽極化成の条件は、基本的には例えば特開平7-302889号等に開示されているSiの多孔質化の条件に基づいて決定され、Ge濃度に応じて適宜設定される。また後に形成されるSiエピタキシャル層を含む層を分離する目的でシリコン基板の一部を多孔質化して脆弱な多孔質シリコン層314を同時に形成することも可能である。またこれら多孔質化するエピタキシャルSiGe層312、313の組成・膜厚等の層構成および陽極化成条件を適宜選ぶことにより、エピタキシャル成長後には歪みが掛かっていたSiGe層312、313を陽極化成後に歪み緩和した多孔質SiGe層312'、313'に変化させることもできる。

40

【0061】

陽極化成による歪み緩和条件は例えば以下の通りである。

- ・ 電流密度
1mA/cm²

50

- ・化成液

HF：42.5%、IPA：9.2%水溶液

- ・化成時間

30秒

SiGe層の多孔質化は必ずしも層全体に行わなくてもよく、SiGe層の一部の領域のみ行われてもよい。なお、多孔質層の内部孔表面に酸化膜等の保護膜を形成してもよい。さらに、必要に応じて多孔質SiGe層 3 1 3 ' 上にSiGeエピタキシャル層を成長させることも可能で、これにより多孔質SiGe層 3 1 2 '、3 1 3 ' およびSiGeエピタキシャル層の全体で次に成長させるシリコン層に有効に歪みを加えることができる。

【0062】

10

次いで、歪み誘起多孔質層 3 1 2 '、3 1 3 ' 上にCVD法により単結晶シリコン層 3 1 5 をエピタキシャル成長させる。

【0063】

以上の工程により、図15に模式的に示すような第1の基板(部材)300が得られる。

【0064】

[第4の実施例]

上記方法によって得られた、歪みシリコン層を有する半導体部材を用いて、移設法により絶縁層上に歪みシリコン層を有する歪みSOIを作製することができる。なお既に述べたように本願において、SOIはSemiconductor on insulatorの略を意味するが、本実施例ではSemiconductor(半導体)としてシリコンを取り上げて説明する。ここで、移設法とは、脆弱な構造の分離層の上に移設対象層(2層以上で構成される)を有する第1の部材を該移設対象層を挟むようにして第2の部材に貼り合わせ、その後、貼り合わせによって形成された複合部材(貼り合わせ部材)を分離層の部分で分離する方法である。

20

【0065】

この方法によれば、第1の部材に形成された移設対象層のうち下側の層が第2の部材の上側の層となり、第1の部材に形成された移設対象層のうち上側の層が第2の部材の下側の層となるように、移設対象層が第1の部材から第2の部材に移設される。すなわち、この方法によれば、第1の部材に順に積み上げられた層が、第2の部材上においては、その積み上げの順番と逆の順番で第2の基板に積み上げられた構造となる。

30

【0066】

本発明の好適な実施の形態によれば、シリコン基板上に付加材料を含む層をエピタキシャル成長によって連続的に作製し、陽極化成によってこれらのエピタキシャル層を多孔質化し、その上に実質的にシリコンからなる層(好適には単結晶シリコン層)を形成し、更にその上に熱酸化法等により絶縁層を形成する。次いで、絶縁層を挟むようにして、第1の部材に第2の部材を貼り合わせる。次いで、貼り合わせによって形成された複合部材を分離層の部分で分離する。

【0067】

この方法において、歪みシリコン層としての単結晶シリコン層は、その上に良質な絶縁層を形成するために有利に機能する。これは、シリコン層を熱酸化法により酸化させることにより絶縁層を形成することができるからである。なお、当業者に周知のように、熱酸化法によれば、良質の熱酸化膜を形成することができる。

40

【0068】

また、上記の製造方法において、分離工程は、種々の方法によって実現され得るが、例えば、貼り合わせによって形成された複合部材の分離層に対して流体を打ち込み、該流体により該複合部材を2枚の部材に分離する方法が好適である。流体としては、水等の液体の他、空気等の気体を採用し得る。流体として水又はその混合物を採用する技術は、ウォータージェット法として知られている。

【0069】

具体的な実施例を図16～図19を用いて説明する。

50

【0070】

図15に示す工程に次いで、図16に示す工程（絶縁層形成工程）では、図15に示す第1の基板300の表面に絶縁層316を形成する。この工程では、典型的には、熱酸化法により図15に示す第1の基板300の表面の歪みシリコン層（単結晶シリコン層）315を熱酸化することにより絶縁膜（この場合、 SiO_2 膜）を形成する。ここで、熱酸化法に代えてCVD法等により絶縁層316を形成してもよい。なお絶縁膜の形成は必須ではなく、後述するように第2の基板表面に形成しても良い。また、第2の基板が光透過性のガラスなどの絶縁材料であれば省略することもできる。

【0071】

図16に示す工程に次いで、図17に示す工程（貼り合わせ工程）では、絶縁層316が形成された第1の基板（部材）300'の単結晶シリコン層315あるいは絶縁層316側に第2の基板（部材）301を貼り合わせる。ここで、第1の基板300'と第2の基板301とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合、あるいは熱処理等を施してもよい。第2の基板301は、典型的には、シリコン基板317の表面に SiO_2 層等の絶縁層318を形成した基板である。ただし、絶縁層318は必須ではないし、また、第2の基板301がシリコン基板で構成されることも必須ではない。例えば、第2の基板301は、ガラス基板等であってもよい。

【0072】

図17に示す工程に次いで、図18に示す工程（分離工程）では、貼り合わせによって形成された基板（貼り合わせ基板）を歪み誘起多孔質層312'、あるいは多孔質シリコン層314、または両者の界面の部分で2枚の基板に分離する。すなわち、図17に示す貼り合わせ工程及び図18に示す分離工程により移設工程が実施される。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層部分312'、314に流体を打ち込むことにより実施され得る。

【0073】

ここで、液体や気体などの流体を利用する分離方法に代えて、引っ張り、圧縮、せん断等の応力を利用する分離方法を採用してもよいし、これらを併用してもよい。分離後の第2の基板301'上に歪み誘起多孔質層312'、313'あるいは多孔質シリコン層314'が残留する場合には、当該残留多孔質層をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去することが好ましい。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。

【0074】

分離工程における分離は、歪み誘起多孔質層内部、シリコン基板を多孔質化した多孔質シリコン層内部、あるいはシリコン基板又はシリコン基板を多孔質化した多孔質シリコン層と歪み誘起多孔質層との界面で行うことができる。また、分離を前記歪み誘起多孔質層とシリコン基板を多孔質化した多孔質シリコン層との界面の欠陥発生部位で行うことができる。

【0075】

上記工程を経て得られた基板（部材）301"中の歪みシリコン層315を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化してもよい。また上記工程において、必要に応じて多孔質SiGe層313'上にSiGeエピタキシャル層を成長させて、これにより多孔質SiGe層312'、313'およびSiGeエピタキシャル層の全体で次に成長させるシリコン層に有効に歪みを加えた状態で、歪みSOIを作製することができる。以上説明した各実施例では、付加材料（歪み誘起材料の構成材料）としてゲルマニウムを取り上げたが、ガリウムと砒素を含む材料、ガリウムと燐とを含む材料、ガリウムと窒素とを含む材料のうちのいずれかを用いてもよい。以上本発明の半導体部材及びその製造方法について説明したが、次の本実施例の半導体部材を用いた半導体装置について説明する。

10

20

30

40

50

【0076】

[半導体装置の例1]

図20～図23は、例示的に第1の実施例に示す工程で作製された基板の半導体層14の近傍を示したものである。なお、ここでは、単結晶SiGe層14を設けない場合について説明するが、単結晶SiGe層14を設ける場合は図24～図27に示すような断面構成となる。

まず、半導体層14の表面に素子分離領域54、ゲート絶縁膜56を形成する(図20を参照)。ゲート絶縁膜56の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜56は、例えば、半導体層14の表面を酸化させたり、CVD法又はPVD法により半導体層14の表面に該当する物質を堆積させたりすることにより形成され得る。

10

【0077】

次いで、ゲート絶縁膜56上にゲート電極55を形成する。ゲート電極55は、例えば、P型又はN型不純物がドーパされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート電極55は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極55は、例えば、サリサイド(セルフアラインシリサイド)と呼ばれる方法で形成されてもよいし、ダマシングートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図20に示す構造体を得られる。

20

【0078】

次いで、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を半導体層14に導入することにより、比較的低濃度のソース、ドレイン領域58を形成する(図21を参照)。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0079】

次いで、ゲート電極55を覆うようにして絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極55の側部にサイドウォール59を形成する。

30

【0080】

次いで、再び上記と同一の導電型の不純物を半導体層14に導入し、比較的高濃度のソース、ドレイン領域57を形成する。以上の工程により図21に示す構造体を得られる。

【0081】

次いで、ゲート電極55の上面並びにソース及びドレイン領域57の上面に金属珪化層60を形成する(図22参照)。金属珪化層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極55の上面並びにソース及びドレイン領域57の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図22に示す構造体を得られる。

40

【0082】

次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜61を形成する(図23参照)。絶縁膜61の材料としては、燐及び/又はボロンを含む酸化シリコンなどが好適である。

【0083】

50

次いで、必要に応じて、CMP (chemical mechanical polishing) 法により表面を平坦化した後に、絶縁膜 61 にコンタクトホールを形成する。KrF エキシマレーザ、ArF エキシマレーザ、F2 エキシマレーザ、電子ビーム、X 線等を利用したフォトリソグラフィ技術を適用すると、一辺が 0.25 ミクロン未満の矩形のコンタクトホール、又は、直径が 0.25 ミクロン未満の円形のコンタクトホールを形成することができる。

【0084】

次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリアメタル 62 となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体 63 を、CVD 法、PVD (physical vapor deposition) 法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜 61 の上面よりも高く堆積した導電体をエッチバック法や CMP 法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により基板に FET (field effect transistor) 等のトランジスタを作り込むことができ、図 23 に示す構造のトランジスタを有する半導体装置が得られる。

10

【0085】

以上のように、本実施例によれば、歪みシリコン層を利用することによって、半導体層のキャリア移動度を向上させることができるため、半導体層に形成されたトランジスタ等のデバイスを高速駆動させることができる。

【0086】

20

[半導体装置の例 2]

次いで、実施例 2 に示された製造方法によって作製された半導体基板を利用した半導体装置 (デバイス) 及びその製造方法について図 28 ~ 図 31 を参照しながら説明する。

【0087】

まず、第 2 の実施例として例示的に説明した半導体基板 (部材) の製造方法を適用して半導体基板を製造する。この半導体基板は、前述のように、埋め込み酸化膜 (絶縁膜) 上に歪み Si 層を有する。このような歪み Si / 絶縁層の構造を有する半導体基板 (以下、歪み SOI 基板) は Si 単結晶 / 絶縁層の構造を有する通常の SOI 基板に比べて、より高速かつ低消費電力のデバイスが得られるとして注目されている。これは、歪みを有しない Si 層に対する歪み Si 層の優位性による。

30

【0088】

図 28 に示す工程では、まず、準備した歪み SOI 基板に、トランジスタを形成すべき活性領域 1103' 及び素子分離領域 1054 を形成する。具体的には、例えば、埋め込み絶縁膜 1104 上の歪み Si 層 1105 を島状にパタニングする方法、LOCOS 酸化法、トレンチ法等により、活性領域 1103' 及び素子分離領域 1054 を形成することができる。

【0089】

次いで、歪み Si 層 1105 の表面にゲート絶縁膜 1056 を形成する。ゲート絶縁膜 1056 の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜 1056 は、例えば、歪み Si 層 1105 の表面を酸化させたり、歪み Si 層 1105 上に CVD 法又は PVD 法により絶縁物質を堆積させたりすることにより形成され得る。

40

【0090】

次いで、ゲート絶縁膜 1056 上にゲート電極 1055 を形成する。ゲート電極 1055 は、例えば、P 型又は N 型不純物がドーパされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも 1 種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトラ

50

イドなどの金属窒化物などで構成され得る。ゲート電極 1055 は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極 1055 は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシゲートプロセスと呼ばれる方法で形成されてもよいし、他の方法で形成されてもよい。以上の工程により図 28 に示す構造体を得られる。

【0091】

次いで、図 29 に示す工程では、まず、燐、砒素、アンチモンなどの N 型不純物又はボロンなどの P 型不純物を活性領域 1103' に導入することにより、比較的低濃度のソース、ドレイン領域 1058 を形成する。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

10

【0092】

次いで、ゲート電極 1055 を覆うように絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極 1055 の側部にサイドウォール 1059 を形成する。

【0093】

次いで、再び上記と同一の導電型の不純物を活性領域 1103' に導入し、比較的高濃度のソース、ドレイン領域 1057 を形成する。以上の工程により図 29 に示す構造体を得られる。

【0094】

次いで、図 30 に示す工程では、ゲート電極 1055 の上面並びにソース及びドレイン領域 1057 の上面に金属珪化物層 1060 を形成する。金属珪化物層 1060 の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極 1055 の上面並びにソース及びドレイン領域 1057 の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図 30 に示す構造体を得られる。

20

【0095】

次いで、図 31 に示す工程では、まず、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜 1061 を形成する。絶縁膜 1061 の材料としては、燐及び / 又はボロンを含む酸化シリコンなどが好適である。

30

【0096】

次いで、必要に応じて、CMP 法により表面を平坦化した後に、絶縁膜 1061 にコンタクトホールを形成する。KrF エキシマレーザ、ArF エキシマレーザ、F2 エキシマレーザ、電子ビーム、X 線等を利用したフォトリソグラフィ技術を適用すると、一辺が 0.25 ミクロン未満の矩形のコンタクトホール、又は、直径が 0.25 ミクロン未満の円形のコンタクトホールを形成することができる。

【0097】

次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、必要に応じてバリアメタル 1062 となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体 1063 を、CVD 法、PVD 法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜 1061 の上面よりも高く堆積した導電体をエッチバック法や CMP 法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により歪み SOI 基板上の歪み Si 層に FET 等のトランジスタを作り込むことができ、図 31 に示す構造のトランジスタを有する半導体装置を得られる。

40

【0098】

ここで、ゲート電極に電圧を印加したときにゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜 1014 の上面に届くように活性層（歪み Si 層）1103' の厚さ及び不純物濃度

50

を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜1014の上面に届かないように活性層(歪みSi層)1103'の厚さ及び不純物濃度を定めると、形成されたトランジスタ(絶縁ゲート型電界効果トランジスタ)は、部分空乏型トランジスタとして動作する。

【0099】

なお、図28～図31では、1つのトランジスタの領域のみが示されているが、所望の機能を達成する半導体装置を得るために、歪みSOI基板上に多数のトランジスタその他の回路素子を形成し、これらに配線を形成し得ることは言うまでもない。

【0100】

[半導体装置の例3]

図32～図35は、例示的に第3の実施例に示す工程で作製された基板の半導体層315の近傍を示したものである。まず、半導体層315の表面に素子分離領域354、ゲート絶縁膜356を形成する(図32を参照)。ゲート絶縁膜356の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜356は、例えば、半導体層315の表面を酸化させたり、CVD法又はPVD法により半導体層315の表面に該当する物質を堆積させたりすることにより形成される。

10

【0101】

次いで、ゲート絶縁膜356上にゲート電極355を形成する。ゲート電極355は、例えば、P型又はN型不純物がドーブされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート電極355は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極355は、例えば、サリサイド(セルフアラインシリサイド)と呼ばれる方法で形成されてもよいし、ダマシングゲートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図32に示す構造体を得られる。

20

30

【0102】

次いで、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を半導体層315に導入することにより、比較的低濃度のソース、ドレイン領域358を形成する(図33を参照)。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0103】

次いで、ゲート電極355を覆うようにして絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極355の側部にサイドウォール359を形成する。

【0104】

次いで、再び上記と同一の導電型の不純物を半導体層315に導入し、比較的高濃度のソース、ドレイン領域357を形成する。以上の工程により図33に示す構造体を得られる。

40

【0105】

次いで、ゲート電極355の上面並びにソース及びドレイン領域357の上面に金属珪化層360を形成する(図34参照)。金属珪化層360の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極355の上面並びにソース及びドレイン領域357の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここ

50

で、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図34に示す構造体を得られる。

【0106】

次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜361を形成する(図35参照)。絶縁膜361の材料としては、燐及び/又はボロンを含む酸化シリコンなどが好適である。

【0107】

次いで、必要に応じて、CMP(chemical mechanical polishing)法により表面を平坦化した後に、絶縁膜361にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F2エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

10

【0108】

次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリアメタル362となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タンゲステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体363を、CVD法、PVD(physical vapor deposition)法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜361の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により基板にFET(field effect transistor)等のトランジスタを作り込むことができ、図35に示す構造のトランジスタを有する半導体装置を得られる。

20

【0109】

以上のように、本実施例によれば、歪みシリコン層を利用することによって、半導体層のキャリア移動度を向上させることができるため、半導体層に形成されたトランジスタ等のデバイスを高速駆動させることができる。

【産業上の利用可能性】

【0110】

本発明は歪み半導体層に絶縁ゲート型トランジスタ等の回路素子を形成するための半導体部材とその製造方法やかかる回路素子が形成された半導体装置に用いられる。

30

【図面の簡単な説明】

【0111】

【図1】第1及び第2の実施例の付加材料積層工程を示す図である。

【図2】第1及び第2の実施例の陽極化成工程を示す図である。

【図3】第1及び第2の実施例の積層工程を示す図である。

【図4】多孔質SiGe層の格子緩和を示すXRDチャートである。

【図5】第2の実施例の絶縁層形成工程を示す図である。

【図6】第2の実施例の貼り合わせ工程(移設工程の前段)を示す図である。

【図7】第2の実施例の分離工程(移設工程の後段)を示す図である。

【図8】第2の実施例の除去工程を示す図である。

40

【図9】第2の実施例の変形例の絶縁層形成工程を示す図である。

【図10】第2の実施例の変形例の貼り合わせ工程(移設工程の前段)を示す図である。

【図11】第2の実施例の変形例の分離工程(移設工程の後段)を示す図である。

【図12】第2の実施例の変形例の除去工程を示す図である。

【図13】第3及び第4の実施例の付加材料積層工程を示す図である。

【図14】第3及び第4の実施例の陽極化成工程を示す図である。

【図15】第3及び第4の実施例の積層工程を示す図である。

【図16】第4の実施例の絶縁層形成工程を示す図である。

【図17】第4の実施例の貼り合わせ工程(移設工程の前段)を示す図である。

【図18】第4の実施例の分離工程(移設工程の後段)を示す図である。

50

- 【図 19】第 4 の実施例の除去工程を示す図である。
- 【図 20】半導体装置及びその製造方法の第 1 の例を示す図である。
- 【図 21】半導体装置及びその製造方法の第 1 の例を示す図である。
- 【図 22】半導体装置及びその製造方法の第 1 の例を示す図である。
- 【図 23】半導体装置及びその製造方法の第 1 の例を示す図である。
- 【図 24】半導体装置及びその製造方法の第 1 の例の変形例を示す図である。
- 【図 25】半導体装置及びその製造方法の第 1 の例の変形例を示す図である。
- 【図 26】半導体装置及びその製造方法の第 1 の例の変形例を示す図である。
- 【図 27】半導体装置及びその製造方法の第 1 の例の変形例を示す図である。
- 【図 28】半導体装置及びその製造方法の第 2 の例を示す図である。
- 【図 29】半導体装置及びその製造方法の第 2 の例を示す図である。
- 【図 30】半導体装置及びその製造方法の第 2 の例を示す図である。
- 【図 31】半導体装置及びその製造方法の第 2 の例を示す図である。
- 【図 32】半導体装置及びその製造方法の第 3 の例を示す図である。
- 【図 33】半導体装置及びその製造方法の第 3 の例を示す図である。
- 【図 34】半導体装置及びその製造方法の第 3 の例を示す図である。
- 【図 35】半導体装置及びその製造方法の第 3 の例を示す図である。

10

【符号の説明】

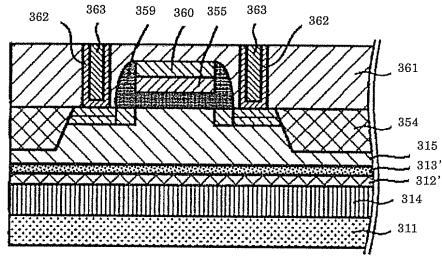
【0112】

- 11 シリコン基板
- 12 シリコンとゲルマニウムから成る層
- 12' 歪み誘起多孔質層
- 13 シリコン多孔質層
- 14 シリコンとゲルマニウムから成る層
- 15 歪みシリコン層
- 311 シリコン基板
- 312、313 シリコンとゲルマニウムから成る層
- 312'、313' 歪み誘起多孔質層
- 314 シリコン多孔質層
- 315 歪みシリコン層

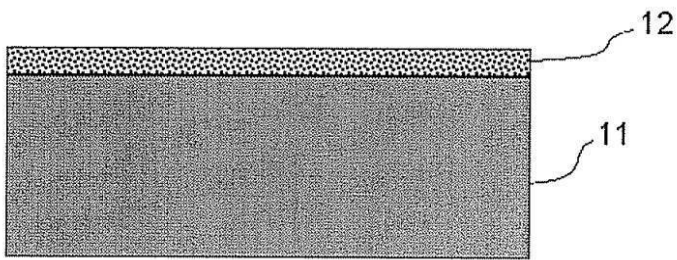
20

30

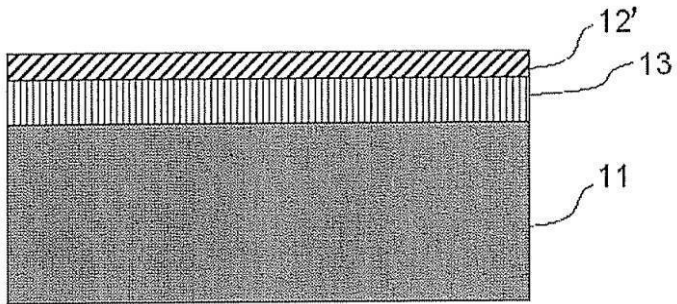
【 図 3 5 】



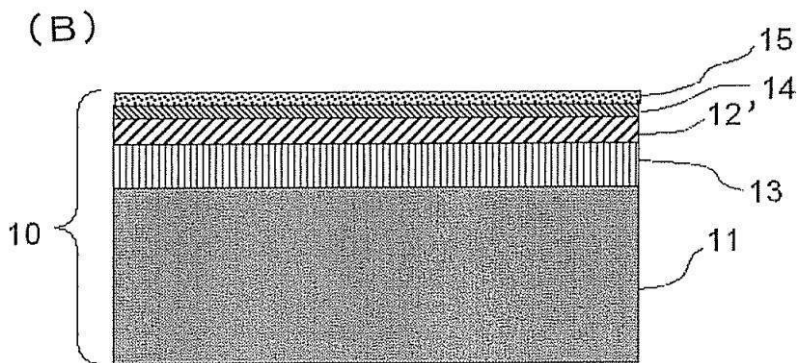
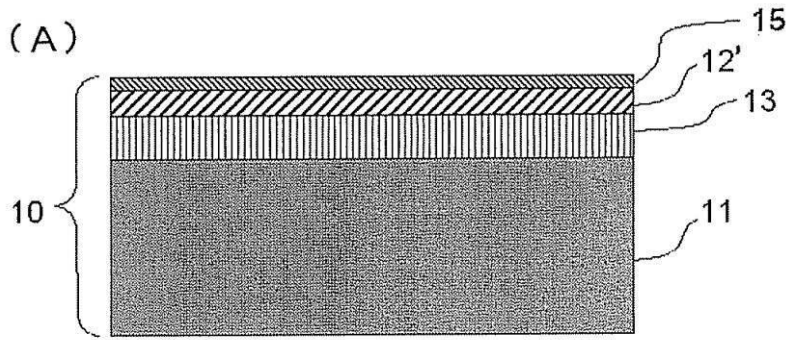
【 図 1 】



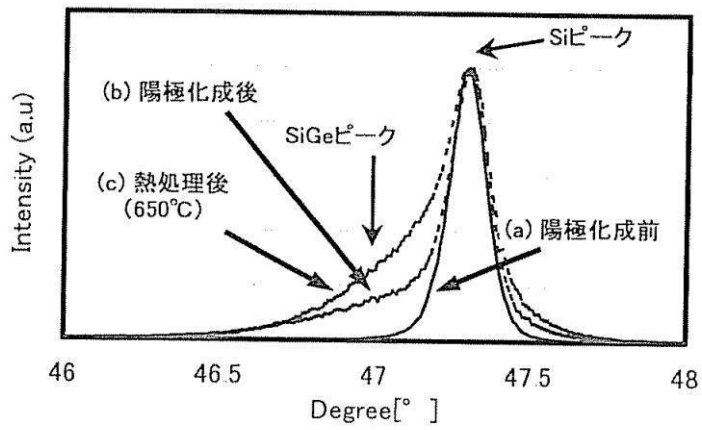
【 図 2 】



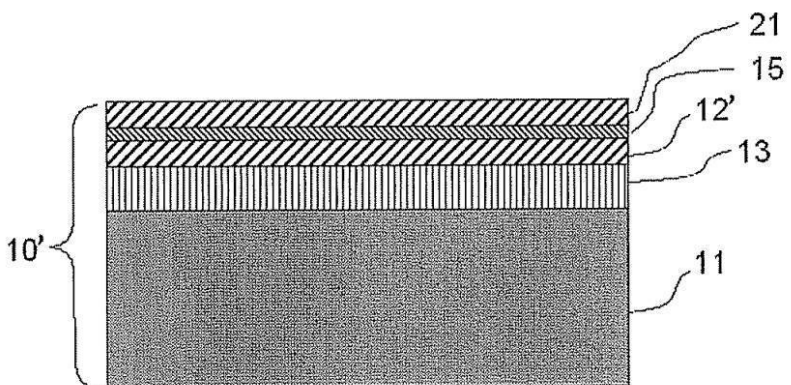
【図3】



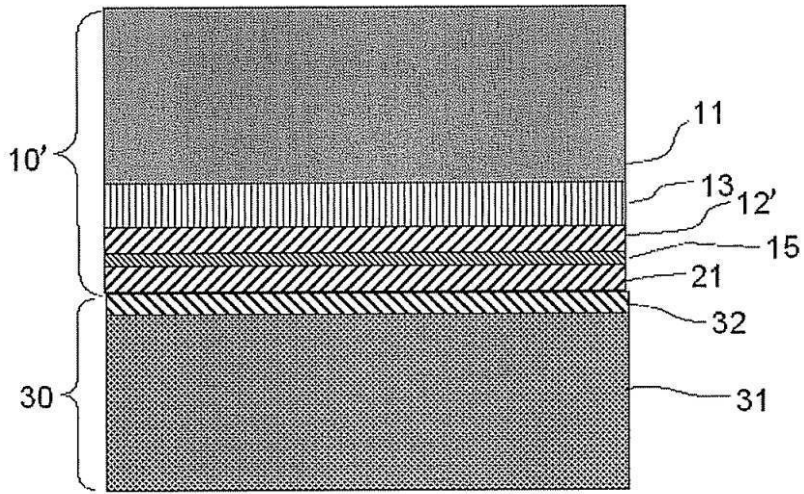
【図4】



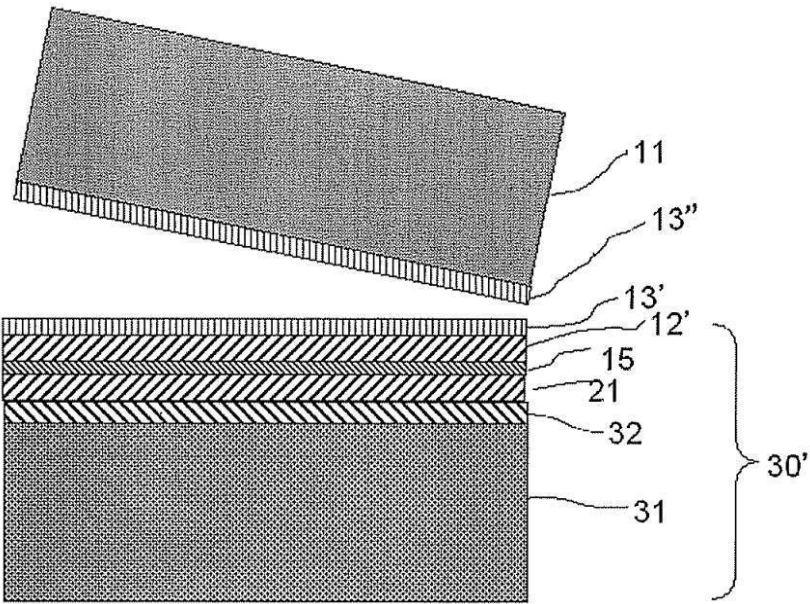
【図5】



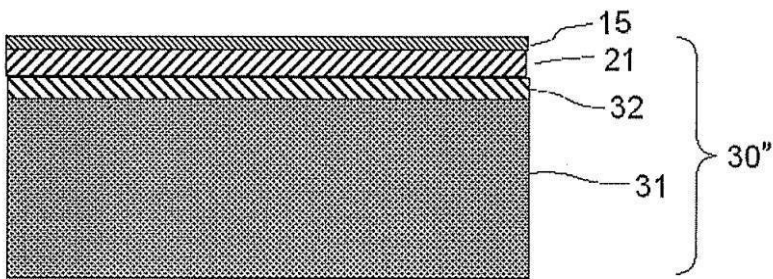
【 図 6 】



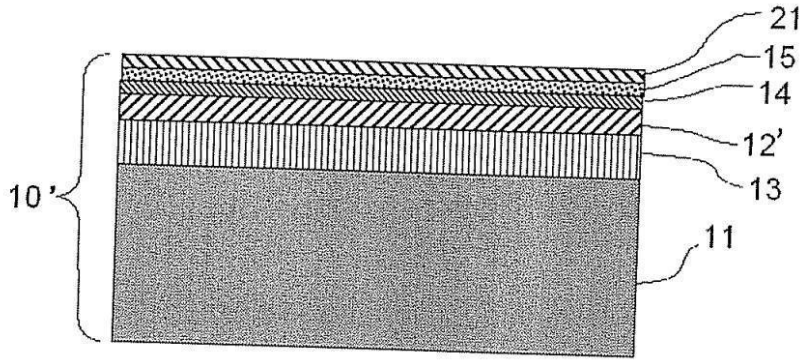
【 図 7 】



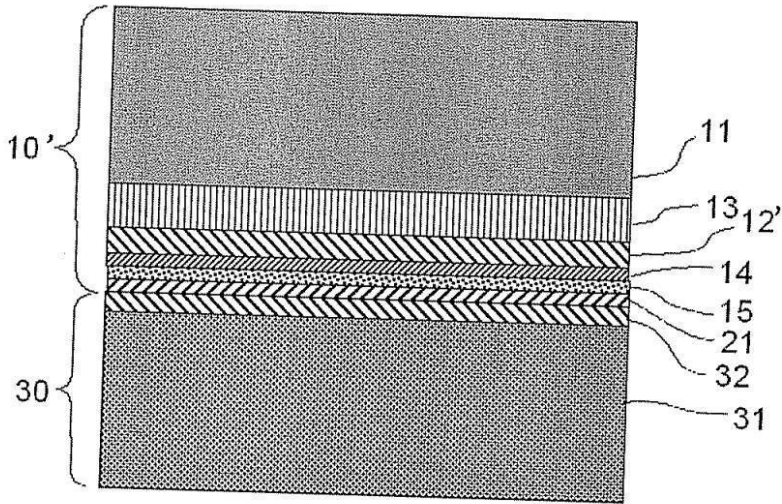
【 図 8 】



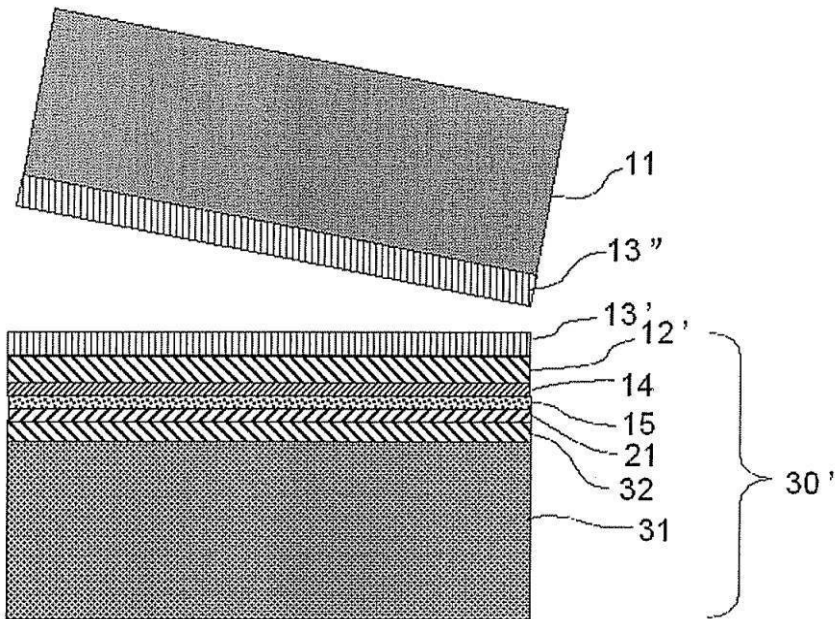
【 図 9 】



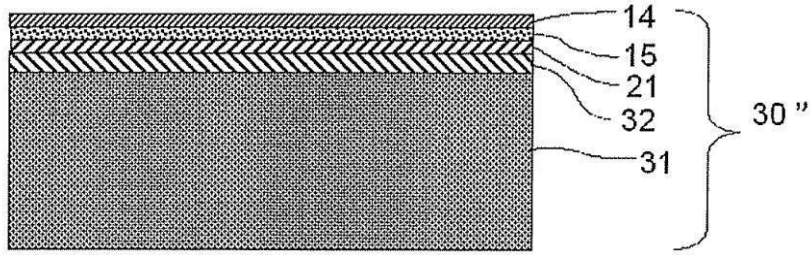
【 図 10 】



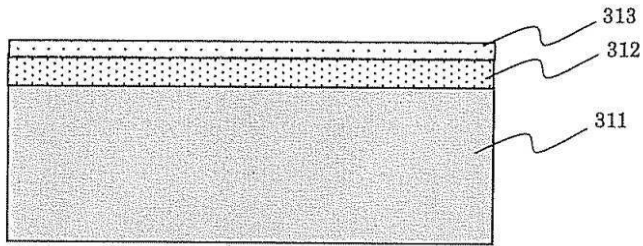
【 図 11 】



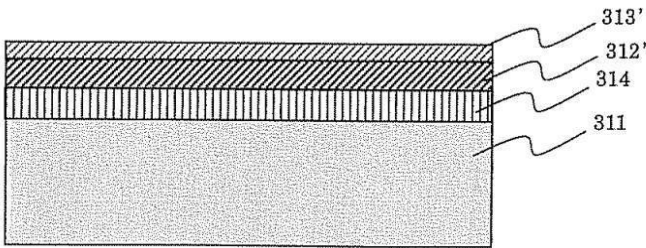
【 図 1 2 】



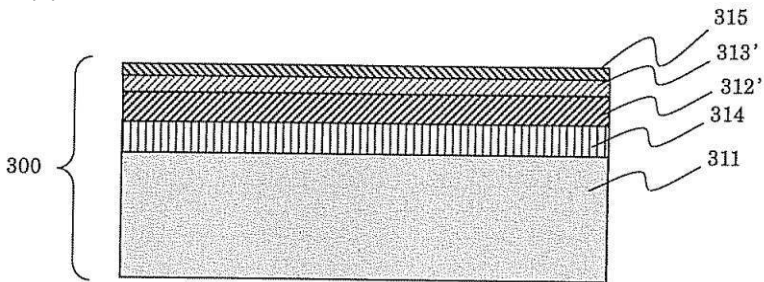
【 図 1 3 】



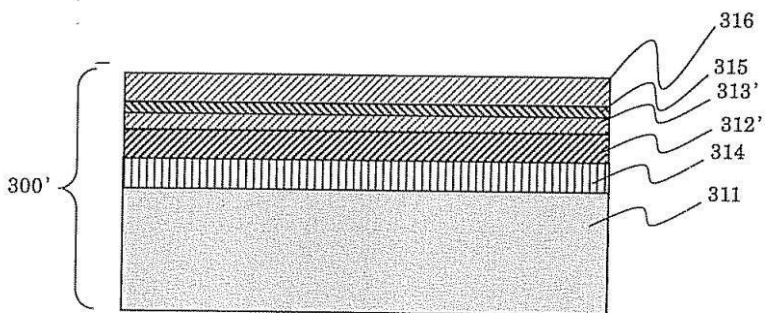
【 図 1 4 】



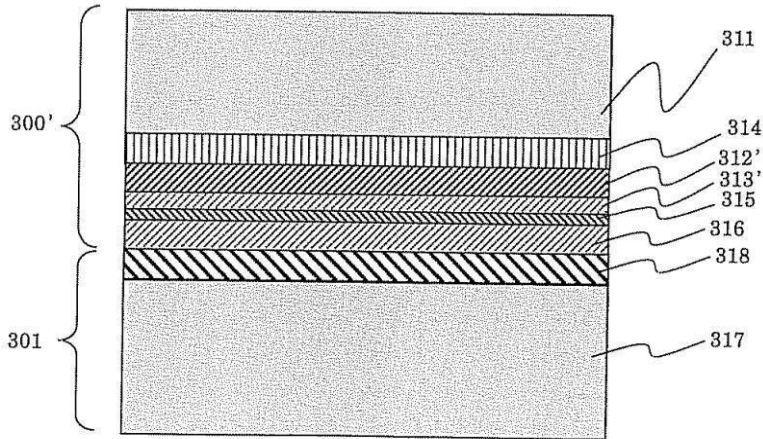
【 図 1 5 】



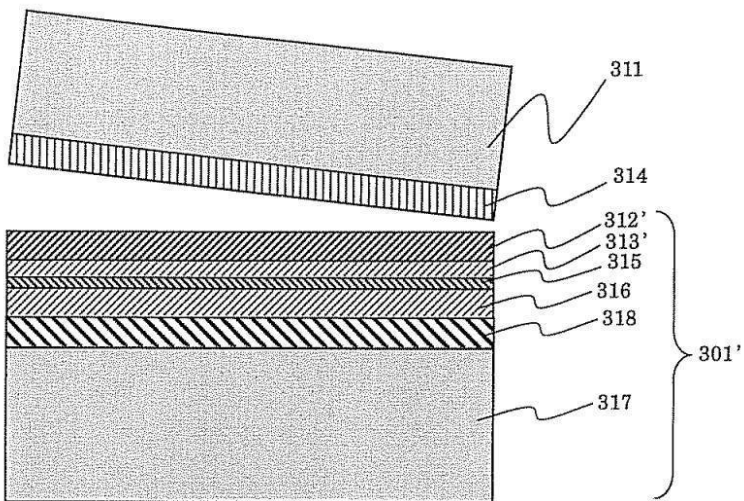
【 図 1 6 】



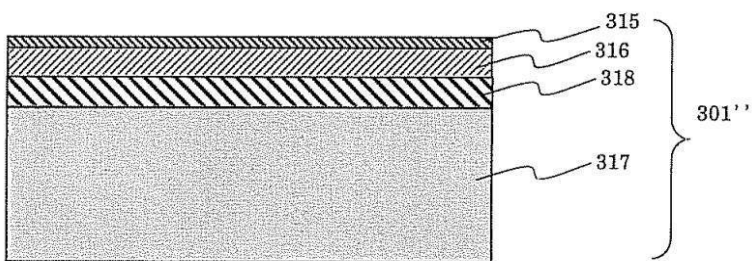
【 図 1 7 】



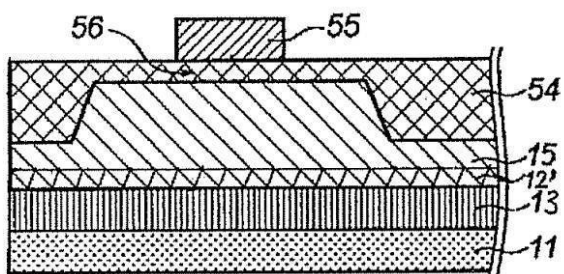
【 図 1 8 】



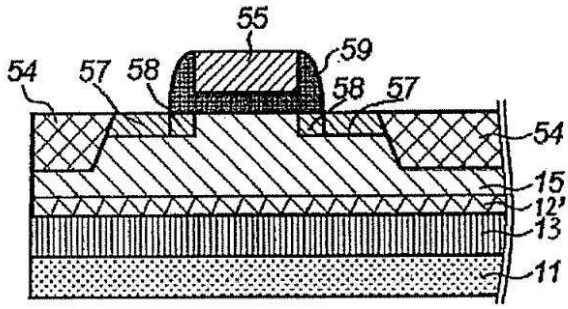
【 図 1 9 】



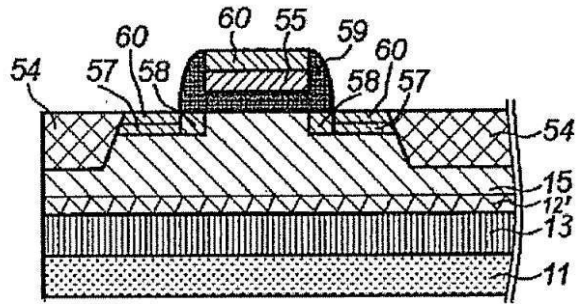
【 図 2 0 】



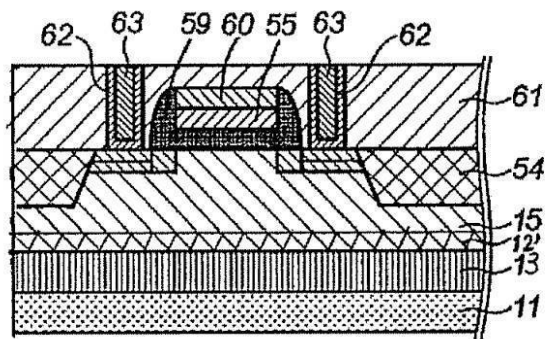
【図 2 1】



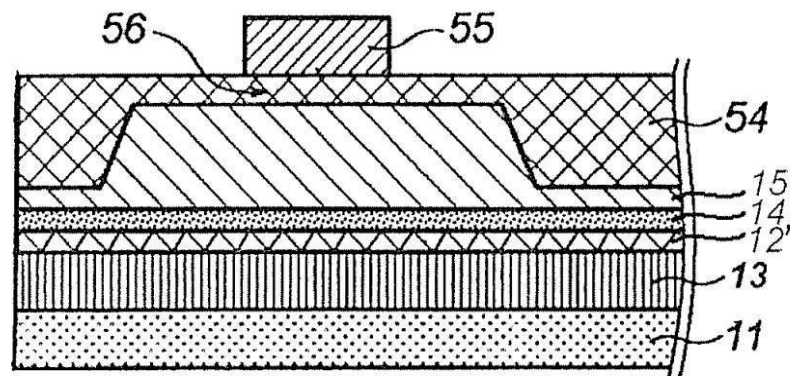
【図 2 2】



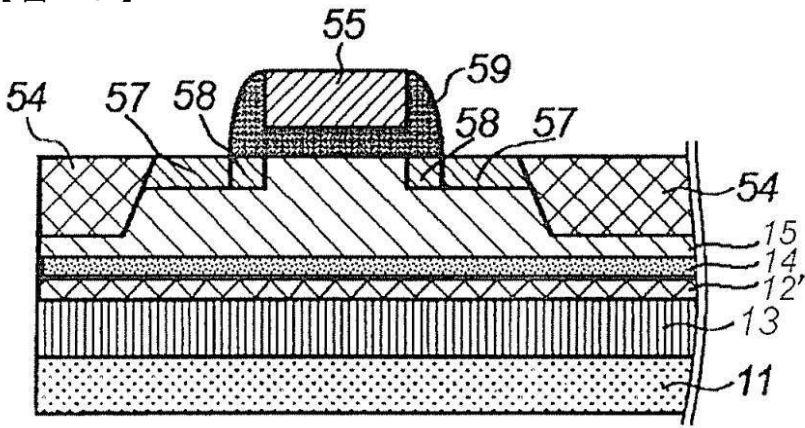
【図 2 3】



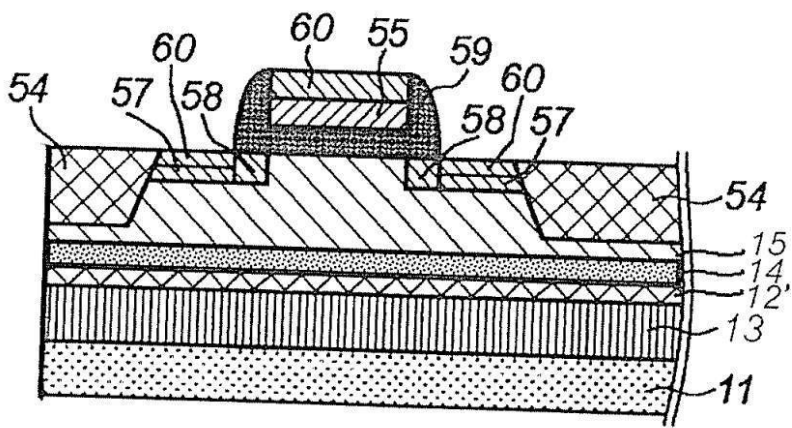
【図 2 4】



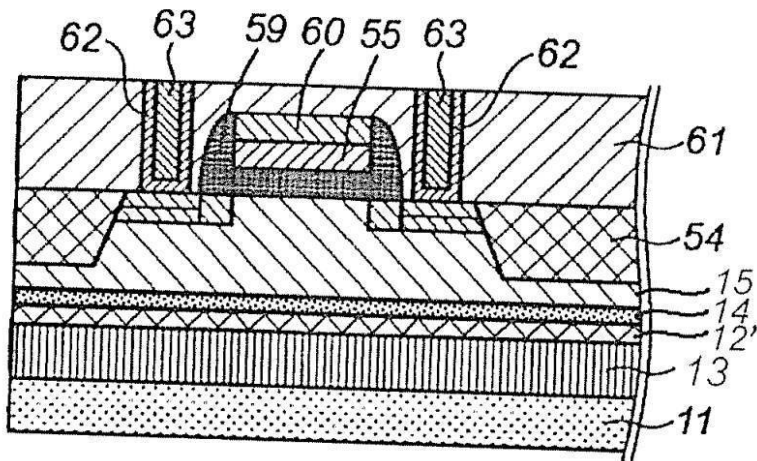
【図 25】



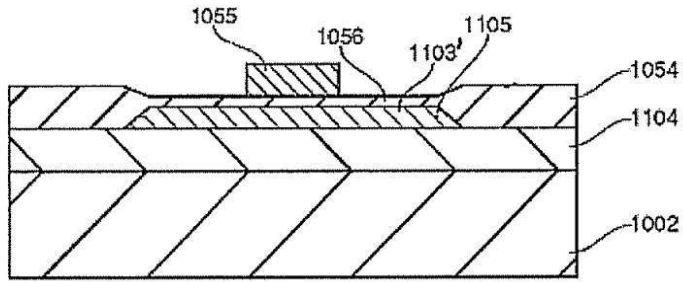
【図 26】



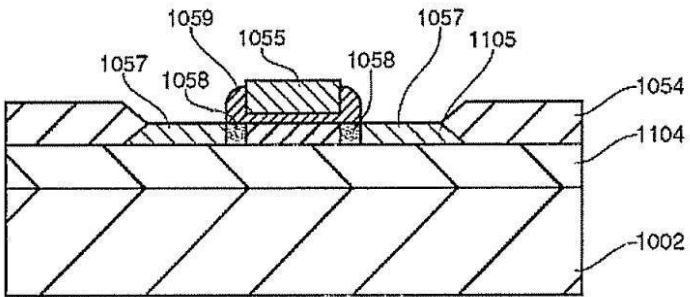
【図 27】



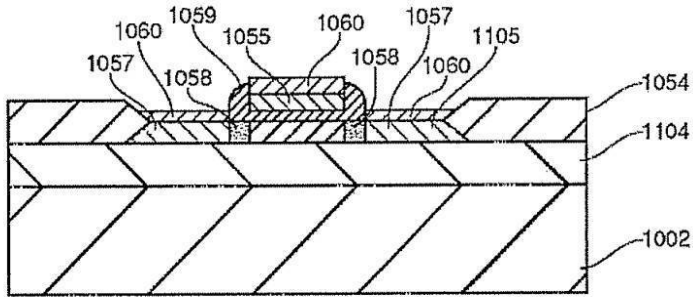
【 図 2 8 】



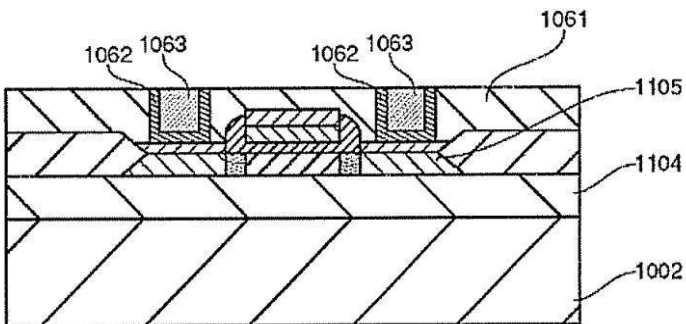
【 図 2 9 】



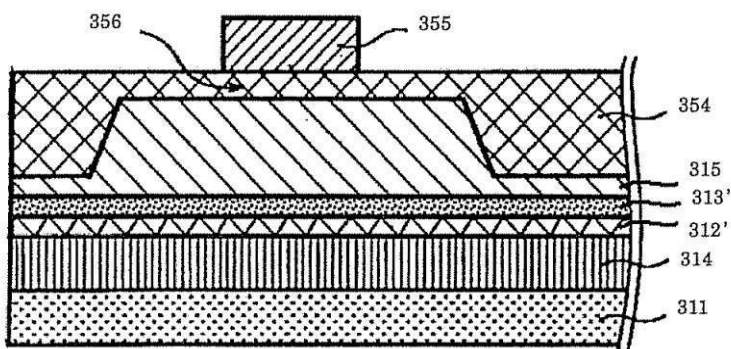
【 図 3 0 】



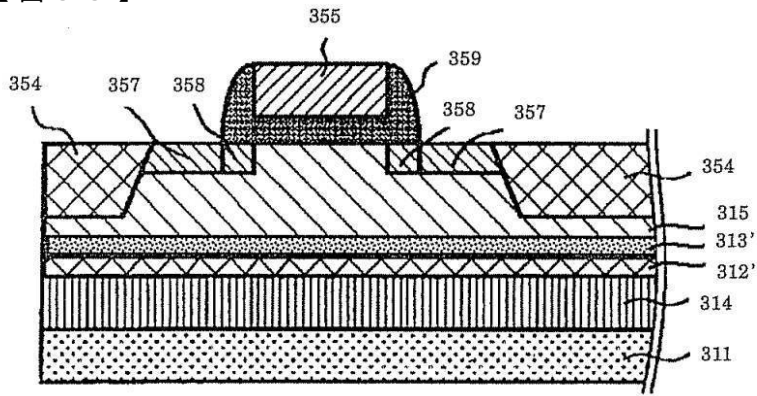
【 図 3 1 】



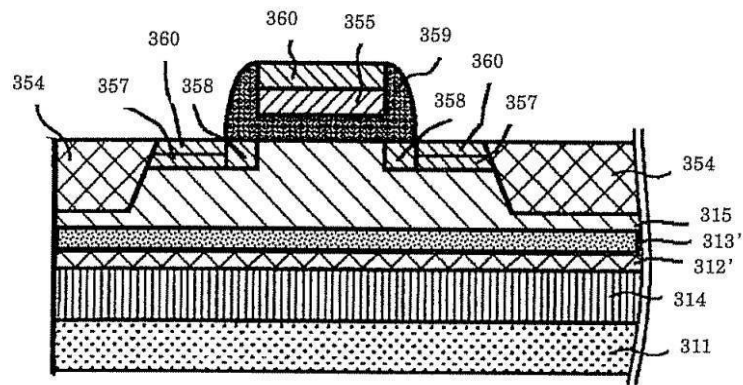
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(72)発明者 西田 彰志
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 佐藤 信彦
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 坂口 清文
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5F052 JA01 KA01 KA05 KB01 KB04

5F110 AA01 AA30 CC02 DD02 DD05 DD13 EE01 EE02 EE03 EE04
EE05 EE06 EE09 EE14 EE31 FF01 FF02 FF03 FF04 FF23
FF27 FF29 GG01 GG02 GG12 GG19 HJ01 HJ13 HJ23 HK05
HK40 HL02 HL03 HL06 HL11 HL22 HL24 HM15 NN02 NN25
NN26 NN62 QQ16 QQ19