



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월22일  
(11) 등록번호 10-2719396  
(24) 등록일자 2024년10월15일

(51) 국제특허분류(Int. Cl.)  
H01M 4/66 (2006.01) C23C 16/34 (2006.01)  
C23C 28/00 (2006.01) C23C 28/04 (2006.01)  
H01M 10/052 (2010.01) H01M 12/08 (2015.01)  
H01M 4/04 (2006.01) H01M 4/134 (2010.01)  
H01M 4/1395 (2010.01) H01M 4/38 (2006.01)  
H01M 4/40 (2006.01)

(52) CPC특허분류  
H01M 4/66 (2013.01)  
C23C 16/342 (2013.01)

(21) 출원번호 10-2021-0112564

(22) 출원일자 2021년08월25일

심사청구일자 2021년08월25일

(65) 공개번호 10-2023-0030708

(43) 공개일자 2023년03월07일

(56) 선행기술조사문헌  
Nano Letters. ACS Publications. 2014.8.28.,  
vol.14(제6016면 내지 제6022면) 1부.\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 넥스티리얼즈  
울산광역시 울주군 언양읍 유니스트길 50, 유니스  
트 106동 805-6호

(72) 발명자  
신현석  
울산광역시 울주군 언양읍 유니스트길 50  
김민수  
울산광역시 울주군 언양읍 유니스트길 50

(74) 대리인  
특허법인 무한

전체 청구항 수 : 총 20 항

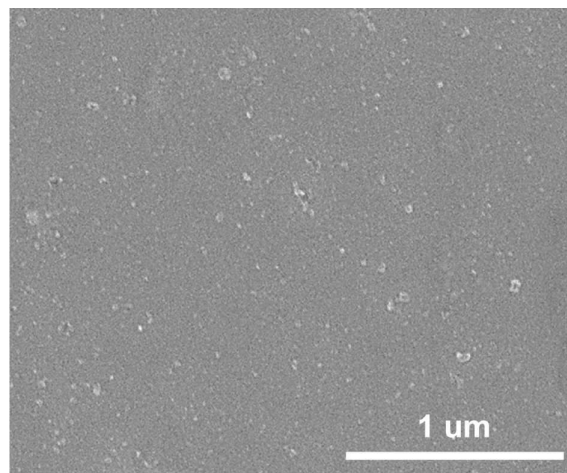
심사관 : 임홍철

(54) 발명의 명칭 음극 집전체 및 이를 포함하는 금속 전지

(57) 요약

본 발명은, 음극 집전체 및 이를 포함하는 금속 전지에 관한 것으로, 보다 구체적으로, 집전체 기재; 상기 집전체 기재의 적어도 일면의 적어도 일부분에 형성되고, 비정질 질화붕소층; 및 상기 비정질 질화붕소층 상의 적어도 일부분에 형성된 금속 함유층; 을 포함하는 것인, 음극 집전체 및 이를 포함하는 금속 전지에 관한 것이다.

대표도 - 도1b



(52) CPC특허분류

- H01M 10/052* (2013.01)
- H01M 12/08* (2019.01)
- H01M 4/045* (2013.01)
- H01M 4/134* (2013.01)
- H01M 4/1395* (2013.01)
- H01M 4/382* (2013.01)
- H01M 4/405* (2013.01)
- H01M 4/661* (2013.01)
- H01M 4/667* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711138827
과제번호	2021R1A3B1077184
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	탄소 및 질화붕소의 동종다형성 연구
기여율	0.4/1
과제수행기관명	울산과학기술원
연구기간	2021.06.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711135868
과제번호	2021M3H4A1A02049651
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노미래소재원천기술개발(R&D)
연구과제명	고성능 페로브스카이트 나노결정 발광소자를 위한 유무기 하이브리드 전하수송 플랫폼 개발연구
기여율	0.3/1
과제수행기관명	울산과학기술원
연구기간	2021.04.26 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711108505
과제번호	2019R1A4A1027934
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원(R&D)
연구과제명	2차원 반데르발스 구조체 재료화학 연구실
기여율	0.3/1
과제수행기관명	울산과학기술원
연구기간	2020.03.01 ~ 2021.02.28

---

## 명세서

### 청구범위

#### 청구항 1

집전체 기재;  
상기 집전체 기재의 적어도 일면에 코팅된, 비정질 질화붕소층; 및  
상기 비정질 질화붕소층 상에 형성된 금속 함유층;  
을 포함하는 것인,  
음극 집전체.

#### 청구항 2

제1항에 있어서,  
상기 집전체 기재는,  
Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금; 소성 탄소; 및 스테인리스(stainless);로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 것인,  
음극 집전체.

#### 청구항 3

제1항에 있어서,  
상기 집전체 기재는,  
Cu, Ni, Ti, 스테인리스(stainless) 또는 Al을 포함하는 제1 성분; 및  
Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 제2 성분(제1 성분과 동일한 원소는 제외);  
을 포함하는 것인,  
음극 집전체.

#### 청구항 4

제1항에 있어서,  
상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것인,  
음극 집전체.

#### 청구항 5

제1항에 있어서,  
상기 비정질 질화붕소층의 두께는, 0.1 nm 내지 1 nm인 것인,

음극 집전체.

#### 청구항 6

제1항에 있어서,  
상기 비정질 질화붕소층의 두께는, 원자 두께인 것인,  
음극 집전체.

#### 청구항 7

제1항에 있어서,  
상기 금속 함유층은, 상기 비정질 질화붕소층 상에서 증착법으로 직성장되고,  
상기 금속 함유층은, 전기증착법으로 직성장된 것인,  
음극 집전체.

#### 청구항 8

제1항에 있어서,  
상기 금속 함유층은,  
리튬(Li), 나트륨(Na), 알루미늄 (Al), 칼슘 (Ca) 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)으로 이루어진 군에서 선택된 적어도 하나 이상의 금속; 상기 금속을 포함하는 황화물; 할로겐화물; 산화물; 금속간 화합물; 및 합금;으로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 것인,  
음극 집전체.

#### 청구항 9

제1항에 있어서,  
상기 금속 함유층은, 금속 함유 덴드라이트 구조-프리(free)이고,  
상기 금속 함유층은, 평면막(planar flim)인 것인,  
음극 집전체.

#### 청구항 10

제1항에 있어서,  
상기 금속 함유층의 두께는, 1 nm 내지 100  $\mu\text{m}$ 인 것인,  
음극 집전체.

#### 청구항 11

제1항에 있어서,  
상기 금속 함유층은,

리튬 금속, 황화리튬, 할로겐화 리튬, 리튬 합금 또는 이 둘을 포함하는 것인,  
음극 집전체.

#### 청구항 12

제11항에 있어서,  
상기 리튬 합금은,  
리튬; 및 나트륨(Na), 알루미늄 (Al), 칼슘 (Ca) 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)로 이루어진 군에서 선택된 적어도 하나 이상;을 포함하는 것인,  
음극 집전체.

#### 청구항 13

음극부;  
양극부; 및  
상기 음극부 및 상기 양극부 사이의 전해질;  
을 포함하고,  
상기 음극부는, 음극 집전체를 포함하고,  
상기 음극 집전체는,  
집전체 기재;  
상기 집전체 기재의 적어도 일면에 코팅된 비정질 질화붕소층; 및  
상기 비정질 질화붕소층 상에 형성된 금속 함유층;  
을 포함하는 것인,  
금속 전지.

#### 청구항 14

제13항에 있어서,  
상기 전해질은,  
액체 전해질, 고체 전해질 또는 이 둘을 포함하는 것인,  
금속 전지.

#### 청구항 15

제13항에 있어서,  
상기 음극 집전체는,  
상기 금속 함유층 상에 전해질이 접촉하는, 무음극향 집전체인 것인,  
금속 전지.

**청구항 16**

제13항에 있어서,  
상기 금속 전지는,  
리튬 금속 전지인 것인,  
금속 전지.

**청구항 17**

집전체 기재를 준비하는 단계;  
상기 집전체 기재의 적어도 일면에 비정질 질화붕소층을 형성하는 단계; 및  
상기 비정질 질화붕소층 상에 금속 함유층을 형성하는 단계;  
를 포함하고,  
제1항의 음극 집전체를 제조하는, 음극 집전체의 제조방법.

**청구항 18**

제17항에 있어서,  
상기 비정질 질화붕소층을 형성하는 단계는,  
상기 집전체 상에 비정질 질화붕소층을 전사하는 단계;  
를 포함하고,  
상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것인,  
음극 집전체의 제조방법.

**청구항 19**

제17항에 있어서,  
상기 비정질 질화붕소층을 형성하는 단계는,  
상기 집전체 상에서 증착법으로 비정질 질화붕소를 직성장시키는 단계;  
를 포함하고,  
상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것인,  
음극 집전체의 제조방법.

**청구항 20**

제17항에 있어서,  
상기 금속 함유층을 형성하는 단계는,  
상기 비정질 질화붕소층 상에 증착법으로 금속 함유층을 직성장시키는 것인,  
음극 집전체의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 음극 집전체 및 이를 포함하는 금속 전지에 관한 것이다.

**배경 기술**

[0002] 리튬 이차전지는 다양한 이차전지 중에서 에너지밀도 및 출력 특성이 가장 우수하여 널리 상용화되었다. 전기 자동차 및 대용량 전력 저장장치의 수요가 증가하면서 이를 충족시키기 위한 고에너지 전지의 개발이 요구된다. 400 Wh/kg 이상의 에너지밀도 구현을 위해서는 리튬 금속음극을 적용하여야 한다는 분석결과가 있으며, 이차전지의 에너지밀도 향상을 목적으로 리튬 금속을 음극으로 사용하는 기술개발이 활발히 진행 중이다.

[0003] 리튬 금속 전지는 높은 용량 및 낮은 환원 전위를 지닌 리튬 금속을 음극으로 사용하는 이차전지로서, 리튬-공기 전지나 리튬-설퍼 전지 등과 같은 다양한 형태로 연구개발되고 있고, 고에너지 밀도의 차세대 에너지 전지 시스템으로 각광받고 있다.

[0004] 리튬 금속을 음극으로 사용할 경우, 리튬 금속을 집전체 표면에 증착하는 과정에서 덴드라이트(dendrite) 구조의 리튬층이 형성되고, 이러한 불균일한 리튬층으로 인하여 리튬 덴드라이트가 성장할 경우에, 단락 현상을 초래할 뿐 아니라 용량에 기여하지 않는 Dead Li를 형성시킬 수 있다. 또한, 이러한 덴드라이트 구조의 리튬층은 전지의 용량 및 출력 특성이 감소하는 현상이 발생하여 리튬 금속 전지의 상용화에 어려움을 주고 있다.

[0005] 이러한 문제점을 해소하기 위해서, 집전체 표면에 균일한 리튬층을 형성하는 기술개발이 대두되고 있으나, 기존의 집전체 표면의 높은 핵생성 과전압(nucleation overpotential)때문에 균일한 리튬 핵생성을 제어하는데 기술적 어려움이 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은, 상기 언급한 문제점을 해결하기 위해서, 균일하고 치밀한 금속 함유층 형성이 가능한 금속 친화적 소재로 표면 개질된 음극 집전체를 제공하는 것이다.

[0007] 본 발명은, 본 발명에 의한 음극 집전체를 포함하는, 금속 기반 고에너지밀도의 구현이 가능한 금속 전지를 제공하는 것이다.

[0008] 본 발명은, 원자 두께의 금속 친화적 소재로 표면 처리하는 음극 집전체의 제조방법을 제공하는 것이다.

[0009] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 분야 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0010] 본 발명의 일 실시예에 따라, 집전체 기재; 상기 집전체 기재의 적어도 일면의 적어도 일부분에 형성되고, 비정질 질화붕소층; 및 상기 비정질 질화붕소층 상의 적어도 일부분에 형성된 금속 함유층; 을 포함하는 것인, 음극 집전체에 관한 것이다.

[0011] 본 발명의 일 실시예에 따라, 상기 집전체 기재는, Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금; 소성탄소; 및 스테인리스(stainless);로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 것일 수 있다.

[0012] 본 발명의 일 실시예에 따라, 상기 집전체 기재는, Cu, Ni, Ti, 스테인리스(stainless) 또는 Al을 포함하는 제1 성분; 및 Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 제2 성분(제1 성분과 동일한 원소는 제외); 을 포함하는 것일 수 있다.

[0013] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것일 수 있다.

[0014] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층의 두께는, 0.1 nm 내지 1 nm인 것일 수 있다.

- [0015] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층의 두께는, 원자 두께인 것일 수 있다.
- [0016] 본 발명의 일 실시예에 따라, 상기 금속 함유층은, 상기 비정질 질화붕소층 상에서 증착법으로 직성장되고, 상기 금속 함유층은, 전기증착법으로 직성장된 것일 수 있다.
- [0017] 본 발명의 일 실시예에 따라, 상기 금속 함유층은, 리튬(Li), 나트륨(Na), 알루미늄 (Al), 칼슘 (Ca) 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)으로 이루어진 군에서 선택된 적어도 하나 이상의 금속; 상기 금속을 포함하는 황화물; 할로겐화물; 산화물; 금속간 화합물; 및 합금;으로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 것일 수 있다.
- [0018] 본 발명의 일 실시예에 따라, 상기 금속 함유층은, 금속 함유 텐드라이트 구조-프리(free)이고, 상기 금속 함유층은, 평면막(planar flim)인 것일 수 있다.
- [0019] 본 발명의 일 실시예에 따라, 상기 금속 함유층의 두께는, 1 nm 내지 100 μm인 것일 수 있다.
- [0020] 본 발명의 일 실시예에 따라, 상기 금속 함유층은, 리튬 금속, 황화리튬, 할로겐화 리튬, 리튬 합금 또는 이 둘을 포함하는 것일 수 있다.
- [0021] 본 발명의 일 실시예에 따라, 상기 리튬 합금은, 리튬; 및 나트륨(Na), 알루미늄 (Al), 칼슘 (Ca) 은(Ag), 금 (Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)로 이루어진 군에서 선택된 적어도 하나 이상;을 포함하는 것일 수 있다.
- [0022] 본 발명의 일 실시예에 따라, 음극부; 양극부; 및 상기 음극부 및 상기 양극부 사이의 전해질;을 포함하고, 상기 음극부는, 음극 집전체를 포함하고, 상기 음극 집전체는, 집전체 기재; 상기 집전체 기재의 적어도 일면의 적어도 일부분에 형성된 비정질 질화붕소층; 및 상기 비정질 질화붕소층 상의 적어도 일부분에 형성된 금속 함유층; 을 포함하는 것인, 금속 전지에 관한 것이다.
- [0023] 본 발명의 일 실시예에 따라, 상기 전해질은, 액체 전해질, 고체 전해질 또는 이 둘을 포함하는 것일 수 있다.
- [0024] 본 발명의 일 실시예에 따라, 상기 음극 집전체는, 상기 금속 함유층 상에 전해질이 접촉하는, 무음극향 집전체인 것일 수 있다.
- [0025] 본 발명의 일 실시예에 따라, 상기 금속 전지는, 리튬 금속 전지인 것일 수 있다.
- [0026] 본 발명의 일 실시예에 따라, 집전체 기재를 준비하는 단계; 상기 집전체 기재의 적어도 일면의 적어도 일부분에 비정질 질화붕소층을 형성하는 단계; 및 상기 비정질 질화붕소층 상의 적어도 일부분에 금속 함유층을 형성하는 단계; 를 포함하는, 음극 집전체의 제조방법에 관한 것이다.
- [0027] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 형성하는 단계는,
- [0028] 상기 집전체 상에 비정질 질화붕소층을 전사하는 단계; 를 포함하고, 상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것일 수 있다.
- [0029] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 형성하는 단계는, 상기 집전체 상에서 증착법으로 비정질 질화붕소를 직성장시키는 단계; 를 포함하고,
- [0030] 상기 비정질 질화붕소층의 두께는, 10 nm 이하인 것일 수 있다.
- [0031] 본 발명의 일 실시예에 따라, 상기 금속 함유층을 형성하는 단계는, 상기 비정질 질화붕소층 상에 증착법으로 금속 함유층을 직성장시키는 것일 수 있다.

**발명의 효과**

- [0032] 본 발명은, 금속 친화적 소재가 형성되어 있는 표면으로 음극 집전체를 개질하여, 집전체에 금속을 증착하더라도 텐드라이트 구조의 형성을 억제하고 일정한 에너지 밀도와 안정성을 가지는 음극 집전체, 이를 포함하는 리튬 금속 전지 및 그의 제조 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0033] 도 1a는, 본 발명의 일 실시예에 따라, 집전체에 증착된 리튬 금속층 표면의 주사전자현미경 이미지를 나타낸 것으로, 비정질 질화붕소가 코팅되지 않은(비정질 질화붕소 두께 : 0 nm) 기존 Cu 집전체에 증착된 텐드라이트

구조의 리튬 금속층의 표면을 확인할 수 있는 주사전자현미경 이미지이다.

도 1b는, 본 발명의 일 실시예에 따라, 비정질 질화붕소가 코팅된 집전체에 증착된 리튬 금속층 표면의 주사전자현미경 이미지를 나타낸 것으로, 1 nm 두께의 비정질 질화붕소가 코팅된 Cu 집전체에 증착된 매우 균일한 리튬 금속층의 표면을 확인할 수 있는 주사전자현미경 이미지이다.

도 1c는, 본 발명의 일 실시예에 따라, 비정질 질화붕소가 코팅된 집전체에 증착된 리튬 금속층 표면의 주사전자현미경 이미지를 나타낸 것으로, 3 nm 두께의 비정질 질화붕소가 코팅된 Cu 집전체에 증착된 균일한 리튬 금속층의 표면을 확인할 수 있는 주사전자현미경 이미지이다.

도 2a는, 본 발명의 일 실시예에 따라, Cu 집전체에서 성장된 비정질 질화붕소를 SiO<sub>2</sub> 표면에 전사한 이후 측정된 광학현미경 이미지이다.

도 2b는, 본 발명의 일 실시예에 따라, Cu 집전체에서 성장된 비정질 질화붕소를 SiO<sub>2</sub> 표면에 전사한 이후 측정된 주사전자현미경 이미지이다.

도 3은, 본 발명의 일 실시예에 따라, 비정질 질화붕소 필름 내 측정된 여러위치에서 비정질 질화붕소가 결정성이 없음을 보여주는 라만 분광학 측정 결과를 나타낸 것이며, 라만 분광학을 측정한 위치는 비정질 질화붕소 필름의 광학이미지에 나타내었다.

도 4는, 본 발명의 일 실시예에 따라, 증착 시간에 따른 코팅된 비정질 질화붕소의 두께 변화를 확인한 원자간력 현미경 데이터를 나타낸 것으로, (a) PECVD로 30분 증착한 비정질 질화붕소의 코팅표면 및 1.40 nm의 코팅 두께, (b) PECVD로 40분 증착한 비정질 질화붕소의 코팅표면 및 1.79 nm의 코팅두께 및 (c) PECVD로 60분 증착한 비정질 질화붕소의 코팅표면 및 2.73 nm의 코팅두께이다.

도 5a는, 본 발명의 일 실시예에 따라, Cu 집전체에 증착된 비정질 질화붕소 박막을 X 선 광전자 분광법으로 측정한 B 1s 스펙트럼을 나타낸 것이다.

도 5b는, 본 발명의 일 실시예에 따라, Cu 집전체에 증착된 비정질 질화붕소 박막을 X 선 광전자 분광법으로 측정한 N 1s 스펙트럼을 나타낸 것이다.

도 5c는, 본 발명의 일 실시예에 따라, Cu 집전체에 증착된 비정질 질화붕소 박막을 X 선 광전자 분광법으로 측정한 Cu 2p 스펙트럼을 나타낸 것이다.

도 6은, 본 발명의 일 실시예에 따라, PECVD로 증착된 비정질 질화붕소 박막의 흡수분광학 측정결과를 나타낸 것이다.

도 7은, 본 발명의 일 실시예에 따라, Cu 및 Ni 집전체와 비정질 질화붕소층이 형성된 Cu 집전체의 집전체의 핵생성 과전압(Nucleation Overpotential)을 시뮬레이션하여 비교한 개념도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0034] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0035] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0036] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0037] 이하, 본 발명의 음극 집전체, 금속 전지 및 음극 집전체의 제조방법에 대하여 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.
- [0038] 본 발명은, 음극 집전체에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 음극 집전체는, 비정질 질화붕소로 금속 친화적 표면, 예를 들어, 리튬 친화적 표면으로 개질된 것으로, 음극 집전체의 표면을 금속 친화적으로 개

질함으로써, 덴드라이트 구조 형성을 억제하거나 형성 없이 치밀하고 평평한 금속 함유층, 예를 들어, 리튬 금속층을 집전체 표면 상에 형성할 수 있고, 리튬 금속층의 증착 이후에도 덴드라이트 구조의 형성을 억제하고, 일정한 에너지 밀도와 안정성을 제공할 수 있다.

- [0039] 본 발명의 일 실시예에 따라, 상기 음극 집전체는, 집전체 기재; 비정질 질화붕소층; 및 금속 함유층을 포함할 수 있다.
- [0040] 본 발명의 일 실시예에 따라, 상기 집전체 기재는, Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금; 소성탄소; 및 스테인리스(stainless);로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있으며, 예를 들어, Cu, Ni, Ti, 스테인리스(stainless) 또는 Al을 포함하는 제1 성분; 및 Ni, Cu, Ti, V, Cr, Mn, Fe, Co, Zn, Mo, W, Ag, Au, Ru, Pt, Ir, Li, Al, Sn, Bi, Sb 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나 이상을 포함하는 제2 성분(제1 성분과 동일한 원소는 제외)을 포함할 수 있다. 상기 제2 성분은 상기 제1 성분과 동일한 원소를 포함하지 않으며, 상기 제1 성분과 혼성된 혼합물, 코팅, 합금, 복합체 등의 형태로 집전체 기재를 형성할 수 있다.
- [0041] 본 발명의 일 예로, 상기 집전체 기재는 포일, 박막, 필름 또는 시트일 수 있으며, 5  $\mu\text{m}$  내지 100  $\mu\text{m}$  두께를 포함할 수 있다. 상기 두께 범위 내에 포함되면 상기 집전체 기재의 높은 전기전도도에 의해 전자 전달이 유리하고, 리튬 친화적 표면 개질을 통해 고에너지 밀도의 리튬 금속 전지용 집전체로 활용할 수 있다.
- [0042] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층은, 상기 집전체 기재를 금속 친화적 표면으로 개질시키는 것으로, 집전체 표면의 핵생성 과전압(Nucleation overpotential)를 감소시켜 균일한 금속, 예를 들어, 리튬 핵생성을 구현하고, 균일하고 치밀한 구조의 금속 증착막, 예를 들어, 리튬 금속 증착막을 형성시킬 수 있다.
- [0043] 본 발명의 일 예로, 상기 비정질 질화붕소층은, 상기 집전체 기재의 적어도 일면의 적어도 일부분에 형성되는 것으로, 금속 함유층의 금속 친화도를 제어할 수 있다. 즉, 도 7을 참조하면, 비정질 질화붕소로 개질된 소재는, 핵생성 과전압(Nucleation overpotential)이 감소되고, 리튬친화도 개선을 통한 리튬핵 형성 저항 감소, 리튬 덴드라이트 형성 억제 및 균일한 리튬 증착이 가능할 뿐만 아니라, 높은 전류밀도에서도 균일한 리튬(층) 증착이 가능할 수 있다.
- [0044] 본 발명의 일 예로, 상기 비정질 질화붕소층의 두께는, 10 nm 이하; 5 nm 이하; 3 nm 이하; 1 nm 이하; 0.1 nm 내지 1 nm이거나 원자 두께일 수 있다. 예를 들어, 원자 두께의 적용에 의해서 금속 원자, 예를 들어, 리튬 원자의 흡착이 유리하고, 상기 집전체 기재 상에서부터 수직방향의 전자전도도의 조절이 가능하여 금속 함유층, 예를 들어, 리튬 금속층의 증착 속도를 조절하고, 균일하고 치밀한 리튬 금속층의 형성이 가능할 수 있다.
- [0045] 본 발명의 일 예로, 상기 비정질 질화붕소층은, 상기 언급한 두께 범위 또는 원자 두께의 평면 형상을 가지며, 이는 금속 원자를 흡착할 수 있는 두께의 비정질 질화붕소가 형성된 것이다.
- [0046] 본 발명의 일 실시예에 따라, 상기 금속 함유층은, 상기 비정질 질화붕소층 상의 적어도 일부분에 형성되며, 상기 비정질 질화붕소층 상에서 증착법으로 직성장되거나 전사된 것일 수 있다. 예를 들어, 리튬 금속층은, 상기 비정질 질화붕소층 상에서 리튬 핵 형성 저항이 크게 감소하여 덴드라이트 구조의 리튬 증착이 억제되어 균일한 리튬 금속 증착이 가능하고, 원자 단위 및 대면적의 균일한 리튬 핵생성이 가능하여 대면적 리튬 금속층이 형성될 수 있다. 또한, 상기 리튬 금속층은 균일하고 조밀한 형태로 증착되어 부반응이 억제되고, 고전류에서 리튬 덴드라이트의 형성 및 성장이 억제될 수 있다.
- [0047] 본 발명의 일 예로, 상기 금속 함유층은, 상기 비정질 질화붕소층으로 개질된 집전체 표면에 직성장되어 금속의 핵생성 과전압이 감소하며 집전체 표면에서 덴드라이트 구조가 억제된 평평하고 치밀한 구조의 금속 함유층이 형성될 수 있다. 즉, 조밀하고 평평한 구조의 평면막(planar flim)의 금속 함유층으로 형성되어 일정한 에너지 밀도와 안정성을 향상시킬 수 있다. 또한, 상기 금속 함유층은, 금속 덴드라이트 구조의 형성을 억제하여 미미하게 포함하거나 거의 없거나 금속 덴드라이트 구조-프리(free)일 수 일 수 있다. 상기 금속 함유층은, 균일하고 조밀한 막으로 형성되어 고전류에서 부반응이 억제되고, 전지의 구동에서 덴드라이트의 형성이 억제될 수 있다.
- [0048] 본 발명의 일 예로, 상기 금속 함유층은, 리튬(Li), 나트륨(Na), 알루미늄(Al), 칼슘(Ca), 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)으로 이루어진 군에서 선택된 적어도 하나 이상의 금속; 상기 금속(또는, 금속 원소) 함유 화합물, 금속(또는, 금속 원소) 함유 금속간 화합물 및 합금으로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있다. 예를 들어, 상기 금속(또는, 금속 원소) 함유 화합물은, 황화물, 할

로겐화물, 산화물 등일 수 있다.

- [0049] 본 발명의 일 예로, 상기 금속 함유층은, 리튬 금속층이며, 상기 리튬 금속층은, 리튬 금속, 리튬 함유 화합물, 리튬 함유 금속간 화합물 및 리튬 합금으로 이루어진 군에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0050] 예를 들어, 상기 리튬 함유 화합물은, 황화물, 할로겐화물, 산화물 등이며, 예를 들어, 황화리튬(예를 들어, LiS), 할로겐화 리튬(예를 들어, LiF), 리튬산화물(예를 들어, Li<sub>2</sub>O) 등일 수 있다.
- [0051] 예를 들어, 상기 리튬 합금 및 금속간 화합물은, 예를 들어, 리튬; 및 나트륨(Na), 알루미늄(Al), 칼슘(Ca), 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)로 이루어진 군에서 선택된 적어도 하나 이상; 을 포함할 수 있다.
- [0052] 예를 들어, 상기 리튬 금속층은, 나트륨(Na), 알루미늄(Al), 칼슘(Ca), 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 및 칼륨(K)으로 이루어진 군에서 선택된 적어도 하나 이상의 금속(또는, 원소)을 더 포함할 수 있다.
- [0053] 본 발명의 일 예로, 상기 금속 함유층의 두께는, 1 nm 내지 100 μm(마이크로미터); 10 nm 내지 50 μm; 또는 1 μm 내지 40 μm; 또는 10 μm 내지 35 μm 이거나 또는 원자 두께일 수 있다. 상기 두께 범위 내에 포함되거나 상기 범위 내에서 더 얇은 두께를 형성하여 셀단위 에너지 밀도를 높이는데 유리할 수 있다.
- [0054] 본 발명은, 금속 전지에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 리튬 금속 전지는, 음극부; 양극부; 및 상기 음극부 및 상기 양극부 사이의 전해질;을 포함할 수 있다. 상기 리튬 금속 전지는, 본 발명에 의한 음극 집전체를 적용하여 고에너지 밀도, 고안정성과 함께 장수명 특성을 나타낼 수 있다.
- [0055] 본 발명의 일 실시예에 따라, 상기 금속 전지는, 리튬(Li), 나트륨(Na), 알루미늄(Al), 칼슘(Ca), 은(Ag), 금(Au), 나트륨(Na), 아연(Zn), 마그네슘(Mg), 또는 칼륨(K)계 금속 전지일 수 있다.
- [0056] 본 발명의 일 실시예에 따라, 상기 음극은, 본 발명에 의한 음극 집전체를 포함하고, 상기 음극 집전체는, 상기 금속 함유층을 적용하여 무음극향 집전체일 수 있다.
- [0057] 본 발명의 일 실시예에 따라, 상기 전해질은, 본 발명의 기술 분야에서 알려진 금속 전지에 적용 가능한 전해질을 포함하고, 상기 음극 집전체의 금속 함유층과 상기 양극 사이에 형성되고, 액체 전해질, 고체 전해질 또는 이 둘을 포함할 수 있다. 상기 전해질과 양극 사이에 분리막을 더 포함할 수 있으며, 상기 분리막은 액체 전해질, 고체 전해질 또는 이 둘을 포함하고, 상기 전해질의 기능으로 적용될 수 있다.
- [0058] 본 발명의 일 예로, 상기 전해질은, 상기 금속 함유층 상에 접촉하는 무음극 금속 전지를 형성할 수 있고, 예를 들어, 무음극 리튬 금속 전지를 형성할 수 있다.
- [0059] 본 발명의 일 실시예에 따라, 상기 양극은, 본 발명의 기술 분야에서 알려진 금속 전지에 적용 가능한 것이라면 제한 없이 적용될 수 있으며, 산화물, 황화물 등의 고용량 양극일 수 있다. 상기 양극은 양극 집전체를 더 포함할 수 있다.
- [0060] 본 발명의 일 예로, 상기 금속 전지는 본 발명의 목적 및 범위를 벗어나지 않는다면 본 발명의 기술분야에서 알려진 작동 및 구동을 위한 구성이 도입될 수 있으며, 본 명세서에는 구체적으로 언급하지 않는다.
- [0061] 본 발명은, 본 발명에 의한 음극 집전체의 제조방법에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 제조방법은, 비정질 질화붕소로 집전체 기재의 표면을 금속 친화적으로 개질하고, 상기 집전체 상에 금속 함유층을 직 성장하여 균일하고 치밀하면서 덴드라이트 구조의 생성이 억제된 금속 함유막을 형성할 수 있다.
- [0062] 본 발명의 일 실시예에 따라, 상기 제조방법은, 집전체 기재를 준비하는 단계; 상기 집전체 기재의 적어도 일면의 적어도 일부분에 비정질 질화붕소층을 형성하는 단계; 및 상기 비정질 질화붕소층 상의 적어도 일부분에 금속 함유층을 형성하는 단계;를 포함할 수 있다.
- [0063] 본 발명의 일 실시예에 따라, 상기 비정질 질화붕소층을 형성하는 단계는, 물리적인 방법 또는 화학적인 방법으로 형성될 수 있다. 예를 들어, 상기 물리적인 방법은, 상기 집전체 상에 비정질 질화붕소층을 전사하는 단계를 포함할 수 있으며, 별도의 기질에서 성장된 이차원물질을 전기적 박리방법으로 이차원물질을 박리하여 집전체 기재 상에 전사할 수 있으며, 상기 전사하는 단계는 본 발명의 기술 분야에서 알려진 전사 방법을 적용할 수 있으며, 본 명세서에는 구체적으로 언급하지 않는다.
- [0064] 예를 들어, 상기 화학적인 방법은, 집전체 상에서 증착법으로 비정질 질화붕소층을 직성장시키는 단계를 포함할

수 있으며, 화학적기상증착법(CVD, chemical vapor deposition)을 이용하여 집전체 기재 상에 비정질 질화붕소를 직성장할 수 있다. 상기 화학적인 방법은, 원자층 증착(ALD, Atomic layer deposition), 플라즈마 원자층 증착법, 플라즈마 강화 화학적 기상증착(PECVD, Plasma Enhanced Chemical Vapor Deposition) 등을 더 이용할 수 있다.

[0065] 예를 들어, 상기 비정질 질화붕소층을 형성하는 단계는, 실온 내지 700 °C; 실온 내지 500 °C; 50 °C 내지 500 °C; 100 °C 내지 500 °C; 또는 100 °C 내지 450 °C; 온도에서 이루어질 수 있다. 또한, 대기압 또는 진공 상태에서 성장될 수 있다.

[0066] 본 발명의 일 실시예에 따라, 상기 금속 함유층을 형성하는 단계는, 상기 비정질 질화붕소층 상에 증착법으로 금속 함유층을 직성장시키는 것으로, 전기증착 (electrochemical deposition), 물리적 흡착 (press 등), 합금화(예를 들어, “melting & alloy” 와 같이 녹여서 합금화 반응) 등으로 상기 비정질 질화붕소층으로 표면 개질된 집전체 기재 상에 직성장시킬 수 있다.

[0067] 예를 들어, 상기 금속 함유층을 형성하는 단계는, 실온 내지 100 °C; 실온 내지 90 °C; 실온 내지 50 °C; 실온 내지 40 °C 온도에서 이루어질 수 있다. 또한, 대기압 또는 진공 상태에서 성장될 수 있다.

[0068] 본 발명은, 본 발명에 의한 음극 집전체 또는 음극 집전체의 제조방법을 도입하거나 활용한 금속 전지의 제조방법을 제공할 수 있다. 예를 들어, 상기 음극 집전체를 준비하는 단계; 전해질 및/또는 분리막 준비하는 단계; 양극을 준비하는 단계; 및 상기 음극 집전체, 전해질 및/또는 분리막 및 양극을 순서로 배치하여 연결, 결합, 부착 및/또는 압착하는 단계를 포함할 수 있다.

[0069] 본 발명의 바람직한 실시예를 참조하여 설명하지만, 본 발명은 이에 한정되는 것이 아니고, 하기의 특허 청구의 범위, 발명의 상세한 설명 및 첨부된 도면에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있다.

[0070] **실시예**

[0071] **제조예 1**

[0072] 비정질 질화붕소 원자 두께의 Monolayer를 제조하고 집전체 상에 전사하였다.

[0073] **제조예 2**

[0074] Cu 포일 상에 비정질 질화붕소를 PECVD 증착법(온도: 500 °C 및 압력: 120 mTorr)으로 직성장하여 원자 두께의 비정질 질화붕소 막을 Cu 집전체 표면에 형성하였다.

[0075] **제조예 3**

[0076] 리튬 금속 - 음극 집전체로 구성된 전기화학 셀 제작

[0077] 제조예 1 내지 3에서 제조된 음극 집전체에서 비정질 질화붕소 막이 형성된 면에 전기화학 증착 방식을 통해 원하는 두께의 리튬 금속 층을 음극 집전체 위에 증착시켜 제조하였다. 다음으로, 분리막 및 전해질을 추가하였다.

[0078] 집전체: Pristine Cu, a-BN Monolayer/Cu

[0079] 전해질 : 1 M LiTFSI in 1,3-dioxolane (DOL)/1,2-dimethoxyethane (DME) = 1/1 (v/v) + 2 wt% LiNO<sub>3</sub>

[0080] 상기 제조된 집전체에 관한 표면 특성 및 결정학적 특성을 분석하여 도 1 내지 도 6에 나타내었다.

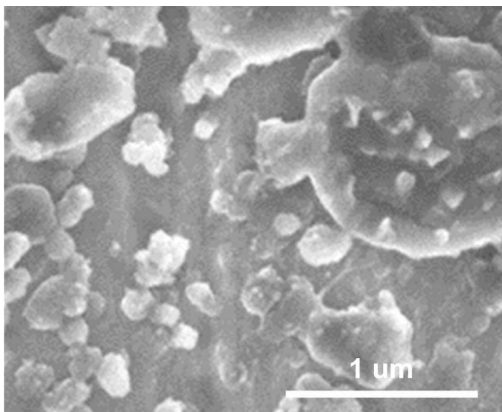
[0081] 도 1a 내지 도 1c는, 본 발명의 일 실시예에 따라, 리튬 금속의 증착 표면에 대한 SEM 이미지를 나타낸 것으로, 도 1a는 Pristine Cu, 도 1b는 a-BN (1 nm)/Cu 및 a-BN (3 nm)/Cu에 Li 금속 (0.1 mAh/cm<sup>2</sup>)을 전기화학 증착 후의 SEM 이미지로 표면 모폴로지를 비교하였다. a-BN (1 nm)/Cu에서 가장 균일한 Li 금속 증착이 이루어진 것을 확인할 수 있다.

[0082] 즉, Cu 집전체에 형성된 리튬층의 이미지는 덴드라이트 구조를 가지는 것과 달리, a-BN (1 nm)/Cu에 형성된 리튬층의 이미지는 덴드라이트 구조가 거의 형성되지 않음을 확인할 수 있다. 이는 비정질 질화붕소가 코팅된 Cu 집전체는 리튬 핵 형성 저항이 감소하여, 덴드라이트 구조의 리튬이 없는 치밀하고 평평한 리튬층을 집전체 표면에 형성할 수 있는 것을 알 수 있다.

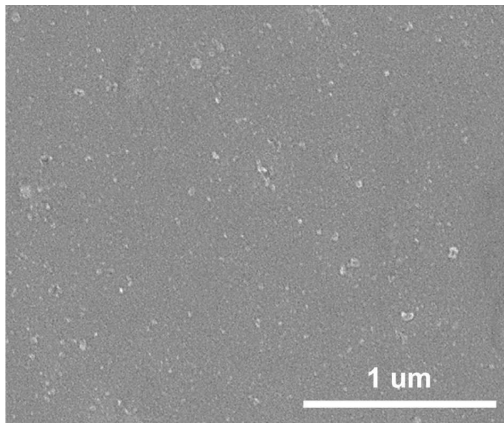
- [0083] 도 2a 내지 도 2b는, Cu 집전체 상에서 성장된 비정질 질화붕소 필름을 SiO<sub>2</sub> 표면에 전사한 이후 광학현미경 이미지 및 주사전자현미경 이미지를 나타낸 것으로, 결정성이 없이 비정질 특성을 갖는 것을 확인할 수 있다.
- [0084] 도 3은, 본 발명의 일 실시예에 따라, 비정질 질화붕소 필름의 여러 위치에서 라만 분광학 결과를 나타낸 것으로, 라만 분광학 결과에서 비정질 질화붕소 필름이 결정성이 없음을 확인할 수 있다.
- [0085] 도 4는, Cu 집전체 상에 증착된 비정질 질화붕소에서 증착 시간에 따른 증착된 비정질 질화붕소 증착막의 두께 변화를 원자간력 현미경 데이터로 나타낸 것으로, (a) PECVD으로 30 분 증착한 비정질 질화붕소의 증착막 표면 및 1.40 nm의 막두께, (b) PECVD으로 40 분 증착한 비정질 질화붕소의 증착막 표면 및 1.79 nm의 막두께 및 (c) PECVD으로 60분 증착한 비정질 질화붕소의 증착막 표면 및 2.73 nm의 막두께이다.
- [0086] 도 5a 내지 도 5c는, Cu 집전체에 증착된 비정질 질화붕소 박막을 X 선 광전자 분광법으로 측정된 B 1s 스펙트럼, N 1s 스펙트럼 및 Cu 2p 스펙트럼에서 비정질 질화붕소가 형성된 것을 확인할 수 있다.
- [0087] 도 6은, 본 발명의 일 실시예에 따라, 비정질 질화붕소 박막의 흡수분광학 측정결과이며, 190 nm 파장의 빛 흡수는 비정질 질화붕소가 형성됨을 확인할 수 있다.
- [0088] 본 발명은, 원자 두께(10 nm 이하)의 리튬친화적 소재로 표면처리된 음극 집전체를 제공하고, 상기 음극 집전체 표면의 리튬친화도 개선을 통해 리튬금속의 증착 시 리튬핵 형성 저항을 감소시키고, 리튬 덴드라이트 구조의 리튬 증착을 억제할 뿐만 아니라 균일한 리튬 증착과 높은 전류밀도에서도 균일한 리튬 증착이 가능한 음극 집전체를 제공할 수 있다. 또한, 상기 음극 집전체는, 일정한 에너지밀도와 안정성을 가지며, 고에너지밀도 리튬금속 전지의 무음극향 집전체로 활용될 수 있다.
- [0089] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

**도면**

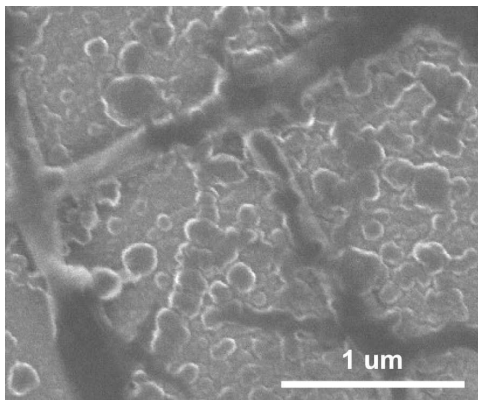
**도면1a**



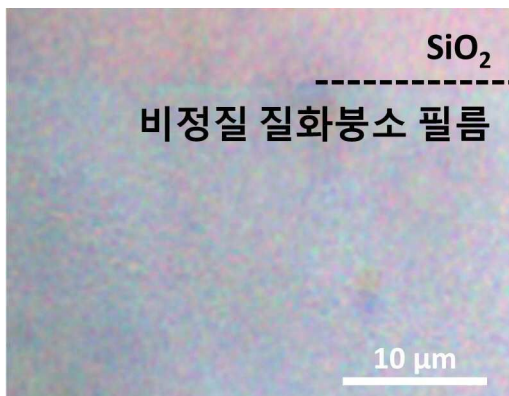
도면1b



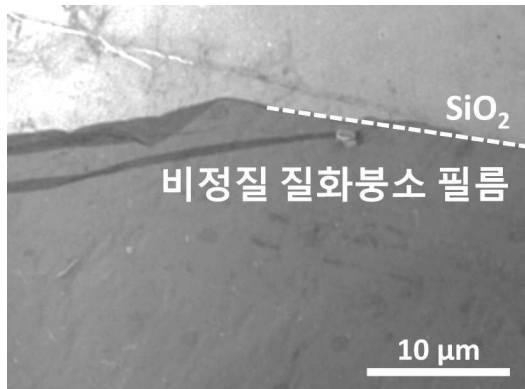
도면1c



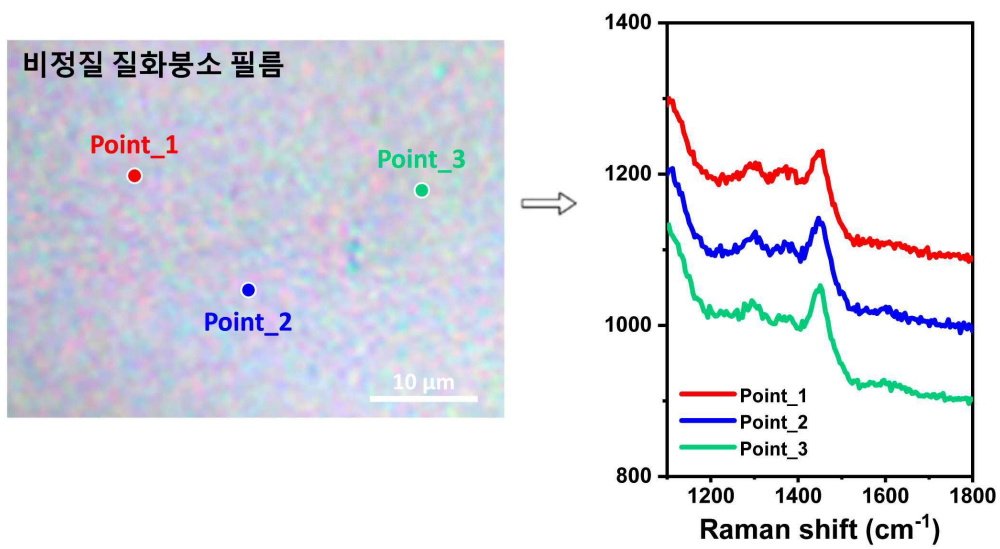
도면2a



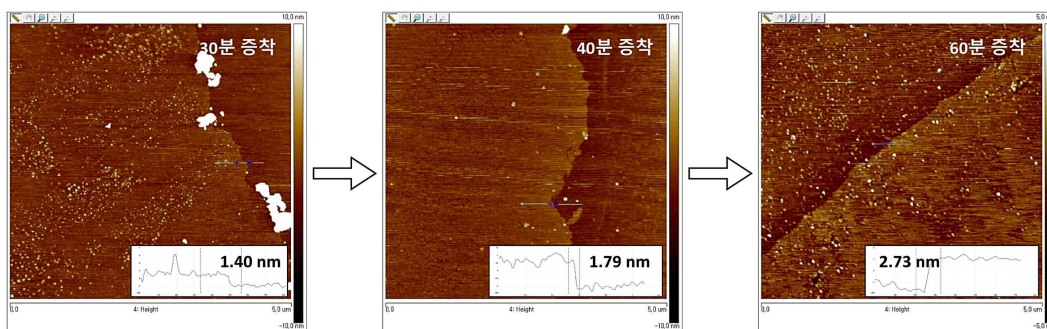
도면2b



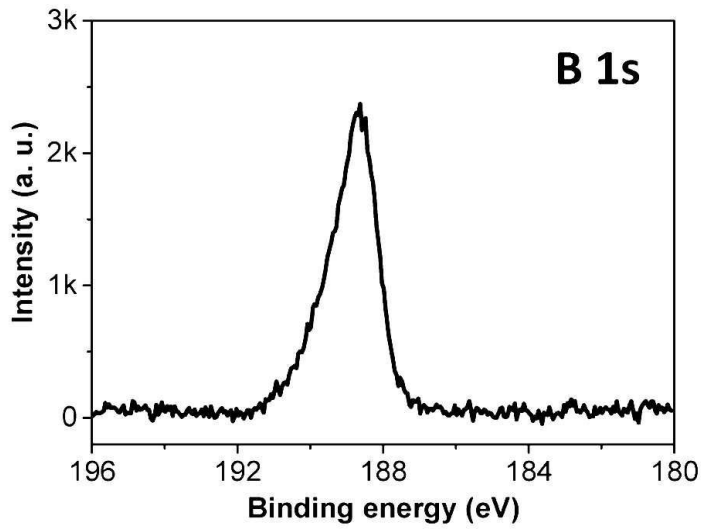
도면3



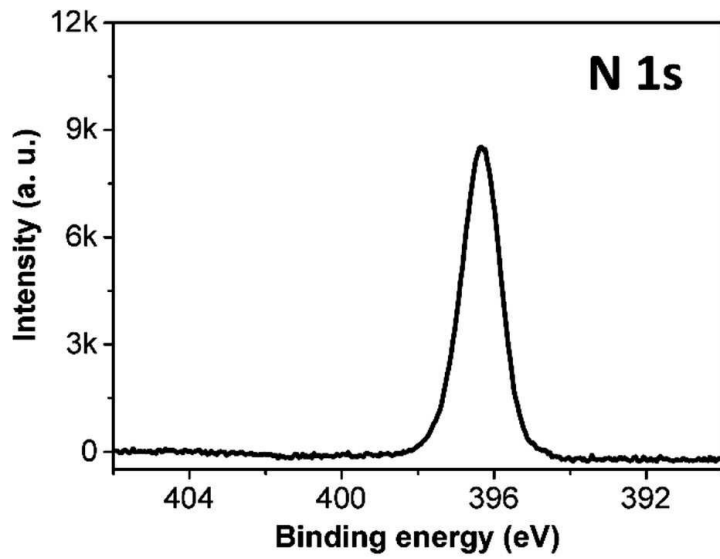
도면4



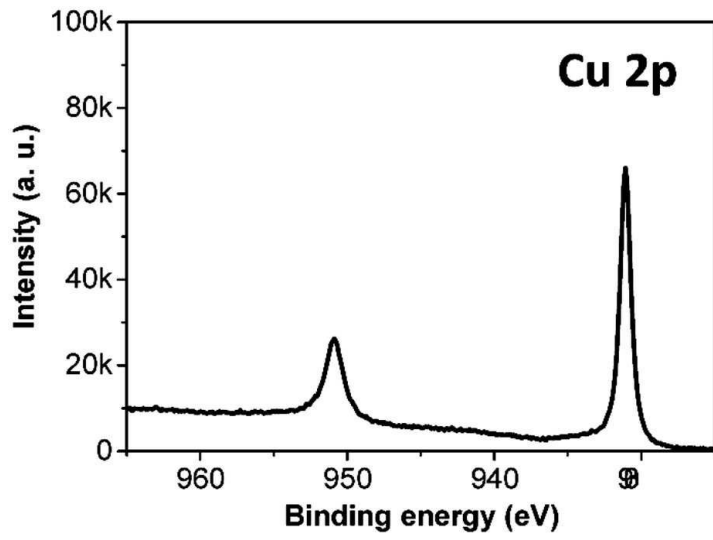
도면5a



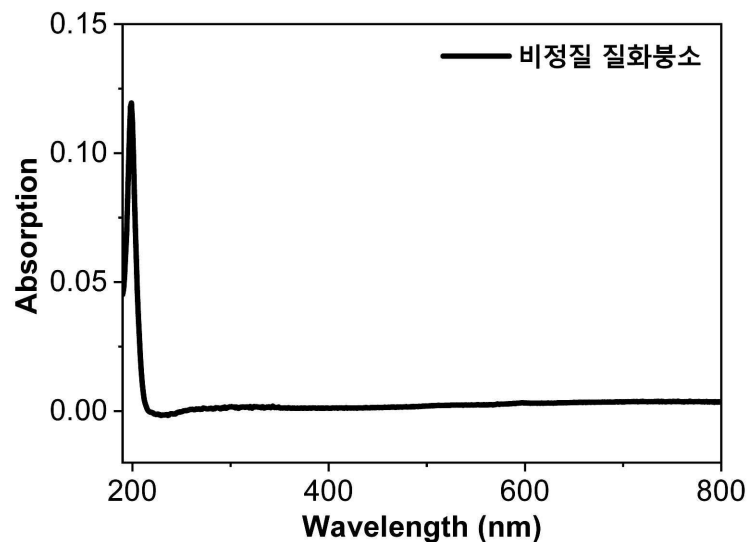
도면5b



도면5c



도면6



도면7

