



(12) 发明专利申请

(10) 申请公布号 CN 102097413 A

(43) 申请公布日 2011.06.15

(21) 申请号 200910201199.3

(22) 申请日 2009.12.15

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72) 发明人 周清华 杨莉娟 何莲群

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李丽

(51) Int. Cl.

H01L 23/544(2006.01)

H01L 21/66(2006.01)

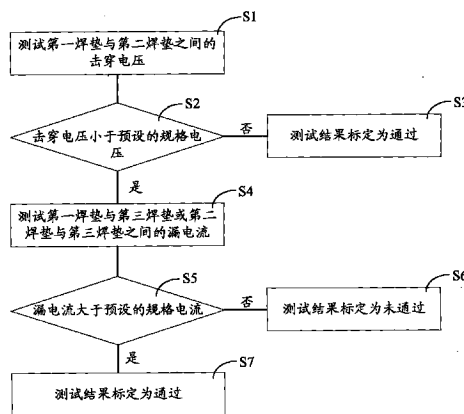
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

栅氧化层和介质层完整性的测试结构及测试方法

(57) 摘要

一种栅氧化层和介质层完整性的测试结构及测试方法,所述栅氧化层完整性的测试方法包括:通过第一焊垫与第二焊垫对栅氧化层的完整性进行测试,若测试通过,则测试结果标定为通过,并结束测试;否则,测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题,若存在短路问题,则测试结果标定为通过,并结束测试;若不存在短路问题,则测试结果标定为未通过,并结束测试。本发明排除了金属互连层中的短路问题对测试结果的干扰,提高了栅氧化层和介质层完整性测试的测试精度。



1. 一种栅氧化层完整性的测试结构,包括:依次位于衬底上的栅氧化层、栅电极、连接所述衬底的第一连接垫、连接所述栅电极的第二连接垫以及与所述第一连接垫和第二连接垫之间均具有间隔的第三连接垫,其中所述第一连接垫、第二连接垫、第三连接垫形成于同一介质层中;第一焊垫,连接于所述第一连接垫;第二焊垫,连接于所述第二连接垫;其特征在于,还包括第三焊垫,连接于所述第三连接垫。

2. 根据权利要求1所述的栅氧化层完整性的测试结构,其特征在于,所述第一连接垫、第二连接垫、第三连接垫下形成有接触孔。

3. 根据权利要求1所述的栅氧化层完整性的测试结构,其特征在于,所述第三连接垫和第三焊垫分别为另一测试结构中的第二连接垫和第二焊垫。

4. 根据权利要求3所述的栅氧化层完整性的测试结构,其特征在于,所述第三连接垫和第三焊垫分别为相邻测试结构中的第二连接垫和第二焊垫。

5. 一种使用权利要求1至4中任一项所述的测试结构的栅氧化层完整性的测试方法,其特征在于,包括:

通过第一焊垫与第二焊垫对栅氧化层的完整性进行测试,若测试通过,则测试结果标定为通过;

否则,测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题,若存在短路问题,则测试结果标定为通过;若不存在短路问题,则测试结果标定为未通过。

6. 根据权利要求5所述的栅氧化层完整性的测试方法,其特征在于,所述通过第一焊垫与第二焊垫对栅氧化层完整性进行测试包括:测试第一焊垫与第二焊垫之间的击穿电压,若击穿电压高于规格电压,则测试通过;否则测试未通过。

7. 根据权利要求5所述的栅氧化层完整性的测试方法,其特征在于,所述测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题包括:测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间的漏电流,若漏电流高于规格电流,则存在短路问题,测试结果标定为通过;否则不存在短路问题,测试结果标定为未通过。

8. 一种介质层完整性的测试结构,所述介质层之上形成有金属互连层,所述测试结构包括:第一电极和第二电极,形成于所述介质层中;连接所述第一电极的第一连接垫、连接所述第二电极的第二连接垫以及与所述第一连接垫和第二连接垫之间均具有间隔的第三连接垫,所述第一连接垫、第二连接垫和第三连接垫形成于所述金属互连层中;第一焊垫,连接所述第一连接垫;第二焊垫,连接所述第二连接垫;其特征在于,还包括第三焊垫,连接所述第三连接垫。

9. 根据权利要求8所述的介质层完整性的测试结构,其特征在于,所述第一连接垫、第二连接垫、第三连接垫下形成有栓塞。

10. 根据权利要求8所述的介质层完整性的测试结构,其特征在于,所述第三连接垫和第三焊垫分别为另一测试结构中的第一连接垫和第一焊垫,或者分别为另一测试结构中的第二连接垫和第二焊垫。

11. 根据权利要求10所述的介质层完整性的测试结构,其特征在于,所述第三连接垫和第三焊垫分别为相邻测试结构中的第一连接垫和第一焊垫,或者分别为相邻测试结构中的第二连接垫和第二焊垫。

12. 一种使用权利要求8至11任一项所述的测试结构的介质层完整性的测试方法,其

特征在于,包括:

通过第一焊垫与第二焊垫对介质层的完整性进行测试,若测试通过,则测试结果标定为通过,并结束测试;

否则,测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题,若存在短路问题,则测试结果标定为通过,并结束测试;若不存在短路问题,则测试结果标定为未通过,并结束测试。

13. 根据权利要求 12 所述的介质层完整性的测试方法,其特征在于,所述通过第一焊垫与第二焊垫对介质层完整性进行测试包括:测试第一焊垫与第二焊垫之间的击穿电压,若击穿电压高于规格电压,则测试通过;否则测试未通过。

14. 根据权利要求 12 所述的介质层完整性的测试方法,其特征在于,所述测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题包括:测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间的漏电流,若漏电流高于规格电流,则存在短路问题,测试结果标定为通过;否则不存在短路问题,测试结果标定为未通过。

栅氧化层和介质层完整性的测试结构及测试方法

技术领域

[0001] 本发明涉及半导体测试领域,特别涉及一种栅氧化层完整性的测试结构及测试方法和一种介质层完整性的测试结构及测试方法。

背景技术

[0002] 在半导体器件的制造过程中,为了对制造工艺进行监控,保证半导体器件的可靠性,通常的做法是在器件中形成测试结构(testkey),用于一些关键参数的测试。在CMOS工艺中,栅氧化层(gate oxide)是器件结构中的重要结构,栅氧化层应该是一个理想的介质层,其中没有影响其绝缘特性的缺陷,但是,在制造过程中如离子扩散侵入、俘获电荷等因素都会影响栅氧化层的质量。

[0003] 栅氧化层完整性(gate oxide integrity,简称GOI)测试是验证栅氧化层质量的测试过程。在半导体器件的制造过程中,一般都要形成专门的测试结构用于栅氧化层完整性测试,检测栅氧化层中是否存在缺陷,防止栅氧化层缺陷造成器件的可靠性下降。类似的,在互连结构形成之后,需要对相邻互连结构之间的介质层的完整性测试,防止由于离子扩散等缺陷造成介质层的击穿电压下降,使得器件的可靠性下降。

[0004] 图1给出了现有技术的一种栅氧化层完整性的测试结构。首先提供待测器件,所述待测器件中形成有MOS晶体管,所述MOS晶体管主要包括衬底100、栅氧化层101、栅电极102以及源极和漏极(图中未示出);所述测试结构主要包括焊垫103和焊垫104,焊垫103连接于所述衬底100;焊垫104连接于所述栅电极。在进行栅氧化层完整性测试时,在所述焊垫103和焊垫104之间施加电压,以测量所述栅氧化层101的击穿电压(voltage breakdown,简称Vbd),若击穿电压较高,高于规格电压,则表明栅氧化层101中并没有缺陷,测试通过;相反,如果击穿电压低于规格电压,则表明栅氧化层101中存在缺陷,测试未通过。

[0005] 专利号为ZL200510030381的中国专利中公开了一种栅氧化层完整性的测试结构,主要包括:多根多晶硅栅线,解码器和一个焊垫,其中,多晶硅栅线相当于之前所述的栅电极。在测试过程中,将全部多晶硅栅线连接到解码器,并通过解码器连接至所述焊垫,通过解码器选择需要测试的多晶硅栅线。上述公开的方案中虽然没有提到连接至衬底的焊垫,但实际上仍然是用2个焊垫来进行栅氧化层完整性测试。在测试过程中,通过解码器将焊垫连接至不同的多晶硅栅线逐一进行测试,从而确定故障的位置。

[0006] 但实际上,所述测试结构的焊垫并不是直接连接至所述栅电极和衬底的,而是通过器件中的金属互连层间接连接至栅电极和衬底的。如图2所示,衬底100中形成有MOS晶体管,所述MOS晶体管包括栅氧化层101、栅电极102、源极和漏极(图中未示出),在所述MOS晶体管之上形成有金属互连层110,图2只是示意图,所述金属互连层110可以是第一金属互连层,也可以是其他金属互连层,如第二金属互连层。所述金属互连层110中形成有连接垫110a和110b,连接垫下还形成有栓塞,分别与所述衬底100和栅电极102连接。焊垫103通过所述连接垫110a连接至MOS晶体管的衬底100,焊垫104通过所述连接垫110b

连接至 MOS 晶体管的栅电极 102。因此,如果金属互连层 110 中存在有缺陷,将会影响栅氧化层完整性测试的测试结果。如果测试过程中焊垫 103 和焊垫 104 之间的击穿电压很小,测试结果未通过,则其原因既可能是栅氧化层 101 中存在缺陷,也可能是金属互连层 110 中有缺陷,如连接垫 110a 与 110b 之间存在桥接 (bridging) 缺陷,如图 3 所示,金属互连层 110 之上有残留的金属,导致连接垫 110a 与 110b 之间短路,从而使得焊垫 103 和 104 之间也发生短路。在实际的测试过程中,为了判断测试未通过的真实原因是在于栅氧化层还是金属互连层,需要进行失效分析 (failure analysis, 简称 FA), 需要花费大量的时间、人力和设备成本。

发明内容

[0007] 本发明解决的问题是提供一种栅氧化层和介质层完整性的测试结构及测试方法,避免金属互连层缺陷对测试结果的干扰,改善栅氧化层和介质层完整性的测试精度。

[0008] 本发明提供了一种栅氧化层完整性的测试结构,包括:依次位于衬底上的栅氧化层、栅电极、连接所述衬底的第一连接垫、连接所述栅电极的第二连接垫以及与所述第一连接垫和第二连接垫之间均具有间隔的第三连接垫,其中所述第一连接垫、第二连接垫、第三连接垫形成于同一介质层中;第一焊垫,连接于所述第一连接垫;第二焊垫,连接于所述第二连接垫;其特征在于,还包括第三焊垫,连接于所述第三连接垫。

[0009] 可选的,所述第一连接垫、第二连接垫、第三连接垫下形成有接触孔。

[0010] 可选的,所述第三连接垫和第三焊垫分别为另一测试结构中的第二连接垫和第二焊垫。

[0011] 可选的,所述第三连接垫和第三焊垫分别为相邻测试结构中的第二连接垫和第二焊垫。

[0012] 本发明还提供了一种使用上述测试结构的栅氧化层完整性的测试方法,包括:

[0013] 通过第一焊垫与第二焊垫对栅氧化层的完整性进行测试,若测试通过,则测试结果标定为通过,并结束测试;

[0014] 否则,测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题,若存在短路问题,则测试结果标定为通过,并结束测试;若不存在短路问题,则测试结果标定为未通过,并结束测试。

[0015] 可选的,述通过第一焊垫与第二焊垫对栅氧化层完整性进行测试包括:测试第一焊垫与第二焊垫之间的击穿电压,若击穿电压高于规格电压 (specification voltage),则测试通过;否则测试未通过。

[0016] 可选的,所述测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题包括:测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间的漏电流,若漏电流高于规格电流 (specification current),则存在短路问题,测试结果标定为通过;否则不存在短路问题,测试结果标定为未通过。

[0017] 为了解决上述问题,本发明还提供了一种介质层完整性的测试结构,所述介质层之上形成有金属互连层,所述测试结构包括:第一电极和第二电极,形成于所述介质层中,连接所述第一电极的第一连接垫、连接所述第二电极的第二连接垫以及与所述第一连接垫和第二连接垫之间均具有间隔的第三连接垫,所述第一连接垫、第二连接垫和第三连接垫

形成于所述金属互连层中；第一焊垫，连接所述第一连接垫；第二焊垫，连接所述第二连接垫；其特征在于，还包括第三焊垫，连接所述第三连接垫。

[0018] 可选的，所述第一连接垫、第二连接垫、第三连接垫下形成有栓塞。

[0019] 可选的，所述第三连接垫和第三焊垫分别为另一测试结构中的第二连接垫和第二焊垫。

[0020] 可选的，所述第三连接垫和第三焊垫分别为相邻测试结构中的第一连接垫和第一焊垫，或者分别为相邻测试结构中的第二连接垫和第二焊垫。

[0021] 本发明还提供了一种使用上述测试结构的介质层完整性的测试方法，包括：

[0022] 通过第一焊垫与第二焊垫对介质层的完整性进行测试，若测试通过，则测试结果标定为通过，并结束测试；

[0023] 否则，测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题，若存在短路问题，则测试结果标定为通过，并结束测试；若不存在短路问题，则测试结果标定为未通过，并结束测试。

[0024] 可选的，所述通过第一焊垫与第二焊垫对介质层完整性进行测试包括：测试第一焊垫与第二焊垫之间的击穿电压，若击穿电压高于规格电压，则测试通过；否则测试未通过。

[0025] 可选的，所述测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间是否存在短路问题包括：测试第一焊垫与第三焊垫之间或第二焊垫与第三焊垫之间的漏电流，若漏电流高于规格电流，则存在短路问题，测试结果标定为通过；否则不存在短路问题，测试结果标定为未通过。

[0026] 上述公开的技术方案中，与现有技术相比增加了一个焊垫，在常规完整性测试未通过时，通过使用增加的焊垫对金属互连层进行测试，排除了金属互连层中的短路问题对测试结果的干扰，提高了栅氧化层和介质层完整性测试的测试精度。

附图说明

[0027] 图 1 至图 3 是现有技术的栅氧化硅层完整性的测试结构的剖面结构示意图；

[0028] 图 4 是本发明实施例的栅氧化层完整性的测试结构的结构示意图；

[0029] 图 5 是本发明实施例的栅氧化层完整性的测试方法的流程示意图；

[0030] 图 6 是本发明实施例的介质层完整性的测试结构的结构示意图。

具体实施方式

[0031] 在实际生产中，如图 3 所示，测试结构的焊垫 103 和 104 是通过金属互连层中的连接垫 110a 和 110b 间接连接于 MOS 晶体管的栅电极 102 和衬底 100 的。而所述连接垫 110a 和 110b 的形成过程主要包括：在介质层中形成开口；在所述开口中填充金属，形成栓塞及栓塞上的连接垫，在填充过程中，有部分金属溢出所述开口覆盖在介质层表面；通过化学机械抛光（CMP）研磨去除覆盖在介质层表面的金属，完成金属互连层的形成过程。在化学机械抛光过程中，如果抛光后有残留的金属覆盖在介质层表面，如图 3 所示，会造成金属互连层内的连接垫之间存在桥接缺陷，干扰栅氧化层完整性的测试结果。经过发明人研究发现，在化学机械抛光过程中，晶圆周边的区域较容易发生抛光残留现象，造成金属互连层中存

在桥接缺陷,干扰栅氧化层完整性测试的测试结果。经发明人统计,栅氧化层完整性测试未通过的情况中,有 30%是由于金属互连层的桥接缺陷造成的,并非栅氧化层本身存在缺陷,因此,需要改进现有的测试结构和测试方法,排除金属互连层中的缺陷对测试结果的干扰,改善测试精度。

[0032] 本发明提供了一种栅氧化层和介质层完整性的测试结构和测试方法,增加了一个焊垫,在常规测试未通过时,通过使用增加的焊垫对金属互连层进行测试,排除了金属互连层中的短路问题对测试结果的干扰,提高了栅氧化层和介质层完整性测试的测试精度。

[0033] 为使本发明的方法、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0034] 图 4 给出了本发明实施例的栅氧化层完整性的测试结构的结构示意图。

[0035] 如图 4 所示,包含所述测试结构的器件中形成有 MOS 晶体管及介质层 210,所述 MOS 晶体管包括衬底 200、栅氧化层 201、栅电极 202、源极和漏极(未示出),所述介质层 210 中形成有第一连接垫 210a、第二连接垫 210b 和第三连接垫 210c,在本实施例中上述三个连接垫下形成有接触孔(contact)210d、210e、210f,其中所述第二连接垫 210b 通过接触孔 210e 连接于所述栅电极 202,所述第一连接垫 210a 通过接触孔 210d 连接于所述衬底 200,所述第三连接垫 210c 与所述第一连接垫 210a 和第二连接垫 210b 之间有间隔,且其下的接触孔 210f 与所述衬底 200 之间无接触,使其与所述栅电极 201 和衬底 200 之间无电性连接,在本实施例中所述第三连接垫 210c 下形成有接触孔 210f,在本发明的其他实施例中,所述第三连接垫 210c 可以为单独的连接垫结构,下方并不形成有接触孔。栅氧化层完整性的测试结构还包括:第一焊垫 203,通过第一连接垫 210a 与所述栅电极 202 连接;第二焊垫 204,通过第二连接垫 210b 与所述衬底 200 连接;第三焊垫 205,与所述第三连接垫 210c 连接,所述第三焊垫 205 与所述栅电极 202 和衬底 200 之间绝缘。

[0036] 在实际工艺中,所述第三连接垫 210c 可以通过其下的接触孔 210f 连接于其他相邻 MOS 晶体管的源极、漏极或栅电极,也可以连接于图 4 中所示晶体管的源极或漏极。

[0037] 另外,所述第三焊垫 205 和第三连接垫 210c 可以分别是其他测试结构的第二焊垫和第二连接垫,即与栅电极相连的焊垫和连接垫,使用这种方法,可以复用不同测试结构间的焊垫和连接垫,而不需要为每个测试结构单独制造一第三焊垫,降低了复杂性,减小了成本。作为一个优选的方案,所述第三焊垫 205 和第三连接垫 210c 分别优选为相邻测试结构的第二焊垫和第二连接垫。

[0038] 本实施例中,所述介质层 210 为第一金属互连层中的介质层,在本发明的其他实施例中,也可以为其他介质层。

[0039] 图 5 给出了本发明实施例的栅氧化层完整性的测试方法的结构示意图,下面结合图 4 和 5 对本实施例进行详细说明。

[0040] 参考图 4 和图 5,执行步骤 S1,测试第一焊垫 203 与第二焊垫 204 之间的击穿电压。具体包括:在所述第一焊垫 203 和第二焊垫 204 之间连接一电压源,并逐步增大所述电压源的输出电压,以测得击穿电压。由于所述第一焊垫 203 连接于所述栅电极 202,第二焊垫 204 连接于所述衬底 200,因此,本步骤是通过第一焊垫 203 和第二焊垫 204 对栅氧化层 201 的完整性进行测试,与现有技术相同。

[0041] 执行步骤 S2,判断所述击穿电压是否小于规格电压。如果击穿电压较大,大于规格

电压,则表明所述栅氧化层 201 中并没有缺陷,执行步骤 S3,将测试结果标定为通过,并结束所述栅氧化层完整性测试;如果击穿电压较小,则表明栅氧化层 201 中存在缺陷,或是第一连接垫 210a 和第二连接垫 210b 之间存在桥接缺陷造成的短路,在这种情况下,则继续执行步骤 S4。

[0042] 参考图 4 和图 5,执行步骤 S4,测试第一焊垫 203 与第三焊垫 205 或第二焊垫 204 与第三焊垫 205 之间的漏电流。具体包括:在所述第一焊垫 203 与第三焊垫 205 之间或者第二焊垫 204 与第三焊垫 205 之间施加一固定电压,并测量相应的漏电流。由于所述第三焊垫 205 与所述栅电极 202 和衬底 200 之间没有电性连接,彼此之间为绝缘,因此,本步骤相当于是对介质层 210 中的金属互连结构进行测试,检测其内部的连接垫 210a、210b 和 210c 之间是否存在短路问题,防止介质层 210 中连接垫之间的桥接缺陷对所述栅氧化层完整性测试的结果造成干扰。

[0043] 执行步骤 S5,判断所述漏电流是否大于规格电流。如果漏电流较大,大于规格电流,则表明所述介质层 210 内部的连接垫 210a、210b 和 210c 之间存在桥接缺陷造成的短路问题,导致了之前步骤 S1 中测得的击穿电压过小,因此,所述栅氧化层 201 的完整性并没有问题,执行步骤 S7,将测试结果标定为通过,并结束测试。如果漏电流较小,小于规格电流,则表明所述介质层 201 中的连接垫之间并不存在桥接缺陷造成的短路问题,表明之前步骤 S1 中测得的击穿电压过小是由栅氧化层 201 的缺陷造成的,执行步骤 S6,将测试结果标定为未通过,并结束测试。

[0044] 需要说明的是,根据待测器件的尺寸和具体工艺,测试过程中用于判断测试是否通过的规格电流和规格电压会有较大差别,因此,在本实施例中并没有对其数值做过多的涉及。

[0045] 图 6 给出了本发明实施例的介质层完整性的测试结构的结构示意图。

[0046] 如图 6 所示,提供半导体基底 300,所述半导体基底 300 上形成有介质层 301 和金属互连层 310,所述介质层 301 内形成有栓塞等金属互连结构,在介质材料两侧构成了第一电极 301a 和第二电极 301b;所述金属互连层 310 内形成有第一连接垫 310a、第二连接垫 310b 和第三连接垫 310c,其中第一连接垫 310a 和第二连接垫 310b 分别通过其下的栓塞 310d、310e 连接于所述第一电极 301a 和第二电极 301b,第三连接垫 310c 与所述第一连接垫 310a 和第二连接垫 310b 之间都有间隔,本实施例中所述第三连接垫 310c 下也形成有栓塞 310f,但其并未连接于所述第一电极 301a 和第二电极 301b,使其与所述第一电极 301a 和第二电极 301b 之间无电性连接。所述测试结构还包括:第一焊垫 302,通过所述第一连接垫 310a 与所述第一电极 301a 连接;第二焊垫 303,通过所述第二连接垫 310b 与所述第二电极 301b 连接;第三焊垫 304,与所述第三连接垫 310c 连接,且与所述第一电极 301a 和第二电极 301b 之间无电性连接。与之前所述的栅氧化层完整性的测试结构类似,所述第三焊垫 304 和第三连接垫 310c 可以是其他测试结构(如相邻的测试结构)的第一焊垫和第一连接垫或者第二焊垫和第二连接垫,从而降低所述测试结构的复杂性。

[0047] 本实施例的介质层完整性的测试方法的具体步骤可以参考图 5,主要包括:通过第一焊垫 302 和第二焊垫 303 对所述介质层的完整性进行测试,如果未通过测试,则表明介质层 301 本身有缺陷或是金属互连层 310 内存在桥接缺陷造成第一连接垫 310a 与第二连接垫 310b 之间的短路问题;之后通过第一焊垫 302 和第三焊垫 304 或是第二焊垫 303 和第

三焊垫 304 来测试金属互连层 310 中是否存在短路现象,用以排除金属互连层 310 中的缺陷对介质层完整性测试结果的干扰。本实施例中的测试方法与前述栅氧化层完整性的测试方法类似,这里不再赘述。

[0048] 综上,本发明提供了一种栅氧化层和介质层完整性的测试结构和测试方法,增加了一个焊垫,在常规完整性测试未通过时,使用增加的焊垫对金属互连层进行测试,排除了金属互连层中的短路问题对测试结果的干扰,提高了栅氧化层和介质层完整性测试的测试精度。

[0049] 另外,与现有技术相比,本发明不需要进行失效分析就可以排除金属互连层中的短路问题对测试结果的干扰,缩短了测试周期,降低了测试成本。

[0050] 进一步的,本发明还可以复用不同测试结构之间的焊垫来实现相同的效果,与现有技术相比并不增加测试结构的复杂性。

[0051] 虽然本发明已以较佳实施例披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

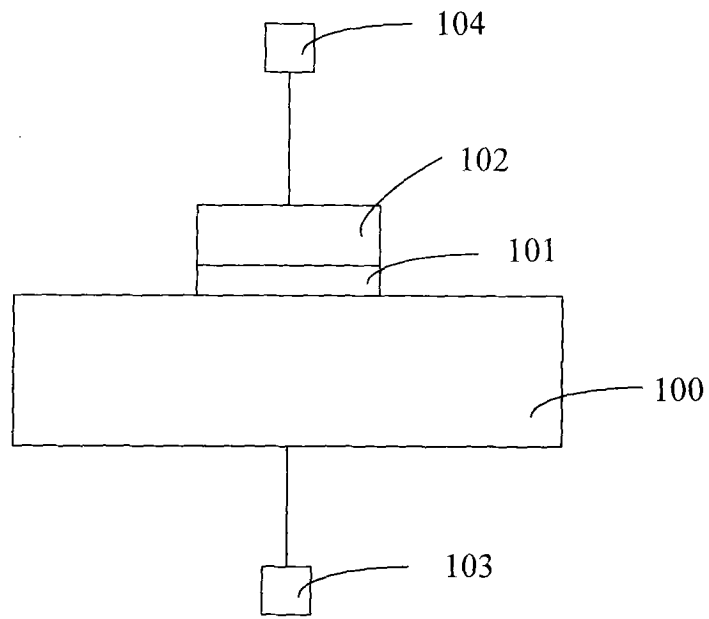


图 1

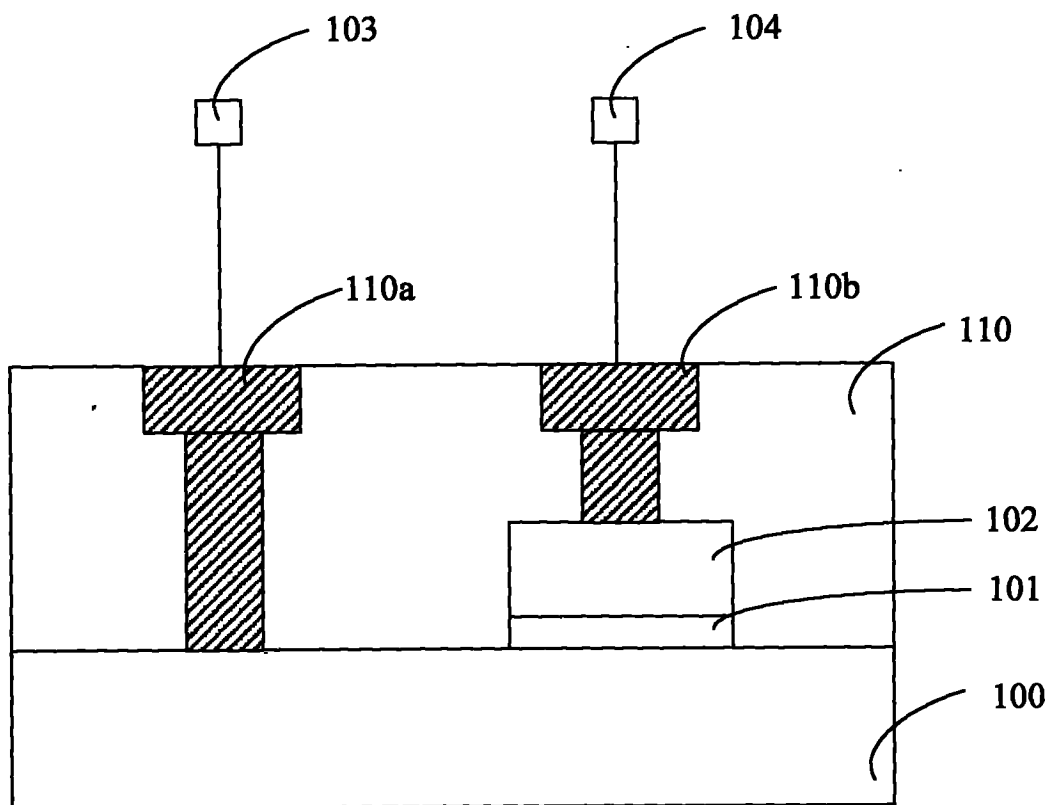


图 2

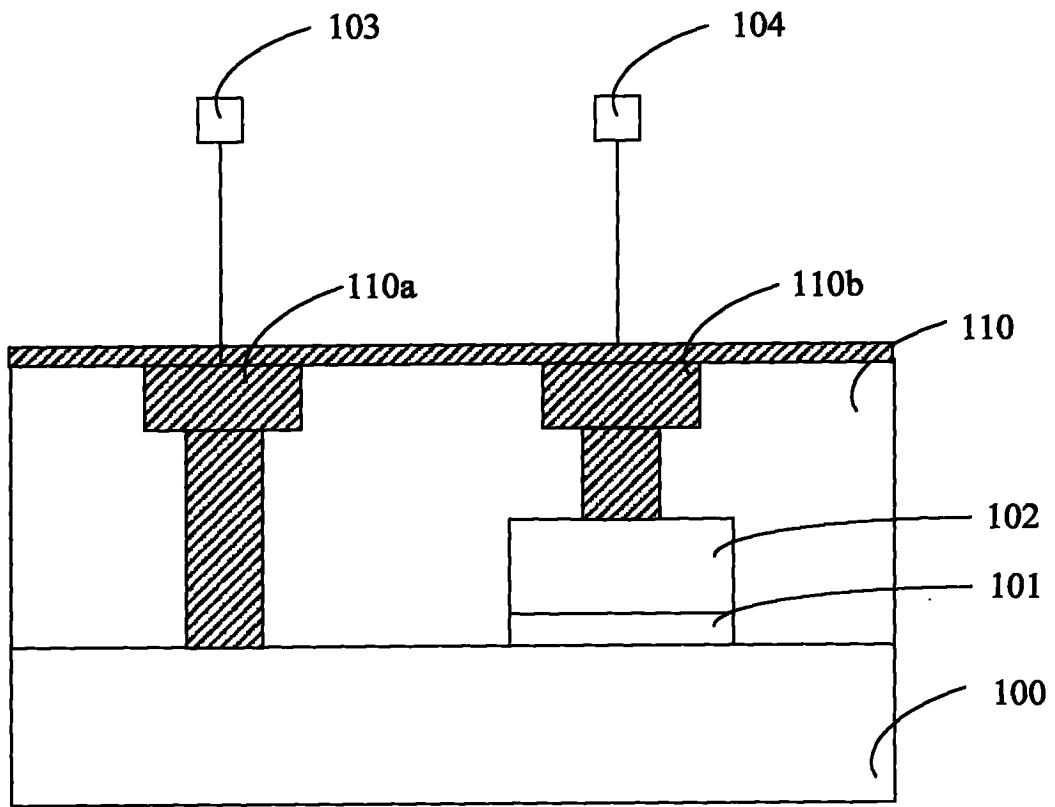


图 3

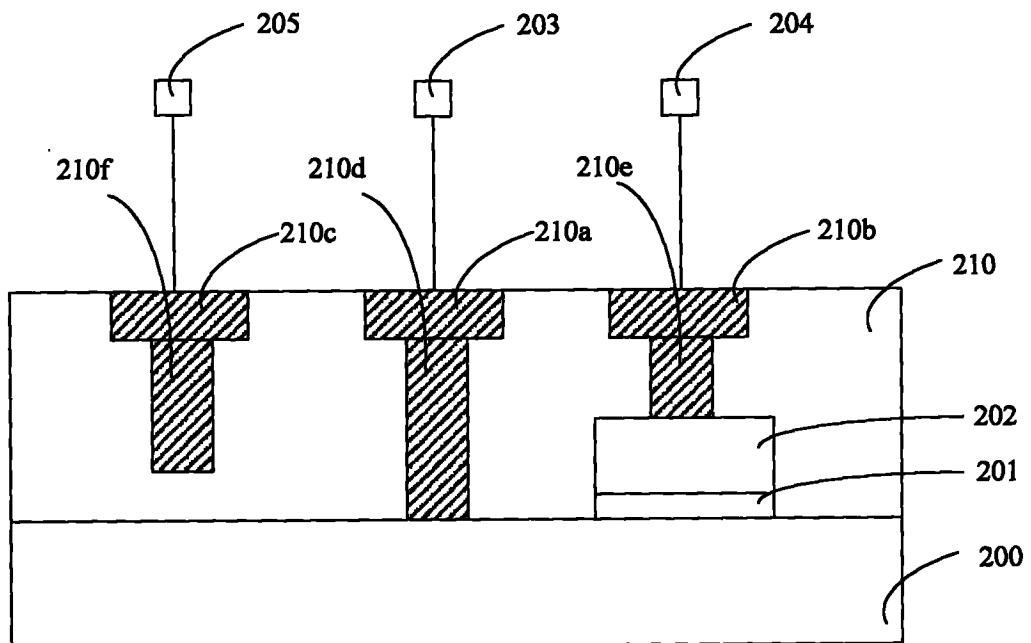


图 4

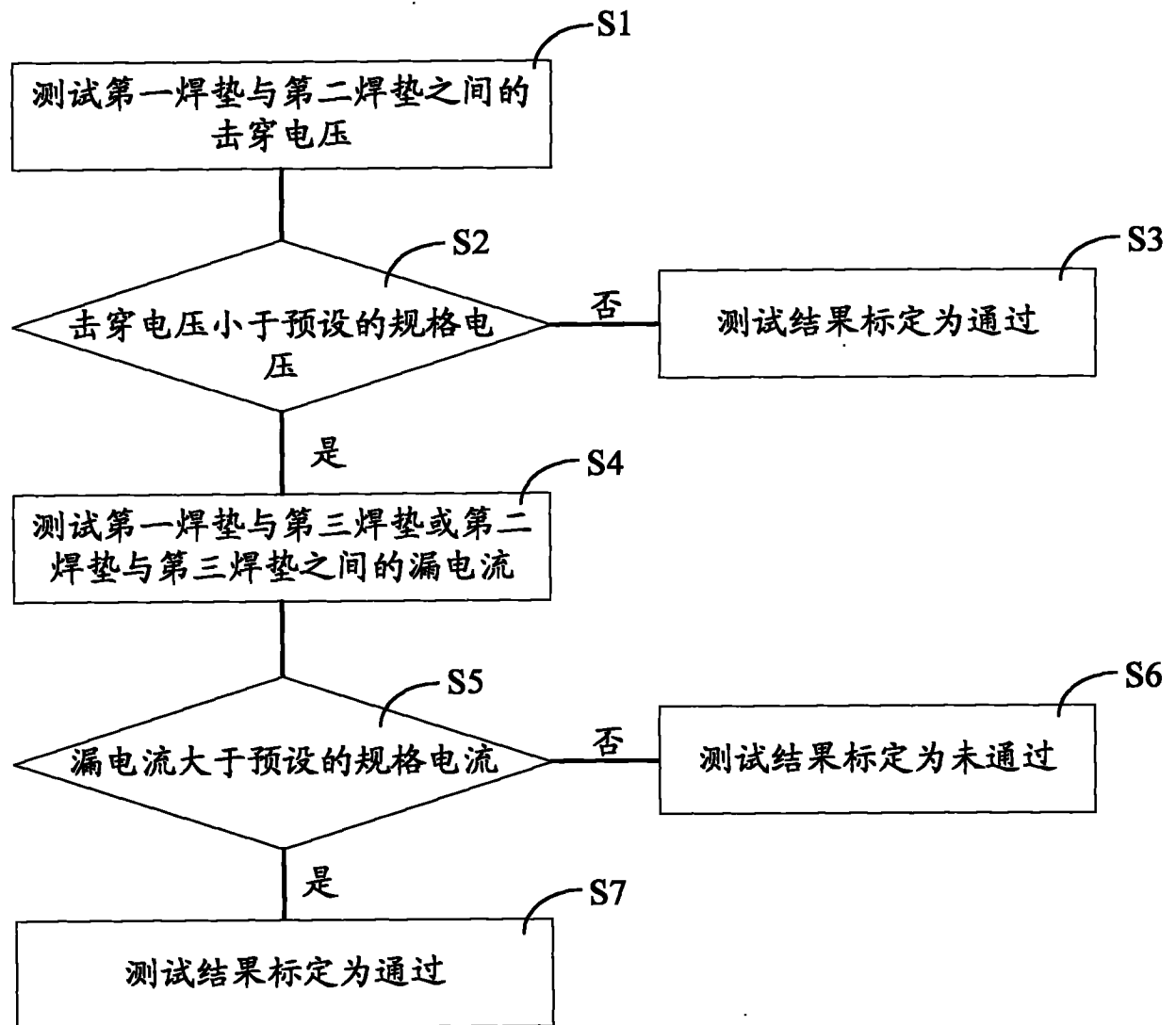


图 5

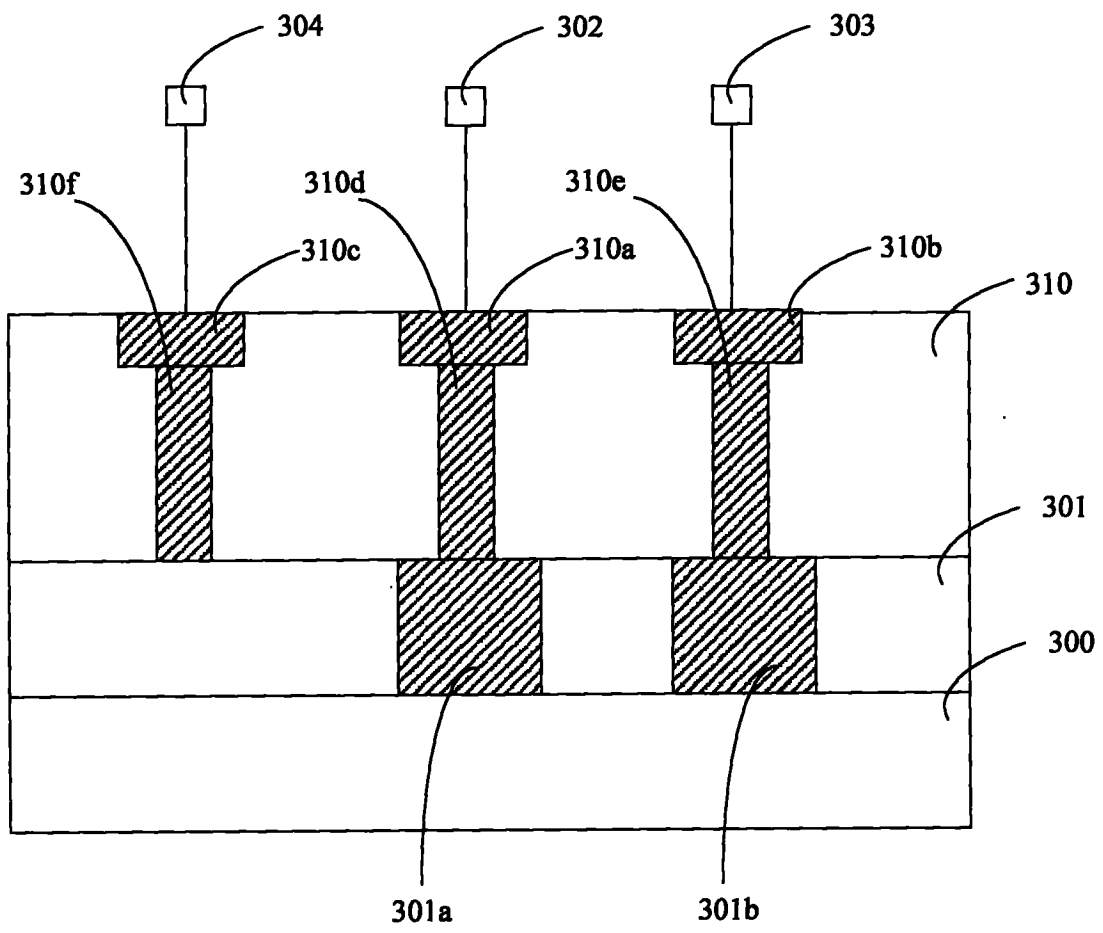


图 6