



(10) **DE 10 2020 129 544 A1** 2022.02.17

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2020 129 544.8**

(22) Anmeldetag: **10.11.2020**

(43) Offenlegungstag: **17.02.2022**

(51) Int Cl.: **H01L 29/49** (2006.01)

H01L 29/78 (2006.01)

H01L 21/283 (2006.01)

H01L 21/336 (2006.01)

(30) Unionspriorität:

63/066,362	17.08.2020	US
17/084,357	29.10.2020	US

(72) Erfinder:

Lee, Hsin-Yi, Hsinchu, TW; Hung, Cheng-Lung, Hsinchu, TW; Chui, Chi On, Hsinchu, TW

(71) Anmelder:

Taiwan Semiconductor Manufacturing Co., Ltd., Hsinchu, TW

(56) Ermittelter Stand der Technik:

DE	10 2016 116 310	A1
DE	10 2019 109 861	A1
US	2015 / 0 262 828	A1
US	2020 / 0 135 471	A1

(74) Vertreter:

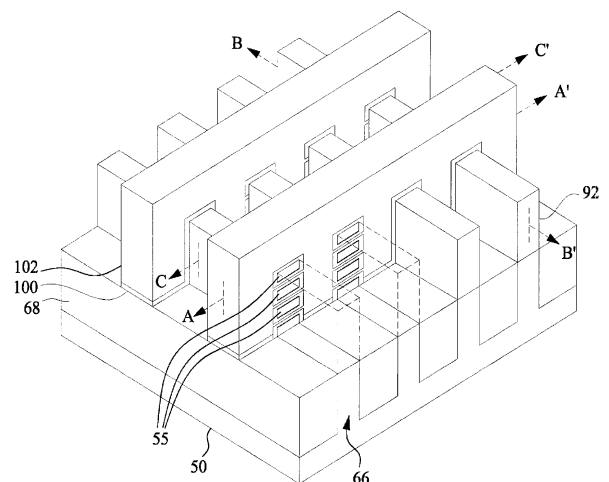
BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28209 Bremen, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **GATESTRUKTUREN IN TRANSISTOREN UND VERFAHREN ZU DEREN AUSBILDUNG**

(57) Zusammenfassung: Eine Vorrichtung weist eine erste Nanostruktur; eine zweite Nanostruktur über der ersten Nanostruktur; ein erstes High-k-Gatedielektrikum um die erste Nanostruktur; ein zweites High-k-Gatedielektrikum um die zweite Nanostruktur; und eine Gateelektrode über dem ersten und dem zweiten High-k-Gatedielektrikum auf. Die Gateelektrode weist ein erstes Austrittsarbeitsmetall; ein zweites Austrittsarbeitsmetall über dem ersten Austrittsarbeitsmetall; und einen ersten Metallrückstand an einer Grenzfläche zwischen dem ersten Austrittsarbeitsmetall und dem zweiten Austrittsarbeitsmetall auf, wobei der erste Metallrückstand ein Metallelement aufweist, das von einem Metallelement des ersten Austrittsarbeitsmetalls verschieden ist.



Beschreibung

PRIORITÄTSANSPRUCH UND QUERVERWEIS

[0001] Diese Anmeldung beansprucht die Priorität der vorläufigen US-Anmeldung Nr. 63/066,362, die am 17. August 2020 eingereicht wurde und die hier durch Rückbezug aufgenommen ist.

STAND DER TECHNIK

[0002] Halbleitervorrichtungen werden in einer Vielfalt von elektronischen Anwendungen, wie zum Beispiel Personal Computern, Mobiltelefonen, Digitalkameras und anderen elektronischen Geräten, verwendet. Halbleitervorrichtungen werden in der Regel hergestellt, indem sequenziell isolierende oder dielektrische Schichten, leitfähige Schichten und Halbleiterschichten über einem Halbleitersubstrat abgeschieden werden, und die verschiedenen Materialschichten unter Verwendung von Lithografie strukturiert werden, um Schaltungskomponenten und -elemente darauf auszubilden.

[0003] Die Halbleiterindustrie verbessert beständig die Integrationsdichte verschiedener elektronischer Komponenten (z.B. Transistoren, Dioden, Widerstände, Kondensatoren usw.), indem die minimale Merkmalgröße fortlaufend reduziert wird, was ermöglicht, dass mehr Komponenten in eine bestimmte Fläche integriert werden. Mit der Reduzierung der kleinsten Merkmalgrößen treten jedoch zusätzliche Probleme zutage, die angegangen werden müssen.

Figurenliste

[0004] Aspekte der vorliegenden Offenbarung werden am besten aus der nachstehenden ausführlichen Beschreibung verstanden, wenn sie zusammen mit den begleitenden Figuren gelesen wird. Es ist zu beachten, dass gemäß dem Standardverfahren in der Branche verschiedene Merkmale nicht maßstabsgetreu gezeichnet sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein

Fig. 1 zeigt ein Beispiel eines Nanostruktur-Feldeffekttransistors (Nano-FET) in einer dreidimensionalen Ansicht gemäß einigen Ausführungsformen.

Fig. 2, Fig. 3, Fig. 4, Fig. 5, Fig. 6A, Fig. 6B, Fig. 7A, Fig. 7B 8A, 8B, 9A, 9B, 10A, 10B, 11A, 11B, 11C, 12A, 12B, 12C, 12D, 13A, 13B, 13C, 14A, 14B, 15A, 15B, 16A, 16B, 17A, 17B, 18A, 18B, 19A, 19B, 20A, 20B, 21A, 21B, 22A, 22B, 22C, 22D, 23A, 23B, 24A, 24B, 24C, 25A, 25B, 25C, 26A, 26B und 26C sind Querschnittsansichten von Zwischenstufen beim Herstellen

von Nano-FETs gemäß einigen Ausführungsformen.

Fig. 27A, Fig. 27B und Fig. 27C sind Querschnittsansichten eines Nano-FET gemäß einigen Ausführungsformen.

Fig. 28A, Fig. 28B, Fig. 28C, Fig. 28D und Fig. 28E sind Querschnittsansichten eines Nano-FET gemäß einigen Ausführungsformen.

AUSFÜHRLICHE BESCHREIBUNG

[0005] Die nachstehende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Implementieren verschiedener Merkmale der Erfindung bereit. Konkrete Beispiele von Komponenten und Anordnungen sind nachstehend beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese stellen selbstverständlich lediglich Beispiele dar und sind nicht im beschränkenden Sinne gedacht. Zum Beispiel kann das Ausbilden eines ersten Merkmals über oder auf einem zweiten Merkmal in der nachstehenden Beschreibung Ausführungsformen umfassen, in denen das erste und das zweite Merkmal in direktem Kontakt ausgebildet werden, und kann ebenfalls Ausführungsformen umfassen, in denen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal ausgebildet werden können, so dass das erste und das zweite Merkmal möglicherweise nicht in direktem Kontakt stehen. Außerdem kann die vorliegende Offenbarung Bezugsnummern und/oder -buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung geschieht zum Zweck der Einfachheit und Klarheit und sie schreibt an sich keine Beziehung zwischen den verschiedenen besprochenen Ausführungsformen und/oder Ausgestaltungen vor.

[0006] Außerdem können hierin Begriffe, die sich auf räumliche Relativität beziehen, wie z.B. „unterhalb“, „unter“, „unterer“, „oberhalb“, „oberer“ und dergleichen, zur Erleichterung der Besprechung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element oder Merkmal (zu anderen Elementen oder Merkmalen), wie in den Figuren dargestellt, zu beschreiben. Die Begriffe, die räumliche Relativität betreffen, sollen verschiedene Ausrichtungen der verwendeten oder betriebenen Vorrichtung zusätzlich zu der in den Figuren dargestellten Ausrichtung umfassen. Die Vorrichtung kann auf eine andere Weise ausgerichtet sein (um 90 Grad gedreht oder anders ausgerichtet) und die hier verwendeten Bezeichnungen, die räumliche Relativität betreffen, können gleichermaßen dementsprechend ausgelegt werden.

[0007] Verschiedene Ausführungsformen stellen Gatestapel bereit, die eine mit Fluor behandelte Austrittsarbeitsmetallschicht (WFM-Schicht) aufweisen. Zum Beispiel kann die Fluorbehandlung ein Durch-

führen einer Fluortränkung an einer WFM-Schicht umfassen, die Fluor auch in ein darunterliegendes Gatedielektrikum (z.B. ein High-k-Gatedielektrikum) eindiffundieren kann. Folglich kann eine Flachbandspannung (V_{FB}) des resultierenden Transistors zu einer Bandkante des Metalls der WFM-Schicht erhöht werden, eine Schwellenspannung des resultierenden Transistors kann verringert werden, und die Vorrichtungsleistungsfähigkeit kann verbessert werden.

[0008] Fig. 1 zeigt ein Beispiel für Nano-FETs (z.B. Nanodraht-FETs, Nanofolien-FETs oder dergleichen) in einer dreidimensionalen Ansicht gemäß einigen Ausführungsformen. Die Nano-FETs weisen Nano-Strukturen 55 (z.B. Nanofolien, einen Nanodraht oder dergleichen) über Finnen 66 auf einem Substrat 50 (z.B. einem Halbleitersubstrat) auf, wobei die Nanostrukturen 55 als Kanalgebiete für die Nano-FETs wirken. Die Nanostrukturen 55 können p-Nanostrukturen, n-Nanostrukturen oder eine Kombination davon aufweisen. Isolationsgebiete 68 werden zwischen benachbarten Finnen 66 angeordnet, die über benachbarten Isolationsgebieten 68 und aus dem Raum zwischen ihnen hervorstehen können. Obwohl die Isolationsgebiete 68 derart beschrieben/dargestellt sind, dass sie vom Substrat 50 separat sind, kann, wie hier verwendet, der Begriff „Substrat“ ausschließlich auf das Halbleitersubstrat oder auf eine Kombination von dem Halbleitersubstrat und den Isolationsgebieten verweisen. Obwohl ein unterer Abschnitt der Finnen 66 derart dargestellt ist, dass er einzelne, mit dem Substrat 50 durchgehende Materialien darstellt, können außerdem der untere Abschnitt der Finnen 66 und/oder das Substrat 50 ein einzelnes Material oder mehrere Materialien aufweisen. In diesem Kontext beziehen sich die Finnen 66 auf den Abschnitt, der sich zwischen den benachbarten Isolationsgebieten 68 erstreckt.

[0009] Gatedielektrika 100 befinden sich über oberen Flächen der Finnen 66 und entlang von oberen Flächen, Seitenwänden und unteren Flächen der Nanostrukturen 55. Gateelektroden 102 liegen über den Gatedielektrika 100. Epitaktische Source-/Draingebiete 92 sind auf den Finnen 55 auf gegenüberliegenden Seiten der Gatedielektrikumsschichten 96 und der Gateelektroden 98 angeordnet.

[0010] Fig. 1 zeigt ferner Referenzquerschnitte, die in späteren Figuren verwendet werden. Der Querschnitt A-A' verläuft entlang einer Längsachse einer Gateelektrode 102 und zum Beispiel in einer Richtung, die zur Richtung eines Stromflusses zwischen den epitaktischen Source-/Draingebieten 90 eines Nano-FET senkrecht ist. Der Querschnitt B-B' ist senkrecht zum Querschnitt A-A' und verläuft parallel zu einer Längsachse einer Finne 66 des Nano-FET und zum Beispiel in einer Richtung eines Stromflusses zwischen den epitaktischen Source-/Draingebie-

ten 90 des Nano-FET. Der Querschnitt C-C' ist zum Querschnitt A-A' parallel und erstreckt sich durch epitaktische Source-/Draingebiete der Nano-FETs. Nachfolgende Figuren beziehen sich zur Klarheit auf diese Referenzquerschnitte.

[0011] Einige hier besprochene Ausführungsformen werden im Kontext von Nano-FETs diskutiert, die unter Verwendung eines Gate-Zuletzt-Prozesses ausgebildet werden. In anderen Ausführungsformen kann ein Gate-Zuerst-Prozess verwendet werden. Außerdem ziehen einige Ausführungsformen Aspekte in Betracht, die in planaren Vorrichtungen, wie z.B. planaren FETs oder in Fin-Feldeffekttransistoren (FinFETs), verwendet werden.

[0012] Fig. 2 bis Fig. 26C sind Querschnittsansichten von Zwischenstufen beim Herstellen von Nano-FETs gemäß einigen Ausführungsformen. Fig. 2 bis Fig. 5, Fig. 6A, Fig. 13A, Fig. 14A, Fig. 15A, Fig. 16A, Fig. 17A, Fig. 18A, Fig. 19A, Fig. 20A, Fig. 21A, Fig. 22A, Fig. 23A, Fig. 24A, Fig. 25A, Fig. 26A, Fig. 27A und Fig. 28A zeigen den in Fig. 1 dargestellten Referenzquerschnitt A-A'. Fig. 6B, Fig. 7B, Fig. 8B, Fig. 9B, Fig. 10B, Fig. 11B, Fig. 11C, Fig. 12B, Fig. 12D, Fig. 13B, Fig. 14B, Fig. 15B, Fig. 16B, Fig. 17B, Fig. 18B, Fig. 19B, Fig. 20B, Fig. 21B, Fig. 22B, Fig. 23B, Fig. 24B, Fig. 25B, Fig. 26B, Fig. 27B und Fig. 28B zeigen den in Fig. 1 dargestellten Referenzquerschnitt B-B'. Fig. 7A, Fig. 8A, Fig. 9A, Fig. 10A, Fig. 11A, Fig. 12A, Fig. 12C, Fig. 13C, Fig. 24C, Fig. 25C, Fig. 26C, Fig. 27C und Fig. 28C zeigen den in Fig. 1 gezeigten Referenzquerschnitt C-C'.

[0013] In Fig. 2 wird ein Substrat 50 bereitgestellt. Das Substrat 50 kann ein Halbleitersubstrat, wie z.B. ein Bulk-Halbleiter, ein SOI-Substrat (Halbleiter auf einem Isolator) oder dergleichen, sein, das dotiert (z.B. mit einem p- oder einem n-Dotierstoff) oder undotiert sein kann. Das Substrat 50 kann ein Wafer, wie z.B. ein Silizium-Wafer, sein. Im Allgemeinen ist ein SOI-Substrat eine Schicht aus einem Halbleitermaterial, die auf einer Isolationsschicht ausgebildet ist. Die Isolationsschicht kann zum Beispiel eine vergrabene Oxidschicht (BOX-Schicht), eine Siliziumoxidschicht oder dergleichen sein. Die Isolationsschicht wird auf einem Substrat, typischerweise einem Silizium- oder Glassubstrat, bereitgestellt. Andere Substrate, wie z.B. ein mehrschichtiges oder ein Gradientensubstrat, können ebenfalls verwendet werden. In einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 aufweisen: Silizium; Germanium; einen Verbindungshalbleiter, der Siliziumkarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid aufweist; einen Legierungshalbleiter, der Siliziumgermanium, Gallium-Arsenidphosphid, Aluminium-Indium-Arsenid, Aluminium-Gallium-Arsenid, Gallium-Indium-Arsenid, Gallium-In-

dium-Phosphid, und/oder Gallium-Indium-Arsenid-Phosphid aufweist, oder Kombinationen davon.

[0014] Das Substrat 50 weist ein n-Gebiet 50N und ein p-Gebiet 50P auf. Das n-Gebiet 50N kann zum Ausbilden von n-Vorrichtungen, wie z.B. NMOS-Transistoren, z.B. n-Nano-FETs, vorgesehen sein, und das p-Gebiet 50P kann zum Ausbilden von p-Vorrichtungen, wie z.B. PMOS-Transistoren, z.B. p-Nano-FETs, vorgesehen sein. Das n-Gebiet 50N kann vom p-Gebiet 50P physisch getrennt sein (wie durch eine Trennung 20 dargestellt), und eine beliebige Anzahl von Vorrichtungsmerkmalen (z.B. andere aktive Vorrichtungen, dotierte Gebiete, Isolationsstrukturen usw.) kann zwischen dem n-Gebiet 50N und dem p-Gebiet 50P angeordnet werden. Obwohl ein n-Gebiet 50N und ein p-Gebiet 50P dargestellt sind, kann eine beliebige Anzahl von n-Gebieten 50N und p-Gebieten 50P bereitgestellt werden. In einigen Ausführungsformen können eine oder mehrere Wannen und/oder eine APT-Schicht (Anti-Punch Through) im Substrat 50 mithilfe eines oder mehrerer geeigneter Implantationsschritte ausgebildet werden.

[0015] Außerdem wird in **Fig. 2** ein mehrschichtiger Stapel 64 über dem Substrat 50 ausgebildet. Der mehrschichtige Stapel 64 weist abwechselnde Schichten von ersten Halbleiterschichten 51A bis C (die gemeinsam als erste Halbleiterschichten 51 bezeichnet werden) und zweiten Halbleiterschichten 53A bis C (die gemeinsam als zweite Halbleiterschichten 53 bezeichnet werden) auf. Zu Darstellungszwecken, und wie nachstehend ausführlicher besprochen, werden die zweiten Halbleiterschichten 53 entfernt und die ersten Halbleiterschichten 51 werden strukturiert, um Kanalgebiete von Nano-FETs im p-Gebiet 50P auszubilden. Außerdem werden die ersten Halbleiterschichten 51 entfernt und die zweiten Halbleiterschichten 53 werden strukturiert, um Kanalgebiete von Nano-FETs im n-Gebiet 50N auszubilden. Nichtsdestotrotz können in einigen Ausführungsformen die ersten Halbleiterschichten 51 entfernt werden und die zweiten Halbleiterschichten 53 können strukturiert werden, um Kanalgebiete von Nano-FETs im n-Gebiet 50N auszubilden, und die zweiten Halbleiterschichten 53 können entfernt werden und die ersten Halbleiterschichten 51 können strukturiert werden, um Kanalgebiete von Nano-FETs im p-Gebiet 50P auszubilden.

[0016] In noch anderen Ausführungsformen können die ersten Halbleiterschichten 51 entfernt werden und die zweiten Halbleiterschichten 53 können strukturiert werden, um Kanalgebiete von Nano-FETs sowohl im n-Gebiet 50P als auch im p-Gebiet 50P auszubilden. In anderen Ausführungsformen können die zweiten Halbleiterschichten 53 entfernt werden und die ersten Halbleiterschichten 51 können strukturiert werden, um Kanalgebiete von Nano-FETs

sowohl im n-Gebiet 50P als auch im p-Gebiet 50P auszubilden. In solchen Ausführungsformen können die Kanalgebiete sowohl im n-Gebiet 50N als auch dem p-Gebiet 50P eine gleiche Materialzusammensetzung (z.B. Silizium oder dergleichen) aufweisen und können gleichzeitig ausgebildet werden. **Fig. 26A**, **Fig. 26B** und **Fig. 27C** zeigen eine Struktur, die aus solchen Ausführungsformen resultiert, wobei die Kanalgebiete sowohl im p-Gebiet 50P als auch dem n-Gebiet 50N zum Beispiel Silizium aufweisen.

[0017] Der mehrschichtige Stapel 64 ist zu Veranschaulichungszwecken derart dargestellt, dass er drei Schichten von jeder von den ersten Halbleiterschichten 51 und den zweiten Halbleiterschichten 52 aufweist. In einigen Ausführungsformen kann der mehrschichtige Stapel 64 eine beliebige Anzahl von den ersten Halbleiterschichten 51 und den zweiten Halbleiterschichten 53 aufweisen. Jede der Schichten des mehrschichtigen Stapels 64 kann unter Verwendung eines Prozesses, wie z.B. einer chemischen Gasphasenabscheidung (CVD), einer Atomlagenabscheidung (ALD), einer Gasphasenepitaxie (VPE), einer Molekularstrahlepitaxie (MBE) oder dergleichen, epitaktisch aufgewachsen werden. In verschiedenen Ausführungsformen können die ersten Halbleiterschichten 51 aus einem ersten Halbleitermaterial, das für p-Nano-FETs geeignet ist, wie z.B. Siliziumgermanium oder dergleichen, ausgebildet werden, und die zweiten Halbleiterschichten 53 können aus einem zweiten Halbleitermaterial, das für n-Nano-FETs geeignet ist, wie z.B. Silizium, Siliziumkohlenstoff oder dergleichen, ausgebildet werden. Der mehrschichtige Stapel 64 ist zu Veranschaulichungszwecken derart dargestellt, dass er eine unterste Halbleiterschicht aufweist, die für p-Nano-FETs geeignet ist. In einigen Ausführungsformen kann der mehrschichtige Stapel 64 derart ausgebildet sein, dass die unterste Schicht eine Halbleiterschicht ist, die für n-Nano-FETs geeignet ist.

[0018] Die ersten Halbleitermaterialien und die zweiten Halbleitermaterialien können Materialien sein, die eine hohe Ätzselektivität einander gegenüber aufweisen. Von daher können die ersten Halbleiterschichten 51 aus dem ersten Halbleitermaterial entfernt werden, ohne dass die zweiten Halbleiterschichten 53 aus dem zweiten Halbleitermaterial im n-Gebiet 50N wesentlich entfernt werden, wodurch ermöglicht wird, dass die zweiten Halbleiterschichten 53 strukturiert werden, um Kanalgebiete von n-NSFETs auszubilden. Gleichermaßen können die zweiten Halbleiterschichten 53 aus dem zweiten Halbleitermaterial entfernt werden, ohne dass die ersten Halbleiterschichten 51 aus dem ersten Halbleitermaterial im p-Gebiet 50P wesentlich entfernt werden, wodurch ermöglicht wird, dass die ersten Halbleiterschichten 51 strukturiert werden, um Kanalgebiete von p-NSFETs auszubilden. In ande-

ren Ausführungsformen können die Kanalgebiete im n-Gebiet 50N und dem p-Gebiet 50P gleichzeitig ausgebildet werden und weisen eine gleiche Materialzusammensetzung, wie z.B. Silizium, Siliziumgermanium oder dergleichen, auf. **Fig. 27A**, **Fig. 27B** und **Fig. 27C** zeigen eine Struktur, die aus solchen Ausführungsformen resultiert, wobei die Kanalgebiete sowohl im p-Gebiet 50P als auch dem n-Gebiet 50N zum Beispiel Silizium aufweisen.

[0019] Unter Bezugnahme auf **Fig. 3** werden gemäß einigen Ausführungsformen Finnen 66 im Substrat 50 ausgebildet und Nanostrukturen 55 werden im mehrschichtigen Stapel 64 ausgebildet. In einigen Ausführungsformen können die Nanostrukturen 55 und die Finnen 66 jeweils im mehrschichtigen Stapel 64 bzw. dem Substrat 50 ausgebildet werden, indem Gräben im mehrschichtigen Stapel 64 und dem Substrat 50 geätzt werden. Das Ätzen kann ein beliebiger geeigneter Ätzprozess sein, wie z.B. ein reaktives Ionenätzen (RIE), ein Neutralstrahlätzen (Neutral Beam Etch, NBE), dergleichen oder eine Kombination davon. Das Ätzen kann anisotrop sein. Ein Ausbilden der Nanostrukturen 55 durch Ätzen des mehrschichtigen Stapels 64 kann außerdem erste Nanostrukturen 52A bis C (die gemeinsam als die ersten Nanostrukturen 52 bezeichnet werden) aus den ersten Halbleiterschichten 51 definieren und zweite Nanostrukturen 54A bis C (die gemeinsam als die zweiten Nanostrukturen 54 bezeichnet werden) aus den zweiten Halbleiterschichten 53 definieren. Die ersten Nanostrukturen 52 und die zweiten Nanostrukturen 54 können außerdem gemeinsam als Nanostrukturen 55 bezeichnet werden.

[0020] Die Finnen 66 und die Nanostrukturen 55 können mithilfe eines beliebigen geeigneten Verfahrens strukturiert werden. Zum Beispiel können die Finnen 66 und die Nanostrukturen 55 unter Verwendung eines oder mehrerer fotolithografischer Prozesse, die Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse aufweisen, strukturiert werden. Im Allgemeinen kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse fotolithografische und selbstjustierende Prozesse, wodurch ermöglicht wird, dass Strukturen erzeugt werden, die zum Beispiel kleinere Pitches aufweisen als dies ansonsten unter Verwendung eines einzelnen direkten fotolithografischen Prozesses erzielbar ist. Zum Beispiel wird in einer Ausführungsform eine Opferschicht über einem Substrat ausgebildet und unter Verwendung eines fotolithografischen Prozesses strukturiert. Spacer werden entlang der strukturierten Opferschicht unter Verwendung eines Selbstjustierungsprozesses ausgebildet. Die Opferschicht wird dann entfernt und die verbleibenden Spacer können dann zum Strukturieren der Finnen 66 verwendet werden.

[0021] **Fig. 3** zeigt die Finnen 66 im n-Gebiet 50N und dem p-Gebiet 50P zu Veranschaulichungszwecken derart, dass sie im Wesentlichen gleiche Breiten aufweisen. In einigen Ausführungsformen können Breiten der Finnen 66 im n-Gebiet 50N größer oder dünner sein als der Finnen 66 im p-Gebiet 50P. Obwohl jede der Finnen 66 und der Nanostrukturen 55 derart dargestellt ist, dass sie durchgehend eine einheitliche Breite aufweist, können außerdem in anderen Ausführungsformen die Finnen 66 und/oder die Nanostrukturen 55 verjüngte Seitenwände aufweisen, so dass eine Breite der Finnen 66 und/oder der Nanostrukturen 55 in einer Richtung zum Substrat 50 kontinuierlich ansteigt. In solchen Ausführungsformen kann jede der Nanostrukturen 55 eine andere Breite aufweisen und trapezförmig sein.

[0022] In **Fig. 4** werden STI-Gebiete (flache Grabenisolation) 68 benachbart zu den Finnen 66 ausgebildet. Die STI-Gebiete 68 können ausgebildet werden, indem ein Isolationsmaterial über dem Substrat 50, den Finnen 66 und den Nanostrukturen 55 und zwischen benachbarten Finnen 66 abgeschieden wird. Das Isolationsmaterial kann ein Oxid, wie z.B. Siliziumoxid, ein Nitrid, dergleichen, oder eine Kombination davon sein, und kann mithilfe einer CVR unter Verwendung von hochdichtem Plasma (HDP-CVD), einer fließfähigen CVD (FCVD), dergleichen oder einer Kombination davon ausgebildet werden. Andere Isolationsmaterialien, die mithilfe eines beliebigen geeigneten Prozesses ausgebildet werden, können verwendet werden. In der dargestellten Ausführungsform ist das Isolationsmaterial Siliziumoxid, das mithilfe eines FCVD-Prozesses ausgebildet wird. Ein Temperprozess kann durchgeführt werden, nachdem das Isolationsmaterial ausgebildet wurde. In einer Ausführungsform wird das Isolationsmaterial derart ausgebildet, dass überschüssiges Isolationsmaterial die Nanostrukturen 55 abdeckt. Obwohl das Isolationsmaterial als eine Einzelschicht dargestellt ist, können einige Ausführungsformen mehrere Schichten verwenden. Zum Beispiel kann in einigen Ausführungsformen ein Liner (nicht separat dargestellt) zuerst entlang einer Fläche des Substrats 50, der Finnen 66 und der Nanostrukturen 55 ausgebildet werden. Danach kann ein Füllmaterial, wie z.B. jene, die vorstehend besprochen wurden, über dem Liner ausgebildet werden.

[0023] Ein Entfernungsprozess wird dann auf das Isolationsmaterial angewendet, um überschüssiges Isolationsmaterial über den Nanostrukturen 55 zu entfernen. In einigen Ausführungsformen kann ein Planarisierungsprozess, wie z.B. ein chemisch-mechanisches Polieren (CMP), ein Rückätzprozess, Kombinationen davon oder dergleichen, verwendet werden. Der Planarisierungsprozess legt die Nanostrukturen 55 frei, so dass sich obere Flächen der Nanostrukturen 55 und des Isolationsmaterials auf

gleicher Höhe befinden, nachdem der Planarisierungsprozess abgeschlossen wurde.

[0024] Das Isolationsmaterial wird dann ausgespart, um die STI-Gebiete 68 auszubilden. Das Isolationsmaterial wird derart ausgespart, dass obere Abschnitte der Finnen 66 in den Gebieten 50N und dem Gebiet 50P aus dem Raum zwischen benachbarten STI-Gebieten 68 hervorstehen. Außerdem können die oberen Flächen der STI-Gebiete 68 eine flache Fläche, wie dargestellt, eine konvexe Fläche, eine konkave Fläche (wie z.B. eine Wölbung) oder eine Kombination davon aufweisen. Die oberen Flächen der STI-Gebiete 68 können mithilfe eines geeigneten Ätzens flach, konvex und/oder konkav ausgebildet werden. Die STI-Gebiete 68 können unter Verwendung eines geeigneten Ätzprozesses, wie z.B. eines, der gegenüber dem Material des Isolationsmaterials selektiv ist (der z.B. das Material des Isolationsmaterials mit einer schnelleren Rate ätzt als das Material der Finnen 66 und der Nanostrukturen 55), ausgespart werden. Zum Beispiel kann ein Oxidentferner, das zum Beispiel verdünnte Flußsäure (dHF) benutzt, verwendet werden.

[0025] Der vorstehend in Bezug auf **Fig. 2** bis **Fig. 4** beschriebene Prozess ist lediglich ein Beispiel dessen, wie die Finnen 66 und die Nanostrukturen 55 ausgebildet werden können. In einigen Ausführungsformen können die Finnen 66 und/oder die Nanostrukturen 5 unter Verwendung einer Maske und eines epitaktischen Aufwuchsprozesses ausgebildet werden. Zum Beispiel kann eine dielektrische Schicht über einer oberen Fläche des Substrats 50 ausgebildet werden, und Gräben können durch die dielektrische Schicht geätzt werden, um das darunterliegende Substrat 50 freizulegen. Epitaktische Strukturen können in den Gräben epitaktisch aufgewachsen werden, und die dielektrische Schicht kann derart ausgespart werden, dass die epitaktischen Strukturen von der dielektrischen Schicht hervorstehen, um die Finnen 66 und/oder die Nanostrukturen 55 auszubilden. Die epitaktischen Strukturen können die vorstehend besprochenen abwechselnden Halbleitermaterialien aufweisen, wie z.B. die ersten Halbleitermaterialien und die zweiten Halbleitermaterialien. In einigen Ausführungsformen, in denen Epitaxialstrukturen epitaktisch aufgewachsen werden, können die epitaktisch aufgewachsenen Materialien während des Wachstums in-situ dotiert werden, was vorherige und/oder anschließende Implantationen vermeiden kann, obwohl eine In-situ- und Implantationsdotierung zusammen verwendet werden können.

[0026] Außerdem sind die ersten Halbleiterschichten 51 (und resultierende Nanostrukturen 52) und die zweiten Halbleiterschichten 53 (und resultierende Nanostrukturen 54) lediglich zu Veranschaulichungszwecken derart dargestellt und hier besprochen,

dass sie die gleichen Materialien im p-Gebiet 50P und dem n-Gebiet 50N aufweisen. Von daher können in einigen Ausführungsformen eine oder beide von den ersten Halbleiterschichten 51 und den zweiten Halbleiterschichten 53 verschiedene Materialien sein oder in einer anderen Reihenfolge im p-Gebiet 50P und dem n-Gebiet 50N ausgebildet werden.

[0027] Außerdem können in **Fig. 4** geeignete Wannenn (nicht separat dargestellt) in den Finnen 66, den Nanostrukturen 55 und/oder den STI-Gebieten 68 ausgebildet werden. In Ausführungsformen mit verschiedenen Wannentypen, können verschiedene Implantationsschritte für das n-Gebiet 50N und das p-Gebiet 50P unter Verwendung eines Fotolacks oder anderer Masken (nicht separat dargestellt) erzielt werden. Zum Beispiel kann ein Fotolack über den Finnen 66 und den STI-Gebieten 68 im n-Gebiet 50N und dem p-Gebiet 50P ausgebildet werden. Der Fotolack wird strukturiert, um das p-Gebiet 50P freizulegen. Der Fotolack kann durch Verwenden einer Rotationsbeschichtungstechnik ausgebildet werden und kann unter Verwendung geeigneter fotolithografischer Techniken strukturiert werden. Nachdem der Fotolack strukturiert wurde, wird eine n-Verunreinigungsimplantation im p-Gebiet 50P durchgeführt, und der Fotolack kann als eine Maske wirken, um im Wesentlichen zu verhindern, dass n-Verunreinigungen in das n-Gebiet 50N implantiert werden. Die n-Verunreinigungen können Phosphor, Arsen, Antimon oder dergleichen sein, die in das Gebiet bis zu einer Konzentration in einem Bereich von ungefähr 10^{13} Atome/cm³ bis ungefähr 10^{14} Atome/cm³ implantiert werden. Nach der Implantation wird der Fotolack, z.B. mithilfe eines geeigneten Veraschungsprozesses, entfernt.

[0028] Nach oder vor der Implantation des p-Gebietes 50P wird ein Fotolack oder andere Masken (nicht separat dargestellt) über den Finnen 66, den Nanostrukturen 55 und den STI-Gebieten 68 im p-Gebiet 50P und dem n-Gebiet 60N ausgebildet. Der Fotolack wird strukturiert, um das n-Gebiet 50N freizulegen. Der Fotolack kann durch Verwenden einer Rotationsbeschichtungstechnik ausgebildet werden und kann unter Verwendung geeigneter fotolithografischer Techniken strukturiert werden. Nachdem der Fotolack strukturiert wurde, kann eine p-Verunreinigungsimplantation im n-Gebiet 50N durchgeführt werden, und der Fotolack kann als eine Maske wirken, um im Wesentlichen zu verhindern, dass p-Verunreinigungen in das p-Gebiet 50P implantiert werden. Die p-Verunreinigungen können Bor, Borfluorid, Indium oder dergleichen sein, die in das Gebiet bis zu einer Konzentration in einem Bereich von ungefähr 10^{13} Atome/cm³ bis ungefähr 10^{14} Atome/cm³ implantiert werden. Nach der Implantation kann der Fotolack, z.B. mithilfe eines geeigneten Veraschungsprozesses, entfernt werden.

[0029] Nach den Implantationen des n-Gebiets 50N und des p-Gebiets 50P kann ein Tempern durchgeführt werden, um Implantationsschäden zu reparieren und die p- und/oder n-Verunreinigungen, die implantiert wurden, zu aktivieren. In einigen Ausführungsformen können die aufgewachsenen Materialien von epitaktischen Finnen während des Wachstums in-situ dotiert werden, was die Implantationen vermeiden kann, obwohl eine In-situ- und Implantationsdotierung zusammen verwendet werden können.

[0030] In **Fig. 5** wird eine Dummy-Dielektrikumsschicht 70 auf den Finnen 66 und/oder den Nanostrukturen 55 ausgebildet. Die Dummy-Dielektrikumsschicht 70 kann zum Beispiel Siliziumoxid, Siliziumnitrid, eine Kombination davon oder dergleichen sein und kann gemäß geeigneten Techniken abgeschieden oder thermisch aufgewachsen werden. Eine Dummy-Gateschicht 72 wird über der Dummy-Dielektrikumsschicht 70 ausgebildet und eine Maskenschicht 74 wird über der Dummy-Gateschicht 72 ausgebildet. Die Dummy-Gateschicht 72 kann über der Dummy-Dielektrikumsschicht 70 abgeschieden und dann z.B. mithilfe eines CMP planarisiert werden. Die Maskenschicht 74 kann über der Dummy-Gateschicht 72 abgeschieden werden. Die Dummy-Gateschicht 72 kann ein leitfähiges oder nicht leitfähiges Material sein und kann aus einer Gruppe ausgewählt werden, die amorphes Silizium, polykristallines Silizium (Polysilizium), polykristallines Siliziumgermanium (Poly-SiGe), metallische Nitride, metallische Silizide, metallische Oxide und Metalle aufweist. Die Dummy-Gateschicht 72 kann mithilfe einer physikalischen Gasphasenabscheidung (PVD), einer CVD, einer Sputter-Abscheidung oder anderer Techniken zum Abscheiden des ausgewählten Materials abgeschieden werden. Die Dummy-Gateschicht 72 kann aus anderen Materialien hergestellt werden, die eine hohe Ätzselektivität gegenüber dem Ätzen von Isolationsgebieten aufweisen. Die Maskenschicht 74 kann zum Beispiel Siliziumnitrid, Siliziumoxinitrid oder dergleichen aufweisen. In diesem Beispiel werden eine einzelne Dummy-Gateschicht 72 und eine einzelne Maskenschicht 74 über dem n-Gebiet 50N und dem p-Gebiet 50P ausgebildet. Es ist zu beachten, dass die Dummy-Dielektrikumsschicht 70 nur zu Veranschaulichungszwecken derart gezeigt ist, dass sie lediglich die Finnen 66 und die Nanostrukturen 55 abdeckt. In einigen Ausführungsformen kann die Dummy-Dielektrikumsschicht 70 derart abgeschieden werden, dass die Dummy-Dielektrikumsschicht 70 die STI-Gebiete 68 abdeckt, so dass sich die Dummy-Dielektrikumsschicht 70 zwischen der Dummy-Gateschicht 72 und den STI-Gebieten 68 erstreckt.

[0031] **Fig. 6A** bis **Fig. 18B** zeigen verschiedene zusätzliche Schritte beim Herstellen von Vorrichtungen der Ausführungsformen. **Fig. 6A**, **Fig. 7A**,

Fig. 8A, **Fig. 9A**, **Fig. 10A**, **Fig. 11A**, **Fig. 12A**, **Fig. 12C**, **Fig. 13A**, **Fig. 13C**, **Fig. 14A** und **Fig. 15A** zeigen Merkmale entweder in den Gebieten 50N oder den Gebieten 50P. In **Fig. 6A** und **Fig. 6B** kann die Maskenschicht 74 (siehe **Fig. 5**) unter Verwendung geeigneter fotolithografischer und Ätztechniken strukturiert werden, um Masken 78 auszubilden. Die Struktur der Masken 78 kann dann auf die Dummy-Gateschicht 72 und die Dummy-Dielektrikumsschicht 70 übertragen werden, um jeweils Dummy-Gates 76 bzw. Dummy-Gatedielektrika 71 auszubilden. Die Dummy-Gates 76 decken jeweilige Kanalgebiete der Finnen 66 ab. Die Struktur der Masken 78 kann verwendet werden, um jedes der Dummy-Gates 76 von benachbarten Dummy-Gates 76 physisch zu trennen. Die Dummy-Gates 76 können auch eine Längsrichtung aufweisen, die zur Längsrichtung jeweiliger Finnen 66 im Wesentlichen senkrecht ist.

[0032] In **Fig. 7A** und **Fig. 7B** werden eine erste Spacerschicht 80 und eine zweite Spacerschicht 82 über den jeweils in **Fig. 6A** bzw. **Fig. 6B** dargestellten Strukturen ausgebildet. Die erste Spacerschicht 80 und die zweite Spacerschicht 82 werden anschließend strukturiert, so dass sie als Spacer zum Ausbilden selbstjustierender Source-/Draingebiete wirken. In **Fig. 7A** und **Fig. 7B** wird die erste Spacerschicht 80 auf oberen Flächen der STI-Gebiete 68, oberen Flächen und Seitenwänden der Finnen 66, der Nanostrukturen 55 und der Masken 78, und Seitenwänden der Dummy-Gates 76 und des Dummy-Gatedielektrikums 71 ausgebildet. Die zweite Spacerschicht 82 wird über der ersten Spacerschicht 80 abgeschieden. Die erste Spacerschicht 80 kann aus Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid oder dergleichen unter Verwendung solcher Techniken, wie z.B. einer thermischen Oxidation, ausgebildet oder mithilfe von CVD, ALD oder dergleichen abgeschieden werden. Die zweite Spacerschicht 82 kann aus einem Material ausgebildet werden, das eine andere Ätzrate aufweist als das Material der ersten Spacerschicht 80, wie z.B. Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid oder dergleichen, und kann mithilfe einer CVD, einer ALD oder dergleichen abgeschieden werden.

[0033] Nachdem die erste Spacerschicht 80 ausgebildet wurde und vor dem Ausbilden der zweiten Spacerschicht 82 können Implantationen für schwach dotierte Source-/Draingebiete (LDD-Gebiete) (nicht separat dargestellt) durchgeführt werden. In Ausführungsformen mit verschiedenen Vorrichtungstypen kann ähnlich den vorstehend in **Fig. 4** besprochenen Implantationen eine Maske, wie z.B. ein Fotolack, über dem n-Gebiet 50N ausgebildet werden, während das p-Gebiet 50P freigelegt ist, und Verunreinigungen geeigneten Typs (z.B. p-Typs) können in die freigelegten Finnen 66 und die Nanostrukturen 55 im p-Gebiet 50P implantiert werden. Die Maske kann dann entfernt werden.

Anschließend kann eine Maske, wie z.B. ein Fotolack, über dem p-Gebiet 50P ausgebildet werden, während das n-Gebiet 50N freigelegt wird, und Verunreinigungen geeigneten Typs (z.B. n-Typs) können in die freigelegten Finnen 66 und die Nanostrukturen 55 im n-Gebiet 50N implantiert werden. Die Maske kann dann entfernt werden. Die n-Verunreinigungen können beliebige von den vorstehend besprochenen n-Verunreinigungen sein, und die p-Verunreinigungen können beliebige von den vorstehend besprochenen p-Verunreinigungen sein. Die schwach dotierten Source-/Draingebiete können eine Konzentration von Verunreinigungen in einem Bereich von ungefähr 1×10^{15} Atome/cm³ bis ungefähr 1×10^{19} Atome/cm³ aufweisen. Ein Tempern kann verwendet werden, um Implantationsschäden zu reparieren, und um die implantierten Verunreinigungen zu aktivieren.

[0034] In **Fig. 8A** und **Fig. 8B** werden die erste Spacerschicht 80 und eine zweite Spacerschicht 82 geätzt, um erste Spacer 81 und zweite Spacer 83 auszubilden. Wie nachstehend ausführlicher besprochen sein wird, wirken die ersten Spacer 81 und die zweiten Spacer 83 dahingehend, anschließend ausgebildete Source-Draingebiete selbstjustieren, sowie Seitenwände der Finnen 66 und/oder der Nanostruktur 55 während einer anschließenden Verarbeitung zu schützen. Die erste Spacerschicht 80 und die zweite Spacerschicht 82 können unter Verwendung eines geeigneten Ätzprozesses, wie z.B. eines isotropen Ätzprozesses (z.B. eines Nassätzprozesses), eines anisotropen Ätzprozesses (z.B. eines Trockenätzprozesses) oder dergleichen, geätzt werden. In einigen Ausführungsformen weist das Material der zweiten Spacerschicht 82 eine andere Ätzrate als das Material der ersten Spacerschicht 80, so dass die erste Spacerschicht 80 beim Strukturieren der zweiten Spacerschicht 82 als eine Ätzstoppschicht wirken kann, und so dass die zweite Spacerschicht 82 beim Strukturieren der ersten Spacerschicht 80 als eine Maske wirken kann. Zum Beispiel kann die zweite Spacerschicht 82 unter Verwendung eines anisotropen Ätzprozesses geätzt werden, wobei die erste Spacerschicht 80 als eine Ätzstoppschicht wirkt, wobei verbleibende Abschnitte der zweiten Spacerschicht 82 zweite Spacer 83 bilden, wie in **Fig. 8A** dargestellt. Danach wirken die zweiten Spacer 83 als eine Maske beim Ätzen freigelegter Abschnitte der ersten Spacerschicht 80, wodurch die ersten Spacer 81 ausgebildet werden, wie in **Fig. 8A** dargestellt.

[0035] Wie in **Fig. 8A** dargestellt, werden die ersten Spacer 81 und die zweiten Spacer 83 auf Seitenwänden der Finnen 66 und/oder der Nanostrukturen 55 angeordnet. Wie in **Fig. 8B** dargestellt, kann in einigen Ausführungsformen die zweite Spacerschicht 82 von oberhalb der ersten Spacerschicht 80 benachbart zu den Masken 78, den Dummy-Gates 76 und

den Dummy-Gatedielektrika 81 entfernt werden, und die ersten Spacer 81 werden auf Seitenwänden der Masken 78, der Dummy-Gates 76 und der Dummy-Dielektrikumsschichten 60 angeordnet. In anderen Ausführungsformen kann ein Abschnitt der zweiten Spacerschicht 82 über der ersten Spacerschicht 80 benachbart zu den Masken 78, den Dummy-Gates 76 und den Dummy-Gatedielektrika 71 verbleiben.

[0036] Es ist zu beachten, dass die vorstehende Offenbarung im Allgemeinen einen Prozess zum Ausbilden von Spacern und LDD-Gebieten beschreibt. Andere Prozesse und Sequenzen können verwendet werden. Zum Beispiel können weniger oder zusätzliche Spacer verwendet werden, eine andere Sequenz von Schritten kann verwendet werden (z.B. können die ersten Spacer 81 vor dem Abscheiden der zweiten Spacerschicht 82 strukturiert werden), zusätzliche Spacer können ausgebildet und entfernt werden und/oder dergleichen. Außerdem können n- und p-Vorrichtungen unter Verwendung verschiedener Strukturen und Schritte ausgebildet werden.

[0037] In **Fig. 9A** und **Fig. 9B** werden erste Aussparungen 86 in den Finnen 66, den Nanostrukturen 55 und dem Substrat 50 gemäß einigen Ausführungsformen ausgebildet. Epitaktische Source-/Draingebiete werden anschließend in den ersten Aussparungen 86 ausgebildet. Die ersten Aussparungen 86 können sich durch die ersten Nanostrukturen 52 und die zweiten Nanostrukturen 54 und in das Substrat 50 erstrecken. Wie in **Fig. 9A** dargestellt, können obere Flächen der STI-Gebiete 58 auf gleicher Höhe mit unteren Flächen der ersten Aussparungen 86 liegen. In verschiedenen Ausführungsformen können die Finnen 66 geätzt werden, so dass untere Flächen der ersten Aussparungen 86 unterhalb der oberen Flächen der STI-Gebiete 68 angeordnet sind; oder dergleichen. Die ersten Aussparungen 86 können durch Ätzen der Finnen 66, der Nanostrukturen 55 und des Substrats 50 unter Verwendung anisotroper Ätzprozesse, wie z.. RIE, NBE oder dergleichen, ausgebildet werden. Die ersten Spacer 81, die zweiten Spacer 83 und die Masken 78 maskieren Abschnitte der Finnen 66, der Nanostrukturen 55 und des Substrats 50 während der Ätzprozesse, die zum Ausbilden der ersten Aussparungen 86 verwendet werden. Ein einzelner Ätzprozess oder mehrere Ätzprozesse können verwendet werden, um jede Schicht der Nanostrukturen 55 und/oder der Finnen 66 zu ätzen. Zeitgesteuerte Ätzprozesse können verwendet werden, um das Ätzen der ersten Aussparungen 86 anzuhalten, nachdem die ersten Aussparungen 86 eine gewünschte Tiefe erreicht haben.

[0038] In **Fig. 10A** und **Fig. 10B** werden Abschnitte von Seitenwänden der Schichten des mehrschichtigen Stapels 64, die aus den ersten Halbleitermaterialien ausgebildet sind (z.B. die ersten Nanostrukturen

52), die durch die ersten Aussparungen 86 freigelegt sind, geätzt, um Seitenwandaussparungen 88 im n-Gebiet 50N auszubilden, und Abschnitte von Seitenwänden der Schichten der mehrschichtigen Stapels 56, die aus den zweiten Halbleitermaterialien ausgebildet sind (z.B. die zweiten Nanostrukturen 54), die durch die ersten Aussparungen 86 freigelegt sind, werden geätzt, um Seitenwandaussparungen 88 im p-Gebiet 50N auszubilden. Obwohl Seitenwände der ersten Nanostrukturen 52 und der zweiten Nanostrukturen 54 in Aussparungen 88 derart in **Fig. 10B** dargestellt sind, dass sie gerade sind, können die Seitenwände konkav oder konvex sein. Die Seitenwände können unter Verwendung isotroper Ätzprozesse, wie z.B. eines Nassätzens oder dergleichen, geätzt werden. Das p-Gebiet 50P kann unter Verwendung einer Maske (nicht dargestellt) geschützt werden, während Ätzmittel, die gegenüber den ersten Halbleitermaterialien selektiv sind, zum Ätzen der ersten Nanostrukturen 52 verwendet werden, so dass die zweiten Nanostrukturen 54 und das Substrat 50 im Vergleich mit den ersten Nanostrukturen 52 im n-Gebiet 50N verhältnismäßig ungeätzt bleiben. Gleichermäßen kann das n-Gebiet 50N unter Verwendung einer Maske (nicht dargestellt) geschützt werden, während Ätzmittel, die gegenüber den zweiten Halbleitermaterialien selektiv sind, zum Ätzen der zweiten Nanostrukturen 54 verwendet werden, so dass die ersten Nanostrukturen 52 und das Substrat 50 im Vergleich mit den zweiten Nanostrukturen 54 im p-Gebiet 50P verhältnismäßig ungeätzt bleiben. In einer Ausführungsform, in der die ersten Nanostrukturen 52 z.B. SiGe aufweisen und die zweiten Nanostrukturen 54 z.B. Si oder SiC aufweisen, kann ein Trockenätzprozess mit Tetramethylammoniumhydroxid (TMAH), Ammoniakwasser (NH₄OH) oder dergleichen zum Ätzen von Seitenwänden der ersten Nanostrukturen 52 im n-Gebiet 50N verwendet werden, und ein Trockenätzprozess mit Fluorwasserstoff, einem anderen fluorbasierten Gas oder dergleichen kann zum Ätzen von Seitenwänden der zweiten Nanostrukturen 54 im p-Gebiet 50P verwendet werden.

[0039] In **Fig. 11A** bis **Fig. 11C** werden erste Innenspacer 90 in den Seitenwandaussparungen 88 ausgebildet. Die ersten Innenspacer 90 können durch Abscheiden einer Innenspacerschicht (nicht separat dargestellt) über den in **Fig. 10A** und **Fig. 10B** dargestellten Strukturen ausgebildet werden. Die ersten Innenspacer 90 wirken als Isolationsmerkmale zwischen anschließend ausgebildeten Source-/Draingebieten und einer Gatestruktur. Wie nachstehend ausführlicher besprochen sein wird, werden Source-/Draingebiete in den Aussparungen 86 ausgebildet, während die ersten Nanostrukturen 52 im n-Gebiet 50N und die zweiten Nanostrukturen 54 im p-Gebiet 50P durch entsprechende Gatestrukturen ersetzt werden.

[0040] Die Innenspacerschicht kann mithilfe eines konformen Abscheidungsprozesses, wie z.B. einer CVD, einer ALD oder dergleichen, abgeschieden werden. Die Innenspacerschicht kann ein Material, wie z.B. Siliziumnitrid oder Siliziumoxinitrid, aufweisen, obwohl ein beliebiges geeignetes Material, wie z.B. Materialien mit einer niedrigen Dielektrizitätskonstante (Low-k-Materialien), die einen k-Wert von weniger als ungefähr 3,5 aufweisen, verwendet werden können. Die Innenspacerschicht kann dann anisotrop geätzt werden, um die ersten Innenspacer 90 auszubilden. Obwohl Außenseitenwände der ersten Innenspacer 90 derart dargestellt sind, dass sie mit Seitenwänden der zweiten Nanostrukturen 54 im n-Gebiet 50N bündig sind, und mit den Seitenwänden der ersten Nanostrukturen 52 im p-Gebiet 50P bündig sind, können sich die Außenseitenwände der ersten Innenspacer 90 jeweils über Seitenwände der zweiten Nanostrukturen 54 und/oder der ersten Nanostrukturen 52 erstrecken oder von ihnen ausgespart sein.

[0041] Obwohl die Außenseitenwände der ersten Innenspacer 90 derart in **Fig. 11B** dargestellt sind, dass sie gerade sind, können die Außenwände der ersten Innenspacer 90 konkav oder konvex sein. Als ein Beispiel zeigt **Fig. 11C** eine Ausführungsform, in der Seitenwände der ersten Nanostrukturen 52 konkav sind, Außenseitenwände der ersten Innenspacer 90 konkav sind, und die ersten Innenspacer von Seitenwänden der zweiten Nanostrukturen im n-Gebiet 50P ausgespart sind. Ebenfalls dargestellt sind Ausführungsformen, in denen Seitenwände der zweiten Nanostrukturen 54 konkav sind, Außenseitenwände der ersten Innenspacer 90 konkav sind, und die ersten Innenspacer von Seitenwänden der ersten Nanostrukturen 52 im p-Gebiet 50P ausgespart sind. Die Innenspacerschicht kann mithilfe eines anisotropen Ätzprozesses, wie z.B. RIE, NBE oder dergleichen, geätzt werden. Die ersten Innenspacer 90 können verwendet werden, um Schäden an anschließend ausgebildeten Source-/Draingebieten (wie z.B. den epitaktischen Source-/Draingebieten 92, die nachstehend unter Bezugnahme auf **Fig. 12A** bis **Fig. 12C** besprochen werden) durch anschließende Ätzprozesse, wie z.B. Ätzprozesse, die zum Ausbilden von Gatestrukturen verwendet werden, zu verhindern.

[0042] In **Fig. 12A** bis **Fig. 12C** werden epitaktische Source-/Draingebiete 92 in den ersten Aussparungen 86 ausgebildet. In einigen Ausführungsformen können die Source-/Draingebiete 92 Verspannung auf die zweiten Nanostrukturen 54 im n-Gebiet 50N und auf die ersten Nanostrukturen 52 im p-Gebiet 50P ausüben, wodurch die Leistungsfähigkeit verbessert wird. Wie in **Fig. 12B** dargestellt, werden die epitaktischen Source-/Draingebiete 92 in den ersten Aussparungen 86 derart ausgebildet, dass jedes Dummy-Gate 76 zwischen jeweiligen benach-

barten Paaren epitaktische Source-/Draingebiete 92 angeordnet wird. In einigen Ausführungsformen werden die ersten Spacer 81 verwendet, um die epitaktischen Source-/Draingebiete 92 von den Dummy-Gates 72 zu trennen, und die ersten Innenspacer 90 werden verwendet, um die epitaktischen Source-/Draingebiete 92 von den Nanostrukturen 55 durch eine geeignete seitliche Distanz zu trennen, so dass die epitaktischen Source-/Draingebiete 92 mit anschließend ausgebildeten Gates der resultierenden Nano-FETs nicht kurzschließen.

[0043] Die epitaktischen Source-/Draingebiete 92 im n-Gebiet 50N, z.B. dem NMOS-Gebiet, können durch Maskieren des p-Gebiets 50P, z.B. des PMOS-Gebiets, ausgebildet werden. Dann werden die epitaktischen Source-/Draingebiete 92 in den ersten Aussparungen 86 im n-Gebiet 50N epitaktisch aufgewachsen. Die epitaktischen Source-/Draingebiete 92 können ein beliebiges geeignetes Material, das für n-Nano-FETs geeignet ist, aufweisen. Wenn zum Beispiel die zweiten Nanostrukturen 54 Silizium sind, können die epitaktischen Source-/Draingebiete 92 Materialien aufweisen, die eine Zugspannung auf die zweiten Nanostrukturen 54 ausüben, wie z.B. Silizium, Siliziumkarbid, mit Phosphor dotiertes Siliziumkarbid, Siliziumphosphid oder dergleichen. Die epitaktischen Source-/Draingebiete 92 können Flächen aufweisen, die von jeweiligen oberen Flächen der Nanostrukturen 55 angehoben sind, und können Rautenflächen aufweisen.

[0044] Die epitaktischen Source-/Draingebiete 92 im p-Gebiet 50P, z.B. dem PMOS-Gebiet, können durch Maskieren des n-Gebiets 50N, z.B. des NMOS-Gebiets, ausgebildet werden. Dann werden die epitaktischen Source-/Draingebiete 92 in den ersten Aussparungen 86 im p-Gebiet 50P epitaktisch aufgewachsen. Die epitaktischen Source-/Draingebiete 92 können ein beliebiges geeignetes Material, das für p-Nano-FETs geeignet ist, aufweisen. Wenn zum Beispiel die ersten Nanostrukturen 52 Siliziumgermanium sind, können die epitaktischen Source-/Draingebiete 92 Materialien aufweisen, die eine Druckspannung auf die ersten Nanostrukturen 52 ausüben, wie z.B. Siliziumgermanium, mit Bor dotiertes Siliziumgermanium, Germanium, Germanium-Zinn oder dergleichen. Die epitaktischen Source-/Draingebiete 92 können auch Flächen aufweisen, die von jeweiligen Flächen des mehrschichtigen Stapels 56 angehoben sind, und können Rautenflächen aufweisen.

[0045] In die epitaktischen Source-/Draingebiete 92, die ersten Nanostrukturen 52, die zweiten Nanostrukturen 54 und/oder das Substrat 50 können Dotierstoffe implantiert werden, um Source-/Draingebiete zu bilden, ähnlich dem vorstehend besprochenen Prozess zum Ausbilden von schwach dotierten Source-/Draingebieten, auf den ein Tempern folgt.

Die Source-/Draingebiete können eine Konzentration von Verunreinigungen zwischen ungefähr 1×10^{19} Atome/cm³ und ungefähr 1×10^{21} Atome/cm³ aufweisen. Die n- und die p-Verunreinigungen für Source-/Draingebiete können beliebige von den vorstehend besprochenen Verunreinigungen sein. In einigen Ausführungsformen können die epitaktischen Source-/Draingebiete 92 während des Aufwachsens in-situ dotiert werden.

[0046] Als Folge der epitaktischen Prozesse, die zum Ausbilden der epitaktischen Source-/Draingebiete 92 im n-Gebiet 50N und dem p-Gebiet 50P verwendet werden, weisen obere Flächen der epitaktischen Source-/Draingebiete 92 Rautenflächen auf, die sich seitlich nach außen über Seitenwände der Nanostrukturen 55 hinaus erstrecken. In einigen Ausführungsformen verursachen diese Rautenflächen, dass sich benachbarte epitaktische Source-/Draingebiete 92 eines selben NSFET vereinigen, wie durch **Fig. 12A** dargestellt. In anderen Ausführungsformen verbleiben benachbarte epitaktische Source-/Draingebiete 92 getrennt, nachdem der epitaktische Prozess abgeschlossen wurde, wie durch **Fig. 12C** dargestellt. In den in **Fig. 12A** und **Fig. 12C** dargestellten Ausführungsformen können die ersten Spacer 81 zu einer oberen Fläche der STI-Gebiete 68 ausgebildet werden, wodurch das epitaktische Wachstum gehemmt wird. In einigen anderen Ausführungsformen können die ersten Spacer 81 Abschnitte der Seitenwände der Nanostrukturen 55 abdecken, wodurch das epitaktische Wachstum weiter gehemmt wird. In einigen anderen Ausführungsformen kann die zum Ausbilden der ersten Spacer 81 verwendete Spacerätzung eingestellt werden, um das Spacermaterial zu entfernen, um zu ermöglichen, dass sich das epitaktisch aufgewachsene Gebiet zur Fläche des STI-Gebiets 58 erstreckt.

[0047] Die epitaktischen Source-/Draingebiete 92 können eine oder mehrere Halbleitermaterialschichten aufweisen. Zum Beispiel können die epitaktischen Source-/Draingebiete 92 eine erste Halbleitermaterialschicht 92A, eine zweite Halbleitermaterialschicht 92B und eine dritte Halbleitermaterialschicht 92C aufweisen. Eine beliebige Anzahl von Halbleitermaterialschichten kann für die epitaktischen Source-/Draingebiete 92 verwendet werden. Jede von der ersten Halbleitermaterialschicht 92A, der zweiten Halbleitermaterialschicht 92B und der dritten Halbleitermaterialschicht 92C kann aus verschiedenen Halbleitermaterialien ausgebildet werden und kann auf verschiedene Dotierstoffkonzentrationen dotiert werden. In einigen Ausführungsformen kann die erste Halbleitermaterialschicht 92A eine Dotierstoffkonzentration aufweisen, die kleiner als bei der zweiten Halbleitermaterialschicht 92B und größer als bei der dritten Halbleitermaterialschicht 92C ist. In Ausführungsformen, in denen die epitaktischen Source-/Draingebiete 92 drei Halbleitermaterialschichten

aufweisen, kann die erste Halbleitermaterialschiicht 92A abgeschieden werden, die zweite Halbleitermaterialschiicht 92B kann über der ersten Halbleitermaterialschiicht 92A abgeschieden werden, und die dritte Halbleitermaterialschiicht 92C kann über der zweiten Halbleitermaterialschiicht 92B abgeschieden werden.

[0048] Fig. 12D zeigt eine Ausführungsform, in der Seitenwände der ersten Nanostrukturen 52 im n-Gebiet 60N und Seitenwände der zweiten Nanostrukturen 54 im p-Gebiet 50P konkav sind, Außen-seitenwände der ersten Innenspacer 90 konkav sind, und die ersten Innenspacer 90 jeweils von Seitenwänden der zweiten Nanostrukturen 54 bzw. der ersten Nanostrukturen 52 ausgespart sind. Wie in Fig. 12D dargestellt, können die epitaktischen Source-/Draingebiete 92 derart ausgebildet sein, dass sie mit den ersten Innenspacer 90 in Kontakt stehen, und können sich über Seitenwände der zweiten Nanostrukturen 54 im n-Gebiet 50N und über Seitenwände der ersten Nanostrukturen 52 im p-Gebiet 50P hinaus erstrecken. Außerdem können in Ausführungsformen, in denen die ersten Innenspacer 90 von Seitenwänden der zweiten Nanostrukturen 54 und/oder der ersten Nanostrukturen 52 ausgespart sind, die epitaktischen Source-/Draingebiete 92 jeweils zwischen den zweiten Nanostrukturen 54 und/oder den ersten Nanostrukturen 52 ausgebildet sein.

[0049] In Fig. 13A bis Fig. 13C wird ein erstes Zwischenschichtdielektrikum (ILD) 96 jeweils über der in Fig. 6A, Fig. 12B bzw. Fig. 12A dargestellten Struktur abgeschieden (die Prozesse von Fig. 7A bis Fig. 12D ändern den in Fig. 6A dargestellten Querschnitt nicht). Die erste ILD 96 kann aus einem dielektrischen Material ausgebildet werden, und kann mithilfe eines beliebigen geeigneten Verfahrens, wie z.B. einer CVD, einer plasmaunterstützten CVD (PECVD), oder einer FCVD, abgeschieden werden. Dielektrische Materialien können Phosphorsilikatglas (PSG), Borsilikatglas (BSG), mit Bor dotiertes Phosphorsilikatglas (BPSG), undotiertes Silikatglas (USG) oder dergleichen aufweisen. Andere Isolationsmaterialien, die mithilfe eines beliebigen geeigneten Prozesses ausgebildet werden, können verwendet werden. In einigen Ausführungsformen wird eine Kontaktätzstoppschicht (CESL) 94 zwischen der ersten ILD 96 und den epitaktischen Source-/Draingebieten 92, den Masken 74 und den ersten Spacern 81 angeordnet. Die CESL 94 kann ein dielektrisches Material, wie z.B. Siliziumnitrid, Siliziumoxid, Siliziumoxinitrid, oder dergleichen, aufweisen, das eine andere Ätzrate aufweist als das Material des darüberliegenden ersten ILD 96.

[0050] In Fig. 14A bis Fig. 14C kann ein Planarisierungsprozess, wie z.B. ein CMP, durchgeführt werden, um die obere Fläche des ersten ILD 96 mit den

oberen Flächen der Dummy-Gates 76 oder der Masken 78 zu ebnet. Der Planarisierungsprozess kann auch die Masken 78 auf den Dummy-Gates 76 und Abschnitte der ersten Spacer 81 entlang von Seitenwänden der Masken 78 entfernen. Nach dem Planarisierungsprozess befinden sich obere Flächen der Dummy-Gates 76, der ersten Spacer 81 und des ersten ILD 96 im Rahmen von Prozessschwankungen auf gleicher Höhe. Dementsprechend sind die oberen Flächen der Dummy-Gates 72 durch das erste ILD 96 freigelegt. In einigen Ausführungsformen können die Masken 78 verbleiben, wobei in diesem Fall der Planarisierungsprozess die obere Fläche des ersten ILD 96 mit einer oberen Fläche der Masken 78 und der ersten Spacer 81 ebnet.

[0051] In Fig. 15A und Fig. 15B werden die Dummy-Gates 72 und die Masken 74, falls vorhanden, in einem oder mehreren Ätzschritten entfernt, so dass zweite Aussparungen 98 ausgebildet werden. Abschnitte der Dummy-Gatedielektrika 60 in den zweiten Aussparungen 98 werden ebenfalls entfernt. In einigen Ausführungsformen werden die Dummy-Gates 72 und die Dummy-Gatedielektrika 60 durch einen anisotropen Trockenätzprozess entfernt. Zum Beispiel kann der Ätzprozess einen Trockenätzprozess umfassen, der ein Reaktionsgas(e) verwendet, das (die) die Dummy-Gates 72 mit einer schnelleren Rate als das erste ILD 96 oder die ersten Spacer 81 selektiv ätzt (ätzen). Jede zweite Aussparung 98 legt Abschnitte der Nanostrukturen 55 frei und/oder liegt über ihnen, die als Kanalgebiete in anschließend fertiggestellten Nano-FETs wirken. Abschnitte der Nanostrukturen 55, die als die Kanalgebiete wirken, sind zwischen benachbarten Paaren epitaktische Source-/Draingebiete 92 angeordnet. Während des Entfernens können die Dummy-Dielektrikumsschichten 60 als Ätzstoppschichten verwendet werden, wenn die Dummy-Gates 72 geätzt werden. Die Dummy-Dielektrikumsschichten 60 können dann nach dem Entfernen der Dummy-Gates 72 entfernt werden.

[0052] In Fig. 16A und Fig. 16B können die zweiten Nanostrukturen 54 im p-Gebiet 50P entfernt werden, indem eine Maske (nicht dargestellt) über dem n-Gebiet 50N ausgebildet wird und ein isotroper Ätzprozess, wie z.B. ein Nassätzen oder dergleichen, unter Verwendung von Ätzmitteln, die gegenüber den Materialien der zweiten Nanostrukturen 54 selektiv sind, durchgeführt wird, während die ersten Nanostrukturen 52, das Substrat 50, die STI-Gebiete 58 im Vergleich mit den zweiten Nanostrukturen 54 vergleichsweise ungeätzt bleiben. In Ausführungsformen, in denen die zweiten Nanostrukturen 54 z.B. SiGe aufweisen, und die ersten Nanostrukturen 52 z.B. Si oder SiC aufweisen, kann Fluorwasserstoff, ein anderes fluorbasiertes Gas oder dergleichen verwendet werden, um die zweiten Nanostrukturen 54 im p-Gebiet 50P zu entfernen.

[0053] In anderen Ausführungsformen können die Kanalgebiete im n-Gebiet 50N und dem p-Gebiet 50P gleichzeitig ausgebildet werden, indem zum Beispiel die ersten Nanostrukturen 52 sowohl im n-Gebiet 50N als auch dem p-Gebiet 50P entfernt werden, oder indem die zweiten Nanostrukturen 54 sowohl im n-Gebiet 50N als auch dem p-Gebiet 50P entfernt werden. In solchen Ausführungsformen können Kanalgebiete von n-NSFETs und p-NSFETs eine gleiche Materialzusammensetzung, wie z.B. Silizium, Siliziumgermanium oder dergleichen aufweisen. **Fig. 27A**, **Fig. 27B** und **Fig. 27C** zeigen eine Struktur, die aus solchen Ausführungsformen resultiert, wobei die Kanalgebiete sowohl im p-Gebiet 50P als auch dem n-Gebiet 50N durch die zweiten Nanostrukturen 54 bereitgestellt werden und zum Beispiel Silizium aufweisen.

[0054] In **Fig. 17A** bis **Fig. 23B** werden gemäß einigen Ausführungsformen Gatedielektrumsschichten und Gateelektroden für Ersatzgates in den zweiten Aussparungen 98 ausgebildet. Die Gateelektroden eine WFM-Schicht, die mit Fluor behandelt wurde. Als Folge der Fluortränkung kann eine Flachbandspannung (V_{FB}) des resultierenden Transistors zu einer Bandkante des Metalls der WFM-Schicht erhöht werden, eine Schwellenspannung des resultierenden Transistors kann verringert werden, und die Vorrichtungsleistungsfähigkeit kann verbessert werden.

[0055] Das Ausbilden der Gatedielektrika im n-Gebiet 50N und dem p-Gebiet 50P kann gleichzeitig stattfinden, so dass die Gatedielektrika in jedem Gebiet aus denselben Materialien ausgebildet werden, und das Ausbilden der Gateelektroden kann gleichzeitig stattfinden, so dass die Gateelektroden in jedem Gebiet aus denselben Materialien ausgebildet werden. In einigen Ausführungsformen können die Gatedielektrika in jedem Gebiet mithilfe verschiedener Prozesse ausgebildet werden, so dass die Gatedielektrika verschiedene Materialien sein können und/oder verschiedene Anzahlen von Schichten aufweisen können, und/oder die Gateelektroden können in jedem Gebiet mithilfe verschiedener Prozesse ausgebildet werden, so dass die Gateelektroden verschiedene Materialien sein können und/oder verschiedene Anzahlen von Schichten aufweisen können. Verschiedene Maskierungsschritte können verwendet werden, um geeignete Gebiete zu maskieren und freizulegen, wenn verschiedene Prozesse verwendet werden. In der nachstehenden Beschreibung werden die Gateelektroden des n-Gebiets 50N und die Gateelektroden des p-Gebiets 50P separat ausgebildet.

[0056] **Fig. 17A** bis **Fig. 22D** zeigen ein Ausbilden der Gatedielektrika 100 und der Gateelektroden 102 im p-Gebiet 50P, und das n-Gebiet 50N kann zumindest während des Ausbildens der Gateelektroden

102 im p-Gebiet 50P maskiert sein (z.B. wie nachstehend in **Fig. 18A** bis **Fig. 22D** beschrieben).

[0057] In **Fig. 17A** und **Fig. 17B** werden Gatedielektrika 100 in den zweiten Aussparungen 98 im p-Gebiet 50P konform abgeschieden. Die Gatedielektrika 100 weisen eine oder mehrere dielektrischen Schichten, wie z.B. ein Oxid, ein Metalloxid, dergleichen oder Kombinationen davon, auf. Zum Beispiel können in einigen Ausführungsformen die Gatedielektrika 100 ein erstes Gatedielektrum 101 (das z.B. Siliziumoxid oder dergleichen aufweist) und ein zweites Gatedielektrum 103 (das z.B. ein Metalloxid oder dergleichen aufweist) über dem ersten Gatedielektrum 101 aufweisen. In einigen Ausführungsformen weisen die zweiten Gatedielektrika 103 ein High-k-Dielektrumsmaterial auf und in diesen Ausführungsformen können die zweiten Gatedielektrika 103 einen k-Wert aufweisen, der größer ist als ungefähr 7,0, und können ein Metalloxid oder ein Silikat von Hafnium, Aluminium, Zirkonium, Lanthan, Mangan, Barium, Titan, Blei und Kombinationen davon aufweisen. Das erste Gatedielektrum 101 kann in einigen Ausführungsformen als eine Grenzflächenschicht bezeichnet werden und das zweite Gatedielektrum 103 kann als ein High-k-Gatedielektrum bezeichnet werden.

[0058] Die Struktur der Gatedielektrika 100 kann im n-Gebiet 50N und dem p-Gebiet 50P gleich oder verschieden sein. Zum Beispiel kann das n-Gebiet 50N während des Ausbildens der Gatedielektrika 100 im p-Gebiet 50P maskiert oder freigelegt sein. In Ausführungsformen, in denen das n-Gebiet 50N freigelegt ist, können die Gatedielektrika 100 im n-Gebiet 50N gleichzeitig ausgebildet werden. Die Verfahren zum Ausbilden der Gatedielektrika 100 können eine Molekularstrahlabscheidung (MBD), eine ALD, eine PECVD und dergleichen umfassen.

[0059] In **Fig. 18A** und **Fig. 18B** wird ein erstes leitfähiges Material 105 auf den Gatedielektrika 100 im p-Gebiet 50P konform abgeschieden. In einigen Ausführungsformen ist das erste leitfähige Material 105 ein p-WFM, das Titanitrid, Tantalnitrid, Titan-Siliziumnitrid (TSN) oder dergleichen aufweist. Das erste leitfähige Material 105 kann mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden werden. Das erste leitfähige Material kann derart abgeschieden werden, dass es die ersten Nanostrukturen 52 umgibt. Das erste leitfähige Material 105 kann Gebiete lediglich teilweise nachdem das erste leitfähige Material 105 abgeschieden wurde, können Öffnungen 130 in Gebieten 501 zwischen den ersten Nanostrukturen 52 verbleiben.

[0060] In **Fig. 19A** und **Fig. 19B** wird eine Fluorbehandlung 109 auf das erste leitfähige Material 105 angewendet. In einigen Ausführungsformen ist die

Fluorbehandlung 109 ein Abscheidungsprozess (z.B. ein ALD-Prozess, ein CVD-Prozess oder dergleichen), der eine fluorhaltige Vorstufe über Flächen des ersten leitfähigen Materials 105 strömt. In einigen Ausführungsformen kann die fluorhaltige Vorstufe WF_x , NF_x , TiF_x , TaF_x , HfF_x , oder dergleichen sein, wobei x eine Ganzzahl in einem Bereich von 1 bis 6 ist. Zum Beispiel kann die fluorhaltige Vorstufe in einigen Ausführungsformen WF_6 und/oder NF_3 sein. Als Folge der Fluorbehandlung 109 kann das erste leitfähige Material 105 Fluor in einem Bereich von 2 % bis 20 % aufweisen.

[0061] Die Fluorbehandlung 109 kann bei einer Temperatur in einem Bereich von ungefähr 250 °C bis ungefähr 475 °C durchgeführt werden. Es wurde beobachtet, dass die fluorhaltige Vorstufe nicht richtig dissoziiert und eine gewünschte Änderung des ersten leitfähigen Materials 105 und/oder seiner darunterliegenden Schichten bewirkt, wenn die Temperatur der Fluorbehandlung 109 niedriger ist als 250 °C. Es wurde beobachtet, dass die Menge von Fluor, die von der fluorhaltigen Vorstufe dissoziiert, zu groß sein kann, um genau kontrolliert zu werden, wenn die Temperatur der Fluorbehandlung 109 größer ist als 475 °C. In einigen Ausführungsformen kann die Fluorbehandlung 109 für eine Zeitdauer in einem Bereich von 1 s bis 15 min durchgeführt werden. Es wurde beobachtet, dass der Behandlungsprozess möglicherweise nicht hinreichend ist, um eine Schwellenspannung des resultierenden Transistors einzustellen, wenn die Fluorbehandlung 109 für weniger als 1s durchgeführt wird. Es wurde beobachtet, dass eine übermäßige Fluormenge in die Vorrichtung eingeführt werden kann, was zu einem Nachteil einer Kapazitätsäquivalentdicke (CET) führt (z.B. erneutes Wachstum der Grenzflächenschicht 101), wenn die Fluorbehandlung 109 für länger als 15 min durchgeführt wird.

[0062] In einigen Ausführungsformen ist die Fluorbehandlung 109 ein Abscheidungsprozess, der eine einzige Chemikalie (z.B. WF_6 , NF_3 oder dergleichen) ohne eine andere Chemikalie, die eine Reduktions--Oxidations-Reaktion auslösen würde, verwendet. Daher scheidet die Fluorbehandlung 109 keinen durchgehenden Film auf dem ersten leitfähigen Material 105 ab. Jedoch können in Ausführungsformen, in denen die fluorhaltige Vorstufe auch ein Metall aufweist, diskrete Taschen aus einem Rückstand 111 des Metalls auf der oberen Fläche des ersten leitfähigen Materials 105 ausgebildet werden. Jede Tasche aus dem Rückstand 111 kann von anderen Taschen des Rückstands 111 getrennt sein, und es wird kein durchgehender Film auf dem ersten leitfähigen Material 105 ausgebildet. In Ausführungsformen, in denen die während der Fluorbehandlung 109 verwendete fluorhaltige Vorstufe WF_6 ist, kann der Rückstand 111 ein Wolframrückstand sein, der auf dem ersten leitfähigen Material 105 aus-

gebildet wird. Der Rückstand 111 kann auf freigelegten Flächen des ersten leitfähigen Materials 105 ausgebildet werden, einschließlich in Gebieten 501 zwischen den ersten Nanostrukturen 52. In einigen Ausführungsformen, in denen der Rückstand 111 ein Wolframrückstand ist und das High-k-Gatedielektrikum 103 HfO_2 aufweist, kann ein Verhältnis von Wolfram zu Hafnium in den Gebieten 501 kleiner sein als 0,1, wie z.B. in einem Bereich von ungefähr 0,005 bis ungefähr 0,1 liegen oder weniger als 0,005 betragen. Es wurde beobachtet, dass die resultierende Vorrichtung möglicherweise eine gewünschte Schwellenspannung nicht aufweist (z.B. kann die Schwellenspannung zu hoch sein), wenn das Verhältnis von Wolfram zu Hafnium in den Gebieten 501 größer als 0,1 ist.

[0063] In anderen Ausführungsformen, in denen die fluorhaltige Vorstufe kein Metall aufweist (z.B. ist die fluorhaltige Vorstufe NF_3), wird der Rückstand 111 auf dem ersten leitfähigen Material 105 möglicherweise nicht ausgebildet. Zum Beispiel zeigen **Fig. 28A** bis **Fig. C** eine Ausführungsform, in der der Rückstand 11 nicht ausgebildet wird, und die während der Fluorbehandlung 109 verwendete fluorhaltige Vorstufe NF_3 ist.

[0064] In einigen Ausführungsformen kann die Fluorbehandlung 109 ferner dazu führen, dass Fluor in die darunterliegenden Gatedielektrika 100, wie z.B. das High-k-Gatedielektrikum 103, diffundiert, und Fluor kann mit einer Röntgenphotoelektronenspektroskopieanalyse im High-k-Gatedielektrikum 103 beobachtet werden. Zum Beispiel kann in Ausführungsformen, in denen das High-k-Gatedielektrikum 103 Hafniumoxid aufweist, als Folge der Fluorbehandlung 109 ein Verhältnis von Fluor zu Hafnium im High-k-Gatedielektrikum 103 in einem Bereich von ungefähr 0,015 bis ungefähr 0,2 liegen. Es wurde beobachtet, dass die Menge von Fluor möglicherweise nicht hinreichend ist, um eine Schwellenspannung des resultierenden Transistors einzustellen, wenn das Verhältnis von Fluor zu Hafnium im High-k-Gatedielektrikum 103 kleiner ist als 0,015. Es wurde beobachtet, dass eine übermäßige Menge von Fluor in das High-k-Gatedielektrikum 103 eingeführt werden kann, was zu einem CET-Nachteil führt (z.B. einem erneuten Wachstum des Grenzflächenschicht 120), wenn das Verhältnis von Fluor zu Hafnium im High-k-Gatedielektrikum 103 größer ist als 0,2. In einigen Ausführungsformen kann eine Menge von Fluor im High-k-Gatedielektrikum 103 in einem Bereich von ungefähr 2,5 % bis ungefähr 6 % liegen.

[0065] Dementsprechend, wie vorstehend beschrieben, verschiedene Ausführungsformen eine fluorbehandelte leitfähige Schicht 105, die ebenfalls Fluor in ein darunterliegendes Gatedielektrikum (z.B. ein High-k-Gatedielektrikum) diffundieren kann. Folglich

kann eine V_{FB} des resultierenden Transistors zu einer Bandkante des Metalls der WFM-Schicht erhöht werden, eine Schwellenspannung der resultierenden Vorrichtung kann verringert werden und die Vorrichtungsleistungsfähigkeit kann verbessert werden. Zum Beispiel haben in experimentellen Daten Ausführungsformen von Fluorbehandlungen, die ein WF_6 -Tränken anwenden, zu einer positiven Verschiebung der effektiven Austrittsarbeit (EFW) an einem Metalloxid-Halbleiterkondensator (MOSC) von 22 mV bis 24 mV nach dem Bilden des Gateemporns geführt.

[0066] In **Fig. 20A** und **Fig. 20B** wird ein zweites leitfähiges Material 107 auf dem ersten leitfähigen Material 105 und dem Rückstand 111 konform abgeschieden. In einigen Ausführungsformen ist ein zweites leitfähiges Material 107 ein p-WFM, das Titanitrid, Tantalitrid, Wolframnitrid, Molybdänitrid oder dergleichen aufweist. Das zweite leitfähige Material 107 kann mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden werden. Da das zweite leitfähige Material 107 nach der Fluorbehandlung 109 abgeschieden wird, kann das zweite leitfähige Material 107 frei von Fluor sein oder eine niedrigere Fluorkonzentration aufweisen als das erste leitfähige Material 105.

[0067] Das zweite leitfähige Material 107 kann einen verbleibenden Abschnitt des Gebiets 501 zwischen den ersten Nanostrukturen 52 füllen (indem es z.B. die Öffnungen 130 füllt, siehe **Fig. 18A** und **Fig. 18B**). Zum Beispiel kann das zweite leitfähige Material 107 auf dem ersten leitfähigen Material 105 abgeschieden werden, bis es sich vereinigt und zusammennäht, und in einigen Ausführungsformen kann eine Grenzfläche 107I ausgebildet werden, indem ein erster Abschnitt 107A des zweiten leitfähigen Materials 107 (z.B. des leitfähigen Materials 107A) einen zweiten Abschnitt 107B des zweiten leitfähigen Materials 107 (z.B. des leitfähigen Materials 107B) im Gebiet 501 berührt.

[0068] In **Fig. 21A** und **Fig. 21B** wird eine Haftschrift 117 über der zweiten leitfähigen Schicht 107 konform abgeschieden. In einigen Ausführungsformen wird die Haftschrift 117 auf dem zweiten leitfähigen Material 107 im p-Gebiet 50P konform abgeschieden. In einigen Ausführungsformen weist die Haftschrift 117 Titanitrid, Tantalitrid oder dergleichen auf. Die Haftschrift 117 kann mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden werden. Die Haftschrift 117 kann alternativ als eine Klebstoffschicht bezeichnet werden und sie verbessert eine Haftung zum Beispiel zwischen dem zweiten leitfähigen Material 107 und dem darüberliegenden Füllmetall 119.

[0069] In **Fig. 22A**, **Fig. 22B**, **Fig. 22C** und **Fig. 22D** werden verbleibende Abschnitte der Gateelektroden

102 abgeschieden, so dass sie verbleibende Abschnitte der zweiten Aussparungen 98 füllen. Das Füllmetall 119 kann dann über der Haftschrift 117 abgeschieden werden. In einigen Ausführungsformen weist das Füllmetall 119 Kobalt, Ruthenium, Aluminium, Wolfram, Kombinationen davon oder dergleichen auf, das mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden wird. Die resultierenden Gateelektroden 102 werden für Ersatzgates ausgebildet und können das erste leitfähige Material 105, den Rückstand 111 (falls vorhanden), das zweite leitfähige Material 107, die Haftschrift 118 und das Füllmetall 119 aufweisen. **Fig. 22C** zeigt eine Draufsicht entlang der Linie X-X' von **Fig. 22B** (z.B. in den Gebieten 50I), während **Fig. 22D** eine Draufsicht entlang der Linie Y-Y' von **Fig. 22B** (z.B. durch die ersten Nanostrukturen 52) zeigt.

[0070] Im p-Gebiet 50P können die Gatedielektrika 100, das erste leitfähige Material 105, das zweite leitfähige Material 107, die Haftschrift 117 und das Füllmetall 119 jeweils auf oberen Flächen, Seitenwänden und unteren Flächen der ersten Nanostrukturen 52 ausgebildet werden. Der Rückstand 111 kann an einer Grenzfläche zwischen dem ersten leitfähigen Material 105 und dem zweiten leitfähigen Material 107 ausgebildet werden, und ein Metallelement des Rückstands 111 kann von einem Metallelement des ersten leitfähigen Materials 105 und/oder des zweiten leitfähigen Materials 107 verschieden sein. Die Gatedielektrika 100, das erste leitfähige Material 105, der Rückstand 111, das zweite leitfähige Material 107, die Haftschrift 117 und das Füllmetall 119 können außerdem auf oberen Flächen des ersten ILD 96, der CESL 94, der ersten Spacer 81 und der STI-Gebiete 58 abgeschieden werden. Nach dem Füllen der zweiten Aussparungen 98 kann ein Planarisierungsprozess, wie z.B. ein CMP, durchgeführt werden, um die überschüssigen Abschnitte der Gatedielektrika 100, des ersten leitfähigen Materials 105, des Rückstands 111, des zweiten leitfähigen Materials 107, der Haftschrift 117 und des Füllmetalls 119 zu entfernen, wobei sich die überschüssigen Abschnitte über der oberen Fläche des ersten ILD 96 befinden. Die verbleibenden Abschnitte von Material der Gateelektroden 102 und der Gatedielektrika 100 bilden daher Ersatzgatestrukturen der resultierenden Nano-FETs. Die Gateelektroden 102 und die Gatedielektrika 100 können gemeinsam als „Gatestrukturen“ bezeichnet werden.

[0071] **Fig. 23A** und **Fig. 23B** zeigen eines Gatestapels im n-Gebiet 50N. Ein Ausbilden des Gatestapels im n-Gebiet 50N kann zunächst ein Entfernen der ersten Nanostrukturen 52 im n-Gebiet 50N umfassen. Die ersten Nanostrukturen 52 können entfernt werden, indem eine Maske (nicht dargestellt) über dem p-Gebiet 50P ausgebildet wird und ein isotroper Ätzprozess, wie z.B. ein Nassätzen oder derglei-

chen, unter Verwendung von Ätzmitteln, die gegenüber den Materialien der ersten Nanostrukturen 52 selektiv sind, durchgeführt wird, während die zweiten Nanostrukturen 54, das Substrat 50 und die STI-Gebiete 68 im Vergleich mit den ersten Nanostrukturen 52 vergleichsweise ungeätzt bleiben. In Ausführungsformen, in denen die ersten Nanostrukturen 52A-52C z.B. SiGe aufweisen, und die zweiten Nanostrukturen 54A bis 54C z.B. Si oder SiC aufweisen, kann Tetramethylammoniumhydroxid (TMAH), Ammoniakwasser (NH₄OH) oder dergleichen verwendet werden, um die ersten Nanostrukturen 52 im n-Gebiet 50N zu entfernen.

[0072] Der Gatestapel wird dann über den zweiten Nanostrukturen 54 im n-Gebiet 50N und um sie herum ausgebildet. Der Gatestapel weist die Gatedielektrika 100 und die Gateelektroden 127 auf. In einigen Ausführungsformen können die Gatedielektrika 100 im n-Gebiet 50N und dem p-Gebiet 50P gleichzeitig ausgebildet werden. Außerdem können zumindest Abschnitte der Gateelektroden 127 entweder vor oder nach dem Ausbilden der Gateelektroden 102 (siehe **Fig. 22A** und **Fig. 22B**) ausgebildet werden, und zumindest Abschnitte der Gateelektroden 127 können ausgebildet werden, während das p-Gebiet 50P maskiert ist. Von daher können die Gateelektroden 127 andere Materialien aufweisen als die Gateelektroden 102. Zum Beispiel können die Gateelektroden 128 eine leitfähige Schicht 121, eine Barrierschicht 123 und ein Füllmetall 125 aufweisen. Die leitfähige Schicht 121 kann eine n-Austrittsarbeitsmetallschicht (WFM-Schicht) sein, die ein n-Metall, wie z.B. Titanaluminium, Titanaluminiumkarbid, Tantalaluminium, Tantaloxid, Kombinationen davon oder dergleichen, aufweist. Die leitfähige Schicht 121 kann mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden werden. Die Barrierschicht 123 kann Titanitrid, Tantalnitrid, Wolframkarbid, Kombinationen davon oder dergleichen aufweisen und die Barrierschicht 123 kann ferner als eine Haftschicht wirken. Die Barrierschicht 123 kann mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden werden. Das Füllmetall 125 weist Kobalt, Ruthenium, Aluminium, Wolfram, Kombinationen davon oder dergleichen auf, das mithilfe einer CVD, einer ALD, einer PECVD, einer PVD oder dergleichen abgeschieden wird. Das Füllmetall 125 kann eine gleiche Metallzusammensetzung aufweisen wie das Füllmetall 119 oder nicht und mit ihm gleichzeitig abgeschieden werden oder nicht.

[0073] Nach dem Füllen der zweiten Aussparungen 98 kann ein Planarisierungsprozess, wie z.B. ein CMP, durchgeführt werden, um die überschüssigen Abschnitte der Gatedielektrika 100 und der Gateelektroden 127 zu entfernen, wobei sich die überschüssigen Abschnitte über der oberen Fläche des ersten ILD 96 befinden. Die verbleibenden

Abschnitte von Material der Gateelektroden 127 und der Gatedielektrika 100 bilden daher Ersatzgatestrukturen der resultierenden Nano-FETs des n-Gebiets 50N aus. Die CMP-Prozesse zum Entfernen von überschüssigen Materialien der Gateelektroden 102 im p-Gebiet 50P und zum Entfernen von überschüssigen Materialien der Gateelektroden 127 im n-Gebiet 50N können gleichzeitig oder separat durchgeführt werden.

[0074] In **Fig. 24A** bis **Fig. 24C** wird die Gatestruktur (die die Gatedielektrika 100, die Gateelektroden 102 und die Gateelektroden 127 aufweist) ausgespart, so dass eine Aussparung direkt über der Gatestruktur und zwischen gegenüberliegenden Abschnitten der ersten Spacer 81 ausgebildet wird. Eine Gatemaske 104, die eine oder mehrere Schichten eines dielektrischen Materials, wie z.B. Siliziumnitrid, Siliziumoxinitrid oder dergleichen, aufweist, wird in die Aussparung eingefüllt, worauf ein Planarisierungsprozess folgt, um überschüssige Abschnitte des dielektrischen Materials zu entfernen, die sich über das erste ILD 96 erstrecken. Anschließend ausgebildete Gatekontakte 110 (wie z.B. die Gatekontakte 114, die nachstehend unter Bezugnahme auf **Fig. 26A**, **Fig. 26B** und **Fig. 26C** besprochen werden) dringen durch die Gatemaske 104, um die obere Fläche der ausgesparten Gateelektroden 102 zu kontaktieren.

[0075] Wie ferner durch **Fig. 24A** bis **Fig. 24C** dargestellt, wird ein zweites ILD 106 über dem ersten ILD 96 und über der Gatemaske 104 abgeschieden. In einigen Ausführungsformen ist das zweite ILD 106 ein fließfähiger Film, der mithilfe einer FCVD ausgebildet wird. In einigen Ausführungsformen wird das zweite ILD 106 aus einem dielektrischen Material, wie z.B. PSG, BSG, BPSG, USG oder dergleichen, ausgebildet, und kann mithilfe eines beliebigen geeigneten Verfahrens, wie z.B. einer CVD, einer PECVD oder dergleichen, abgeschieden werden.

[0076] In **Fig. 25A** bis **Fig. 25C** werden das zweite ILD 106, das erste ILD 96, die CESL 94 und die Gatemasken 104 geätzt, um dritte Aussparungen 108 auszubilden, wodurch Flächen der epitaktischen Source-/Draingebiete 92 und/oder der Gatestruktur freigelegt werden. Die dritten Aussparungen 108 können durch Ätzen unter Verwendung eines anisotropen Ätzprozesses, wie z.B. RIE, NBE oder dergleichen, ausgebildet werden. In einigen Ausführungsformen können die dritten Aussparungen 108 unter Verwendung eines ersten Ätzprozesses durch das zweite ILD 106 und das erste ILD 96 geätzt werden; können unter Verwendung eines zweiten Ätzprozesses durch die Gatemasken 104 geätzt werden; und dann können unter Verwendung eines dritten Ätzprozesses durch die CESL 94 geätzt werden. Eine Maske, wie z.B. ein Fotolack, kann über dem zweiten ILD 106 ausgebildet und strukturiert werden, um Abschnitte des zweiten ILD 106 vor dem ersten Ätz-

prozess und dem zweiten Ätzprozess zu maskieren. In einigen Ausführungsformen kann der Ätzprozess überätzen, und daher erstrecken sich die dritten Aussparungen 108 in die epitaktischen Source-/Draingebiete 92 und/oder die Gatestruktur, und eine Unterseite der dritten Aussparungen 108 kann mit den epitaktischen Source-/Draingebieten 92 und/oder der Gatestruktur bündig (z.B. auf gleicher Höhe, oder in einem gleichen Abstand vom Substrat) sein oder niedriger als diese (z.B. näher dem Substrat) sein. Obwohl **Fig. 25B** die dritten Aussparungen 108 derart zeigt, dass sie die epitaktischen Source-/Draingebiete 92 und die Gatestruktur in einem selben Querschnitt freilegen, können in verschiedenen Ausführungsformen die epitaktischen Source-/Draingebiete 92 und die Gatestruktur in verschiedenen Querschnitten freigelegt werden, wodurch das Risiko eines Kurzschlusses von anschließend ausgebildeten Kontakten reduziert wird.

[0077] Nachdem die dritten Aussparungen 108 ausgebildet wurden, werden Silizidgebiete 110 über den epitaktischen Source-/Draingebieten 92 ausgebildet. In einigen Ausführungsformen werden die Silizidgebiete 110 ausgebildet, indem zuerst ein Metall (nicht dargestellt), das in der Lage ist, mit den Halbleitermaterialien der darunterliegenden epitaktischen Source-/Draingebiete 92 (z.B. Silizium, Siliziumgermanium, Germanium) zu reagieren, um Silizid- oder Germanid-Gebiete zu bilden, wie z.B. Nickel, Kobalt, Titan, Tantal, Platin, Wolfram, andere Edelmetalle, andere Refraktärmetalle, Seltenerdmetalle oder ihre Legierungen, über den freigelegten Abschnitten der epitaktischen Source-Drain-Gebiete 92 abgeschieden wird, und anschließend ein thermischer Temperprozess durchgeführt wird, um die Silizidgebiete 110 zu bilden. Die nicht umgesetzten Teile des abgeschiedenen Metalls werden dann z.B. mithilfe eines Ätzprozesses entfernt. Obwohl die Silizidgebiete 110 als Silizidgebiete bezeichnet werden, können die Silizidgebiete 110 auch Germanidgebiete, oder Siliziumgermanidgebiete (z.B. Gebiete, die Silizid und Germanid aufweisen) sein. In einer Ausführungsform weist das Silizidgebiet 110 TiSi auf und weist eine Dicke in einem Bereich zwischen ungefähr 2 nm und ungefähr 10 nm auf.

[0078] Als Nächstes werden in **Fig. 26A** bis **Fig. C** Kontakte 112 und 114 (die auch als Kontaktstecker bezeichnet werden können) in den dritten Aussparungen 108 ausgebildet. Die Kontakte 112 und 114 können jeweils eine oder mehrere Schichten, wie z.B. Barrierschichten, Diffusionsschichten und Füllmaterialien aufweisen. Zum Beispiel weisen in einigen Ausführungsformen die Kontakte 112 und 114 jeweils eine Barrierschicht und ein leitfähiges Material auf, und sind mit dem darunterliegenden leitfähigen Merkmal (z.B. den Gateelektroden 102, den Gateelektroden 127 und/oder dem Silizidgebiet 110 in der dargestellten Ausführungsform) elektrisch

gekoppelt. Die Kontakte 114 werden mit den Gateelektroden 102 und 127 elektrisch gekoppelt und können als Gatekontakte bezeichnet werden, und die Kontakte 112 werden mit den Silizidgebieten 110 elektrisch gekoppelt und können als Source-/Drainkontakte bezeichnet werden. Die Barrierschicht kann Titan, Titannitrid, Tantal, Tantalnitrid oder dergleichen aufweisen. Das leitfähige Material kann Kupfer, eine Kupferlegierung, Silber, Gold, Wolfram, Kobalt, Aluminium, Nickel oder dergleichen sein. Ein Planarisierungsprozess, wie z.B. ein CMP, kann durchgeführt werden, um ein überschüssiges Material von einer Fläche des zweiten ILD 106 zu entfernen.

[0079] **Fig. 27A**, **Fig. 27B** und **Fig. 27C** zeigen Querschnittsansichten einer Vorrichtung gemäß einigen alternativen Ausführungsformen. **Fig. 27A** zeigt den in **Fig. 1** dargestellten Referenzquerschnitt A-A'. **Fig. 27B** zeigt den in **Fig. 1** dargestellten Referenzquerschnitt B-B'. **Fig. 27C**, zeigt den in **Fig. 1** dargestellten Referenzquerschnitts C-C'. In **Fig. 27A** bis **Fig. C** zeigen gleiche Bezugszeichen gleiche Elemente an, die durch ähnliche Prozesse ausgebildet werden wie die Struktur von **Fig. 26A** bis **Fig. C**. Jedoch weisen in **Fig. 27A** bis **Fig. C** Kanalgebiete im n-Gebiet 50N und dem p-Gebiet 50P ein gleiches Material auf. Zum Beispiel stellen die zweiten Nanostrukturen 54, die Silizium aufweisen, Kanalgebiete für p-NSFETs im p-Gebiet 50P und für n-NSFETs im n-Gebiet 50N bereit. Die Struktur von **Fig. 26A** bis **Fig. C** kann zum Beispiel durch Folgendes ausgebildet werden: gleichzeitiges Entfernen der ersten Nanostrukturen 52 sowohl vom p-Gebiet 50P als auch dem n-Gebiet 50N; Abscheiden der Gatedielektrika 100 und der Gateelektroden 102 um die zweiten Nanostrukturen 54 im p-Gebiet 50P; und Abscheiden der Gatedielektrika 100 und der Gateelektroden 104 um die ersten Nanostrukturen 54 im n-Gebiet 50N.

[0080] **Fig. 28A**, **Fig. 28B** und **Fig. 28C** zeigen Querschnittsansichten einer Vorrichtung gemäß einigen alternativen Ausführungsformen. **Fig. 28A** zeigt den in **Fig. 1** dargestellten Referenzquerschnitt A-A'. **Fig. 28B** zeigt den in **Fig. 1** dargestellten Referenzquerschnitt B-B'. **Fig. 28C**, zeigt den in **Fig. 1** dargestellten Referenzquerschnitts C-C'. In **Fig. 28A** bis **Fig. C** zeigen gleiche Bezugszeichen gleiche Elemente an, die durch ähnliche Prozesse ausgebildet werden wie die Struktur von **Fig. 26A** bis **Fig. C**. Jedoch wird in **Fig. 28A** bis **Fig. C** der Rückstand 111 zwischen der ersten leitfähigen Schicht 105 und der zweiten leitfähigen Schicht 107 nicht ausgebildet. Dies kann zum Beispiel erzielt werden, wenn die während der Fluorbehandlung 109 verwendete fluorhaltige Vorstufe (siehe **Fig. 19A** bis **Fig. C**) kein Metall enthält. Zum Beispiel wird in Ausführungsformen, in denen die fluorhaltige Vorstufe NF₃

ist, der Rückstand 111 möglicherweise nicht ausgebildet.

[0081] Verschiedene Ausführungsformen stellen Gatestapel bereit, die eine mit Fluor behandelte Austrittsarbeitsmetallschicht aufweisen. Zum Beispiel kann die Fluorbehandlung ein Durchführen einer Fluortränkung an einer WFM-Schicht umfassen, die Fluor auch in ein darunterliegendes Gatedielektrikum (z.B. ein High-k-Gatedielektrikum) diffundieren kann. Folglich kann eine Flachbandspannung des resultierenden Transistors zu einer Bandkante des Metalls der WFM-Schicht erhöht werden, eine Schwellenspannung des resultierenden Transistors kann verringert werden und die Vorrichtungsleistungsfähigkeit kann verbessert werden.

[0082] In einigen Ausführungsformen weist eine Vorrichtung eine erste Nanostruktur; eine zweite Nanostruktur über der ersten Nanostruktur; ein erstes High-k-Gatedielektrikum um die erste Nanostruktur; ein zweites High-k-Gatedielektrikum um die zweite Nanostruktur; und eine Gateelektrode über dem ersten und dem zweiten High-k-Gatedielektrikum auf. Die Gateelektrode weist ein erstes Austrittsarbeitsmetall; ein zweites Austrittsarbeitsmetall über dem ersten Austrittsarbeitsmetall; und einen ersten Metallrückstand an einer Grenzfläche zwischen dem ersten Austrittsarbeitsmetall und dem zweiten Austrittsarbeitsmetall auf, wobei der erste Metallrückstand ein Metallelement aufweist, das von einem Metallelement des ersten Austrittsarbeitsmetalls verschieden ist. Fakultativ weisen in einigen Ausführungsformen das erste High-k-Gatedielektrikum und das zweite High-k-Gatedielektrikum jeweils Fluor auf. Fakultativ weist in einigen Ausführungsformen das erste High-k-Gatedielektrikum ferner Hafniumoxid auf, und wobei ein Verhältnis von Fluor zu Hafnium im ersten High-k-Gatedielektrikum in einem Bereich von 0,015 bis 0,2 liegt. Fakultativ ist in einigen Ausführungsformen ein Verhältnis des Metallelements des ersten Metallrückstands zu Hafnium in einem Gebiet zwischen der ersten Nanostruktur und der zweiten Nanostruktur kleiner als 0,1. Fakultativ ist in einigen Ausführungsformen das Metallelement des ersten Metallrückstands Wolfram. Fakultativ weist in einigen Ausführungsformen die Gateelektrode ferner einen zweiten Metallrückstand an der Grenzfläche zwischen dem ersten Austrittsarbeitsmetall und dem zweiten Austrittsarbeitsmetall auf, wobei der zweite Metallrückstand ein gleiches Metallelement aufweist wie der erste Metallrückstand, und wobei der zweite Metallrückstand vom ersten Metallrückstand getrennt ist. Fakultativ ist in einigen Ausführungsformen das Metallelement des ersten Metallrückstands von einem Metallelement des zweiten Austrittsarbeitsmetalls verschieden. Fakultativ weist in einigen Ausführungsformen die Gateelektrode ferner auf: eine Haftschrift über dem

zweiten Austrittsarbeitsmetall; und ein Füllmetall über der Haftschrift.

[0083] In einigen Ausführungsformen weist ein Transistor auf: eine erste Nanostruktur über einem Halbleitersubstrat; eine zweite Nanostruktur über der ersten Nanostruktur; ein Gatedielektrikum, das die erste Nanostruktur und die zweite Nanostruktur umgibt, wobei das Gatedielektrikum Hafnium und Fluor aufweist, und wobei ein Verhältnis des Fluors zu Hafnium im Gatedielektrikum in einem Bereich von 0,015 und 0,2 liegt; und eine Gateelektrode über dem Gatedielektrikum, wobei die Gateelektrode aufweist: ein erstes p-Austrittsarbeitsmetall; ein zweites p-Austrittsarbeitsmetall über dem ersten p-Austrittsarbeitsmetall; eine Haftschrift über dem zweiten p-Austrittsarbeitsmetall; und ein Füllmetall über der Haftschrift. Fakultativ weist in einigen Ausführungsformen der Transistor ferner einen Metallrückstand an einer Grenzfläche zwischen dem ersten p-Austrittsarbeitsmetall und dem zweiten p-Austrittsarbeitsmetall auf. Fakultativ ist in einigen Ausführungsformen der Metallrückstand Wolfram. Fakultativ weist in einigen Ausführungsformen das erste p-Austrittsarbeitsmetall Fluor auf, und wobei das zweite p-Austrittsarbeitsmetall eine niedrigere Konzentration von Fluor aufweist als das erste p-Austrittsarbeitsmetall.

[0084] In einigen Ausführungsformen umfasst ein Verfahren: Abscheiden eines Gatedielektrikums um eine erste Nanostruktur und eine zweite Nanostruktur, wobei die erste Nanostruktur über der zweiten Nanostruktur angeordnet ist; Abscheiden eines ersten p-Austrittsarbeitsmetalls über dem Gatedielektrikum, wobei das erste p-Austrittsarbeitsmetall um die erste Nanostruktur und die zweite Nanostruktur angeordnet ist; Durchführen einer Fluorbehandlung am ersten p-Austrittsarbeitsmetall; und nach dem Durchführen der Fluorbehandlung, Abscheiden eines zweiten p-Austrittsarbeitsmetalls über dem ersten p-Austrittsarbeitsmetall. Fakultativ ist in einigen Ausführungsformen die Fluorbehandlung ein Abscheidungsprozess, der eine Fläche des ersten p-Austrittsarbeitsmetalls einem fluorhaltigen Vorläufer aussetzt. Fakultativ ist in einigen Ausführungsformen die fluorhaltige Vorstufe WF_x , NF_x , TiF_x , TaF_x , oder HfF_x , und wobei x eine Ganzzahl in einem Bereich von 1 bis 6 ist. Fakultativ bildet in einigen Ausführungsformen die Fluorbehandlung einen Metallrückstand auf dem ersten p-Austrittsarbeitsmetall aus. Fakultativ verwendet in einigen Ausführungsformen die Fluorbehandlung keine Chemikalie, die eine Reduktions-Oxidationsreaktion mit der fluorhaltigen Vorstufe auslöst. Fakultativ wird in einigen Ausführungsformen die Fluorbehandlung bei einer Temperatur in einem Bereich von 250 °C bis 475 °C durchgeführt. Fakultativ wird in einigen Ausführungsformen die Fluorbehandlung für eine Zeitdauer von 1 Sekunde bis 15 Minuten durchgeführt. Fakultativ

umfasst in einigen Ausführungsformen die Fluorbehandlung ein Diffundieren von Fluor in das Gatedielektrikum.

[0085] Das Vorstehende skizziert Merkmale mehrerer Ausführungsformen, so dass ein Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Ein Fachmann sollte erkennen, dass er die vorliegende Offenbarung als eine Grundlage zum Entwerfen oder Modifizieren anderer Prozesse und Strukturen leicht verwenden kann, um die gleichen Aufgaben durchzuführen und/oder die gleichen Vorteile der hier vorgestellten Ausführungsformen zu erzielen. Ein Fachmann sollte ebenfalls verstehen, dass derartige äquivalente Ausführungen nicht vom Erfindungsgedanken und Umfang der vorliegenden Offenbarung abweichen, und dass er verschiedene Änderungen, Ersetzungen und Modifizierungen hier vornehmen kann, ohne vom Erfindungsgedanken und Umfang der vorliegenden Offenbarung abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Zitierte Patentliteratur

- US 63/066362 [0001]

Patentansprüche

1. Vorrichtung, aufweisend:
eine erste Nanostruktur,
eine zweite Nanostruktur über der ersten Nanostruktur,
ein erstes High-k-Gatedielektrikum um die erste Nanostruktur,
ein zweites High-k-Gatedielektrikum um die zweite Nanostruktur, und
eine Gateelektrode über dem ersten und dem zweiten High-k-Gatedielektrikum, wobei die Gateelektrode aufweist:
ein erstes Austrittsarbeitsmetall,
ein zweites Austrittsarbeitsmetall über dem ersten Austrittsarbeitsmetall, und
einen ersten Metallrückstand an einer Grenzfläche zwischen dem ersten Austrittsarbeitsmetall und dem zweiten Austrittsarbeitsmetall, wobei der erste Metallrückstand ein Metallelement aufweist, das von einem Metallelement des ersten Austrittsarbeitsmetalls verschieden ist.
2. Vorrichtung nach Anspruch 1, wobei das erste High-k-Gatedielektrikum und das zweite High-k-Gatedielektrikum jeweils Fluor aufweisen.
3. Vorrichtung nach Anspruch 2, wobei das erste High-k-Gatedielektrikum ferner Hafniumoxid aufweist, und wobei ein Verhältnis von Fluor zu Hafnium im ersten High-k-Gatedielektrikum in einem Bereich von 0,015 bis 0,2 liegt.
4. Vorrichtung nach Anspruch 3, wobei ein Verhältnis des Metallelements des ersten Metallrückstands zu Hafnium in einem Gebiet zwischen der ersten Nanostruktur und der zweiten Nanostruktur kleiner als 0,1 ist.
5. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei das Metallelement des ersten Metallrückstands Wolfram ist.
6. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei die Gateelektrode ferner einen zweiten Metallrückstand an der Grenzfläche zwischen dem ersten Austrittsarbeitsmetall und dem zweiten Austrittsarbeitsmetall aufweist, wobei der zweite Metallrückstand ein gleiches Metallelement aufweist wie der erste Metallrückstand, und wobei der zweite Metallrückstand vom ersten Metallrückstand getrennt ist.
7. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei das Metallelement des ersten Metallrückstands von einem Metallelement des zweiten Austrittsarbeitsmetalls verschieden ist.
8. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei die Gateelektrode ferner aufweist:
eine Haftschrift über dem zweiten Austrittsarbeitsmetall, und
ein Füllmetall über der Haftschrift.
9. Transistor, aufweisend:
eine erste Nanostruktur über einem Halbleitersubstrat,
eine zweite Nanostruktur über der ersten Nanostruktur,
ein Gatedielektrikum, das die erste Nanostruktur und die zweite Nanostruktur umgibt, wobei das Gatedielektrikum Hafnium und Fluor aufweist, und wobei ein Verhältnis des Fluors zu Hafnium im Gatedielektrikum in einem Bereich von 0,015 und 0,2 liegt, und
eine Gateelektrode über dem Gatedielektrikum, wobei die Gateelektrode aufweist:
ein erstes p-Austrittsarbeitsmetall,
ein zweites p-Austrittsarbeitsmetall über dem ersten p-Austrittsarbeitsmetall,
eine Haftschrift über dem zweiten p-Austrittsarbeitsmetall, und
ein Füllmetall über der Haftschrift.
10. Transistor nach Anspruch 9, der ferner einen Metallrückstand an einer Grenzfläche zwischen dem ersten p-Austrittsarbeitsmetall und dem zweiten p-Austrittsarbeitsmetall aufweist.
11. Transistor nach Anspruch 10, wobei der Metallrückstand Wolfram ist.
12. Transistor nach einem der vorhergehenden Ansprüche 9 bis 11, wobei das erste p-Austrittsarbeitsmetall Fluor aufweist, und wobei das zweite p-Austrittsarbeitsmetall eine niedrigere Konzentration von Fluor aufweist als das erste p-Austrittsarbeitsmetall.
13. Verfahren, umfassend:
Abscheiden eines Gatedielektrikums um eine erste Nanostruktur und eine zweite Nanostruktur, wobei die erste Nanostruktur über der zweiten Nanostruktur angeordnet ist,
Abscheiden eines ersten p-Austrittsarbeitsmetalls über dem Gatedielektrikum, wobei das erste p-Austrittsarbeitsmetall um die erste Nanostruktur und die zweite Nanostruktur angeordnet ist,
Durchführen einer Fluorbehandlung am ersten p-Austrittsarbeitsmetall, und
nach dem Durchführen der Fluorbehandlung, Abscheiden eines zweiten p-Austrittsarbeitsmetalls über dem ersten p-Austrittsarbeitsmetall.
14. Verfahren nach Anspruch 13, wobei die Fluorbehandlung ein Abscheidungsprozess ist, der eine Fläche des ersten p-Austrittsarbeitsmetalls einem fluorhaltigen Vorläufer aussetzt.

15. Verfahren nach Anspruch 14, wobei der fluorhaltige Vorläufer WF_x , NF_x , TiF_x , TaF_x , oder HfF_x ist, und wobei x eine Ganzzahl in einem Bereich von 1 bis 6 ist.

16. Verfahren nach Anspruch 15, wobei die Fluorbehandlung einen Metallrückstand auf dem ersten p-Austrittsarbeitsmetall ausbildet.

17. Verfahren nach einem der vorhergehenden Ansprüche 14 bis 16, wobei die Fluorbehandlung keine Chemikalie verwendet, die eine Reduktions--Oxidationsreaktion mit dem fluorhaltigen Vorläufer auslöst.

18. Verfahren nach einem der vorhergehenden Ansprüche 13 bis 17, wobei die Fluorbehandlung bei einer Temperatur in einem Bereich von 250 °C bis 475 °C durchgeführt wird.

19. Verfahren nach einem der vorhergehenden Ansprüche 13 bis 18, wobei die Fluorbehandlung für eine Zeitdauer von 1 Sekunde bis 15 Minuten durchgeführt wird.

20. Verfahren nach einem der vorhergehenden Ansprüche, 17 bis 19, wobei die Fluorbehandlung ein Diffundieren von Fluor in das Gatedielektrikum umfasst.

Es folgen 62 Seiten Zeichnungen

Anhängende Zeichnungen

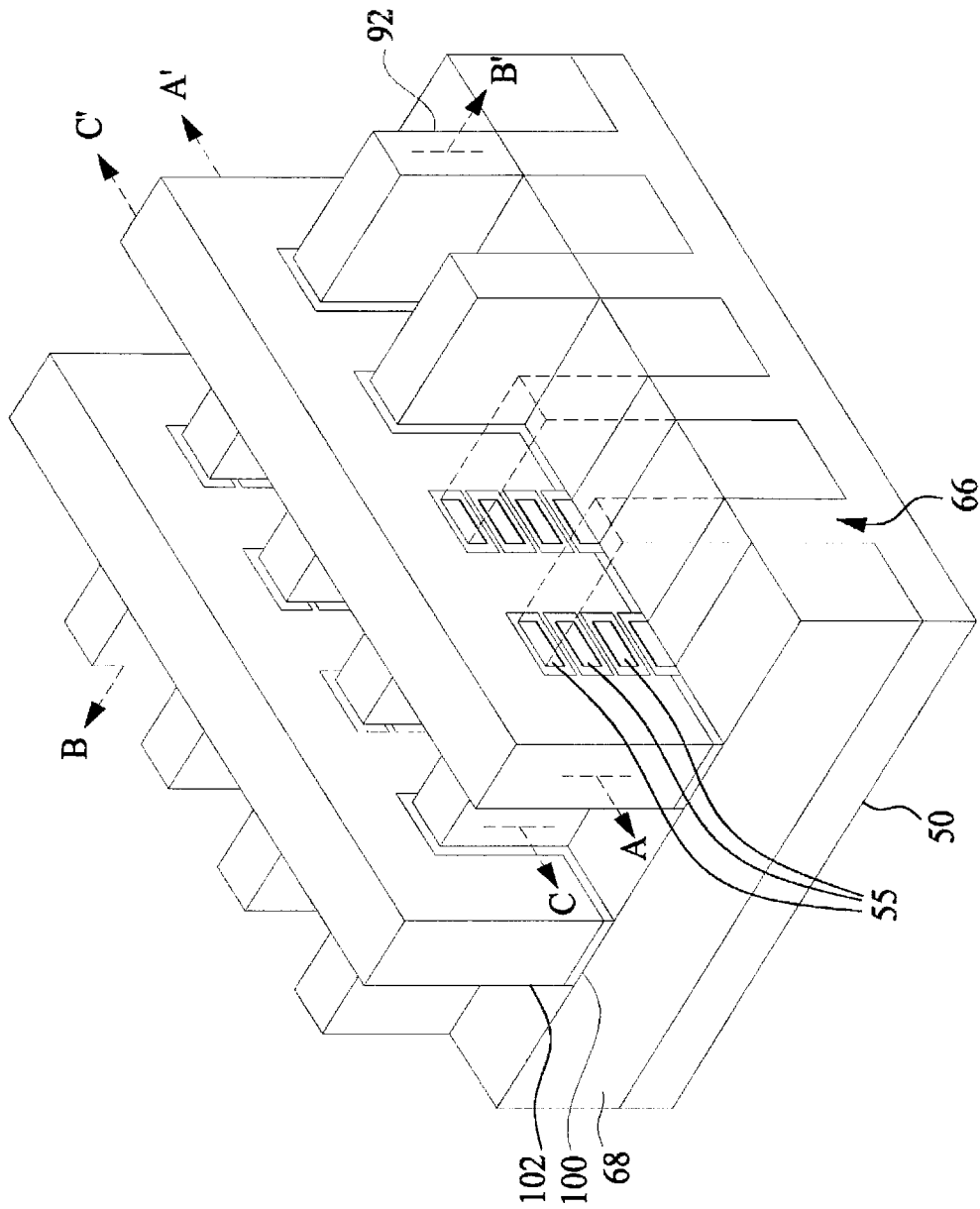


Fig. 1

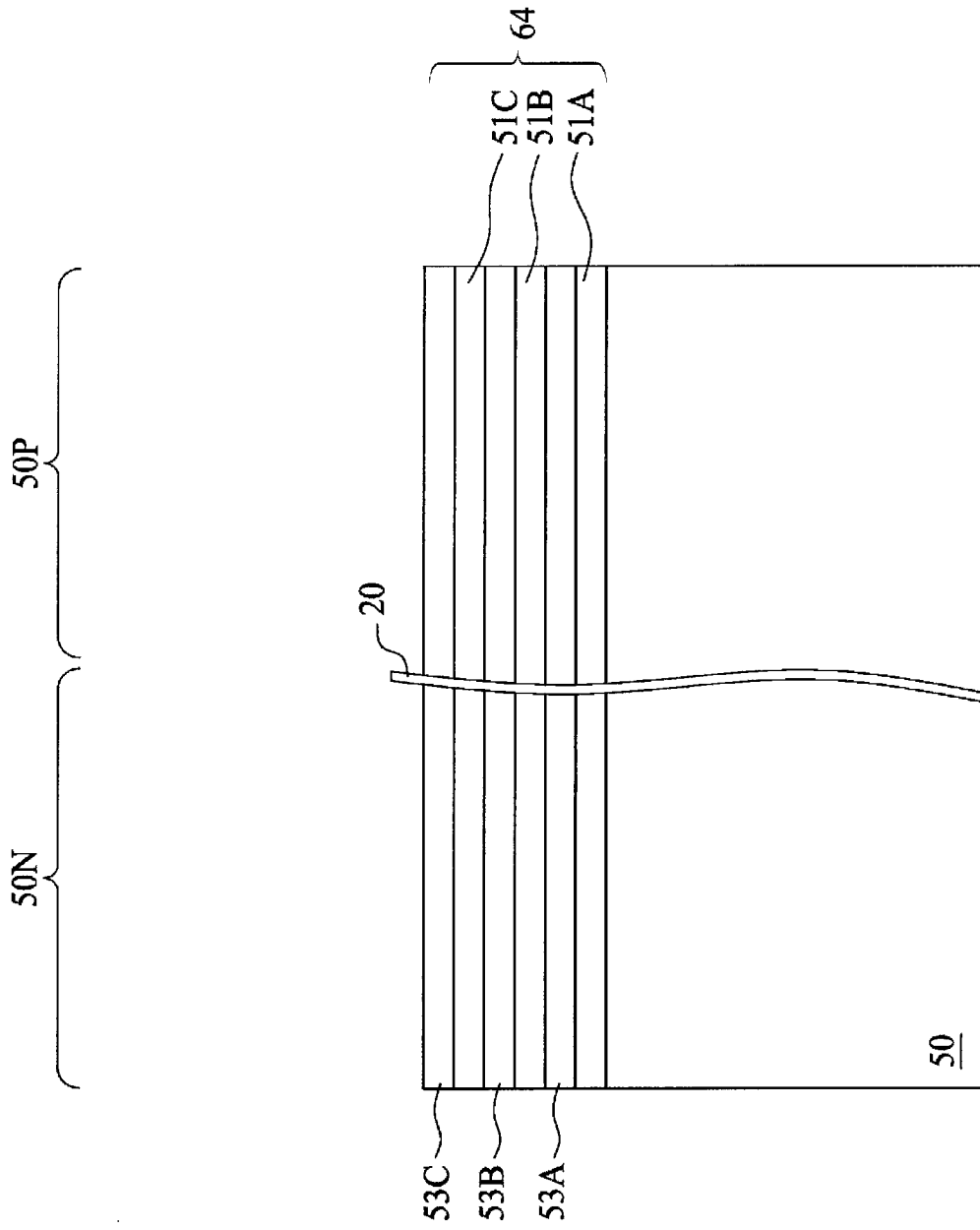


Fig. 2

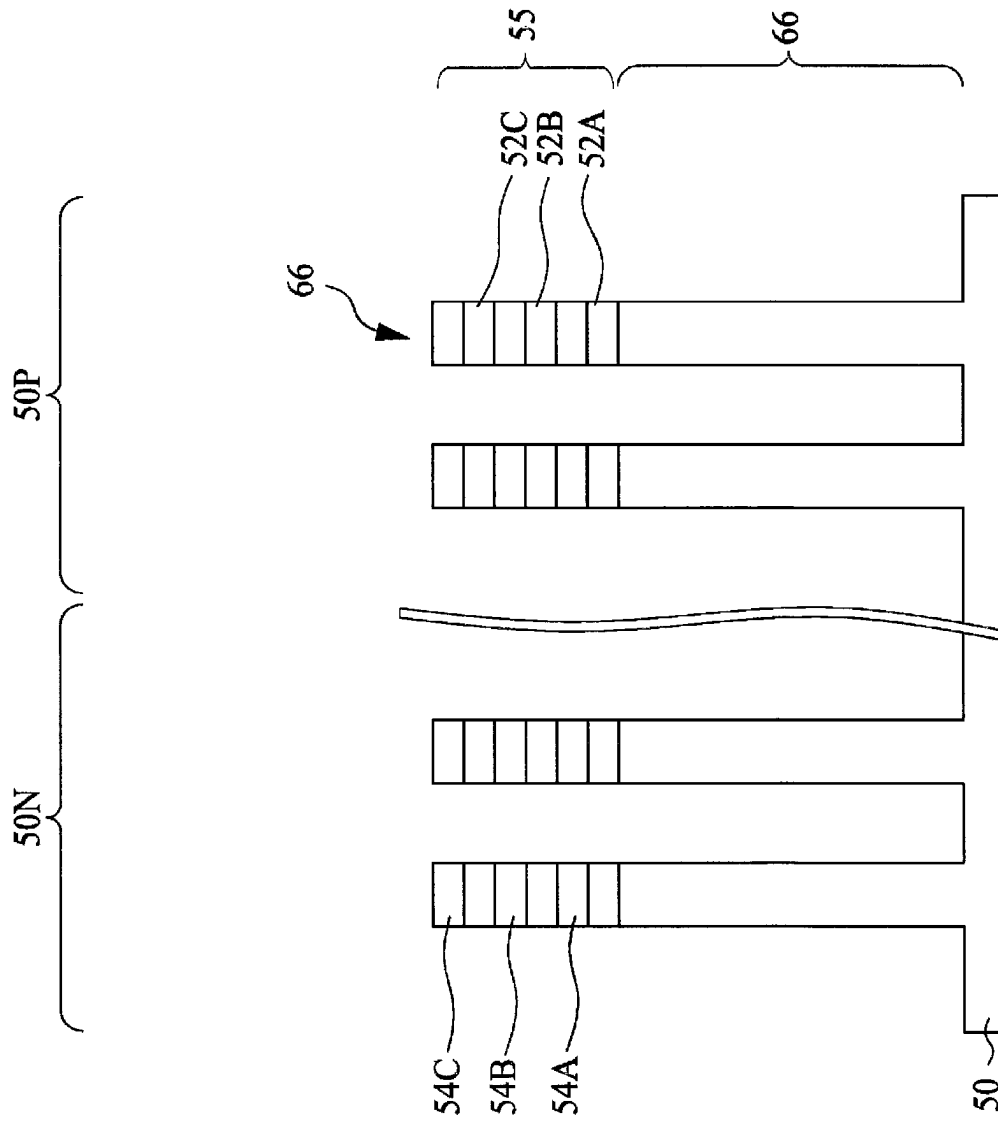


Fig. 3

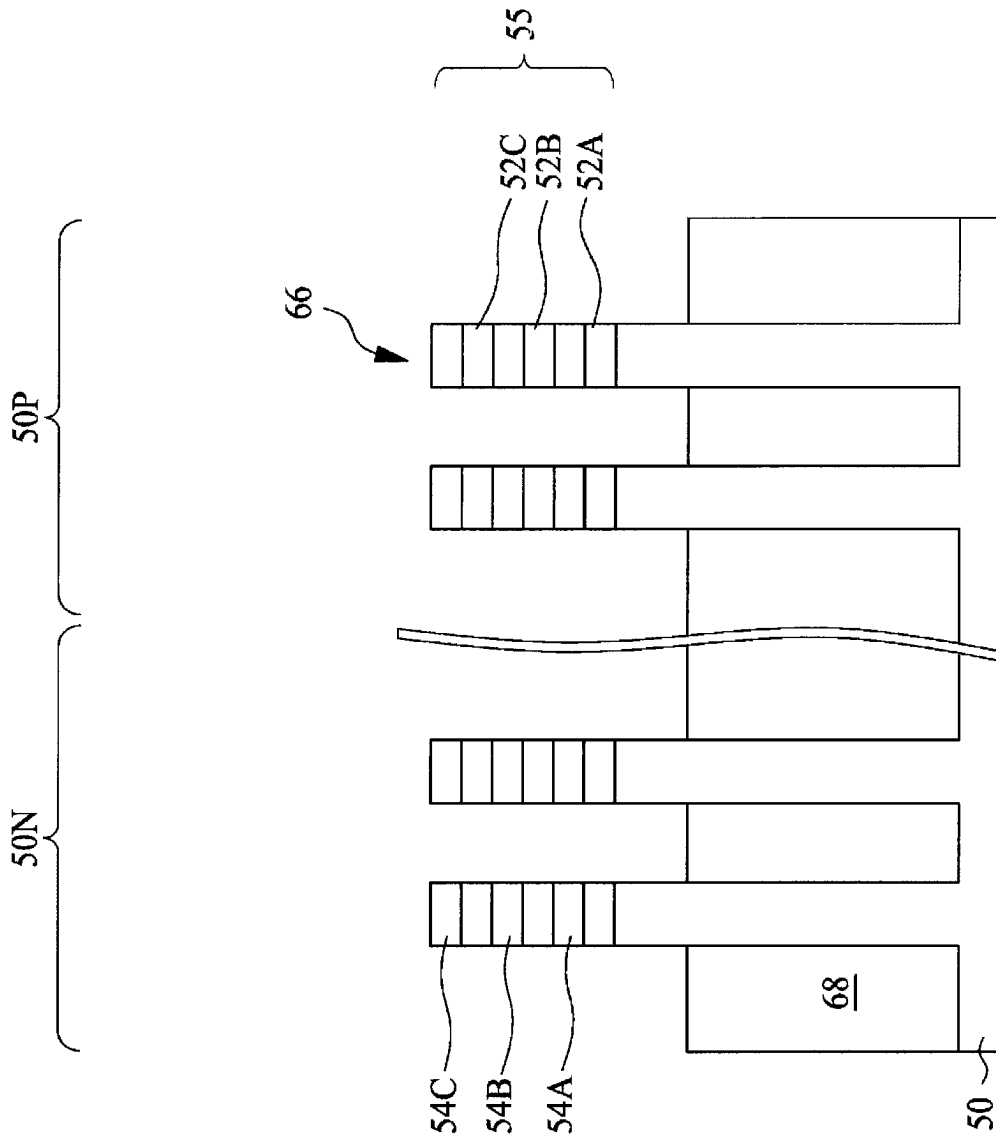


Fig. 4

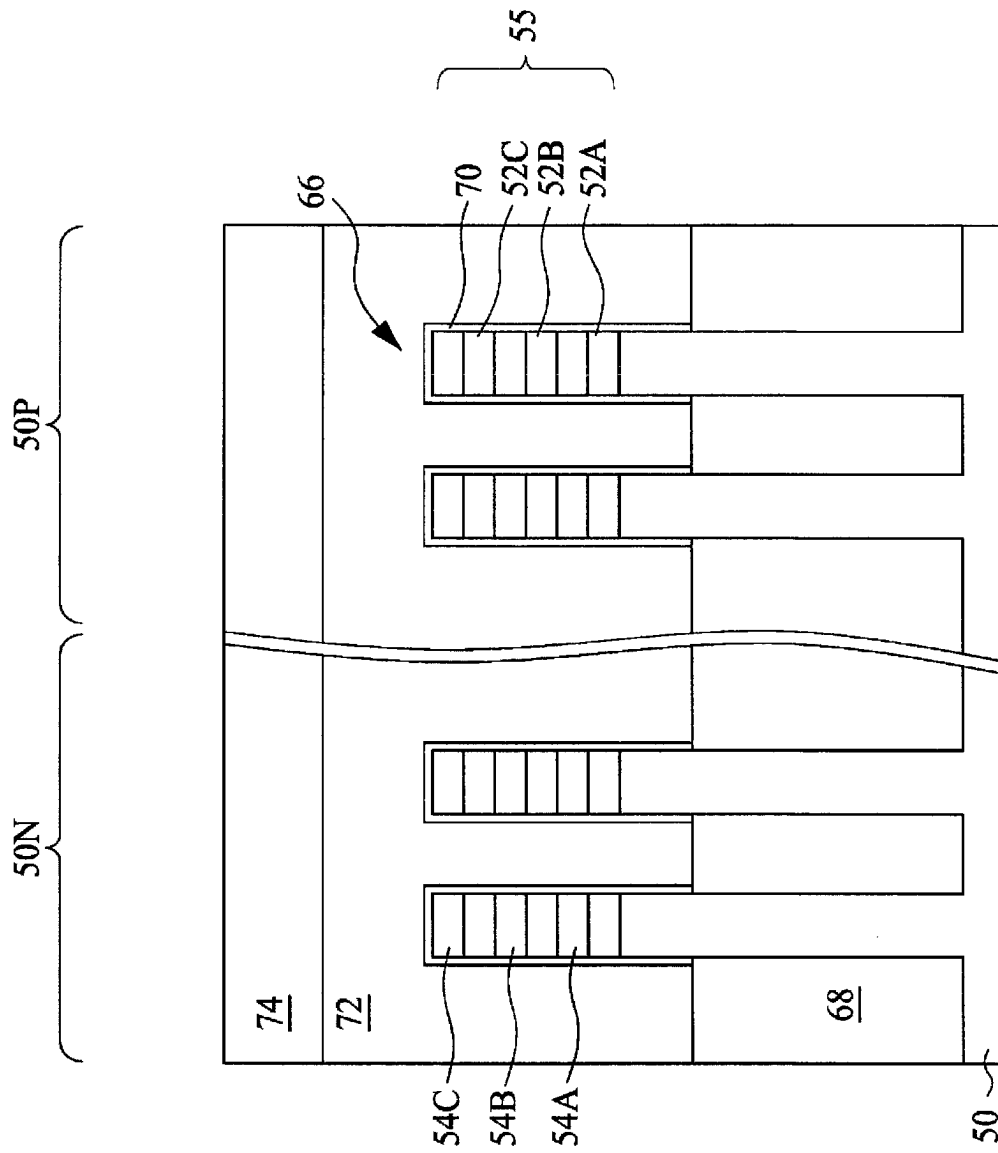


Fig. 5

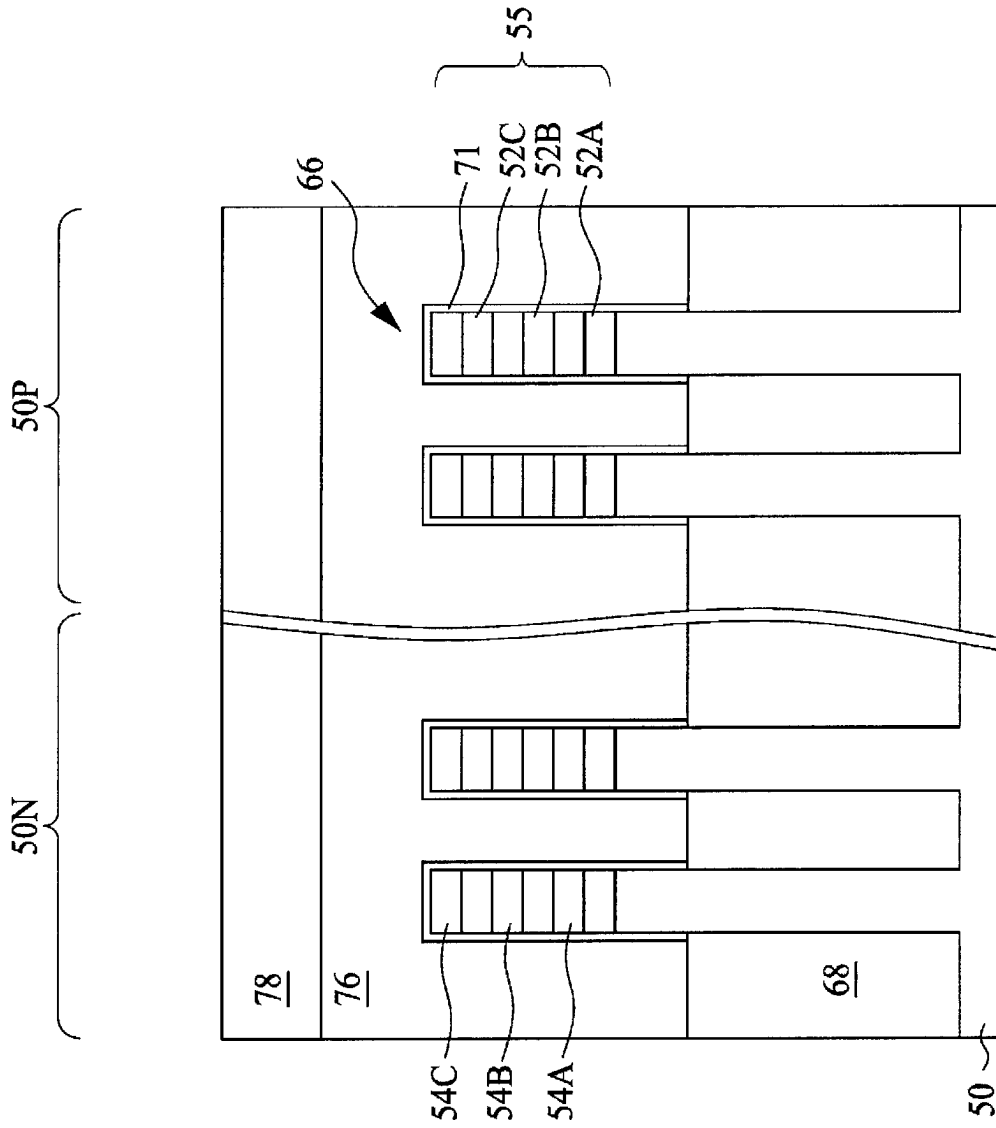


Fig. 6A

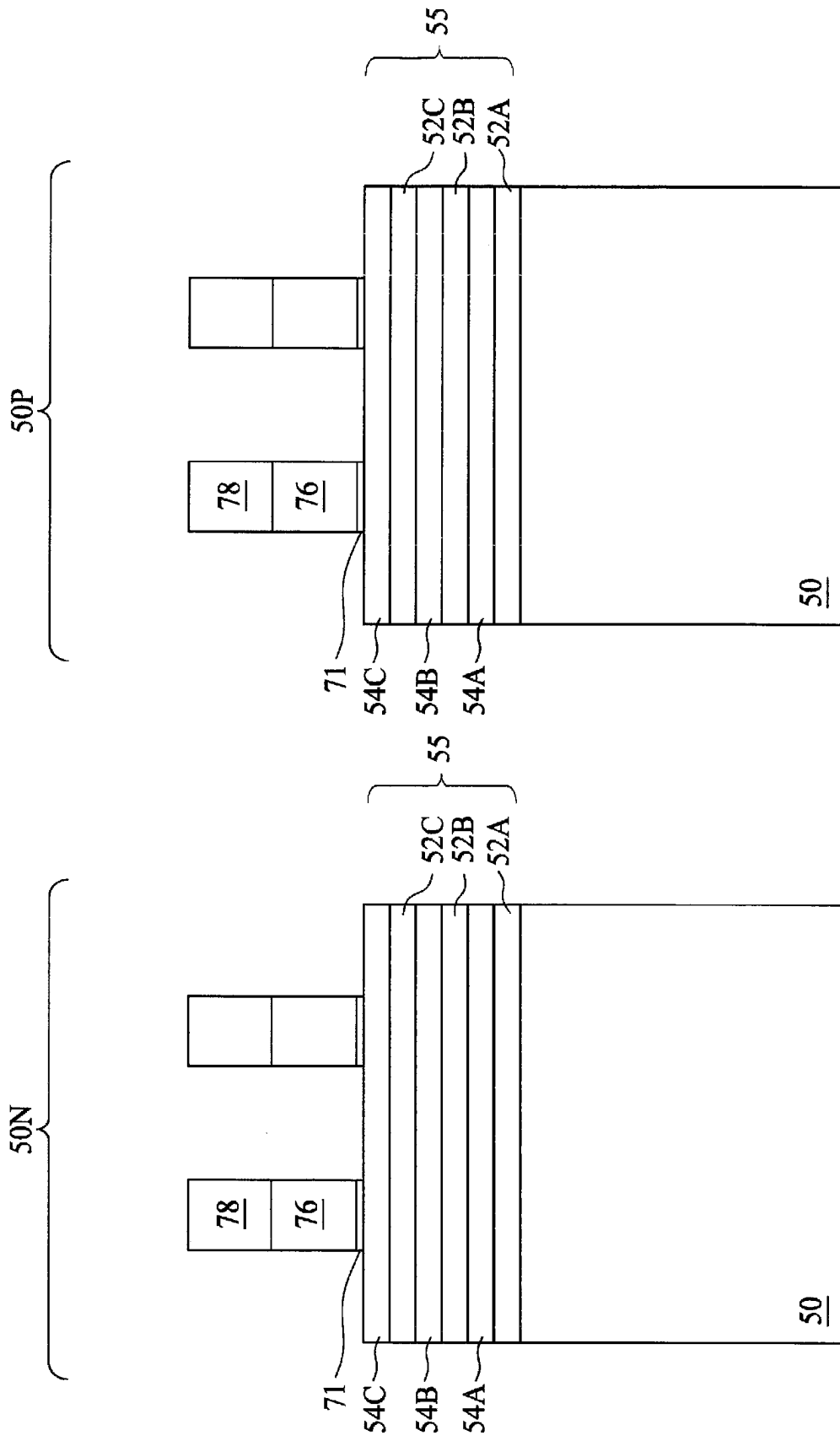


Fig. 6B

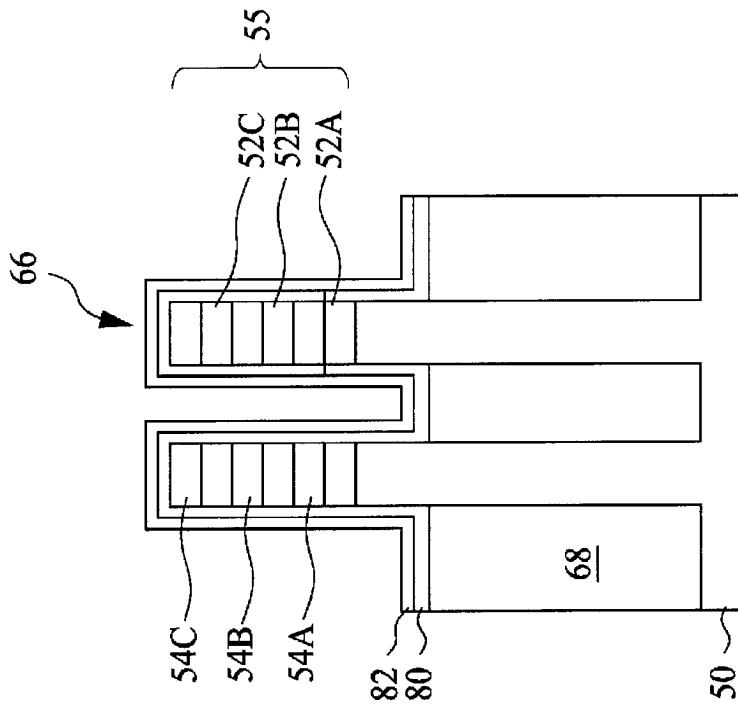


Fig. 7A

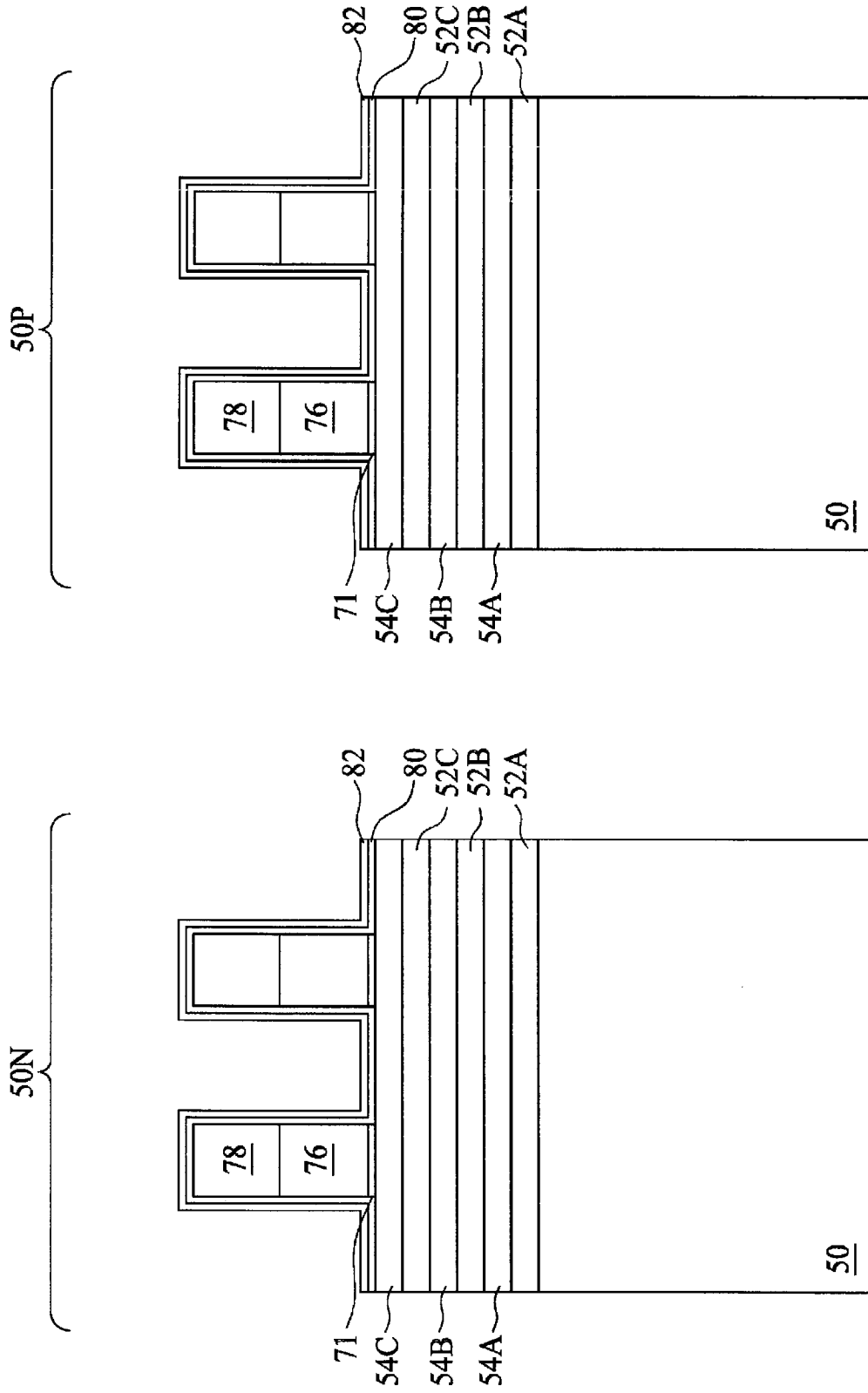


Fig. 7B

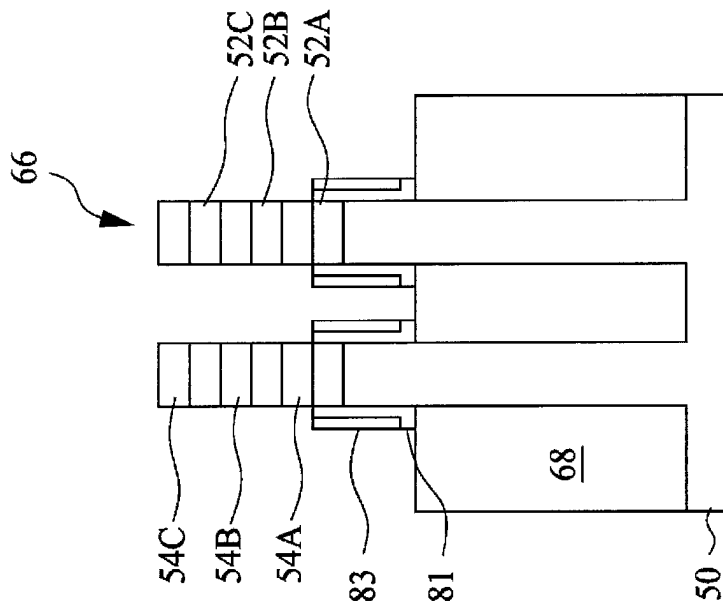


Fig. 8A

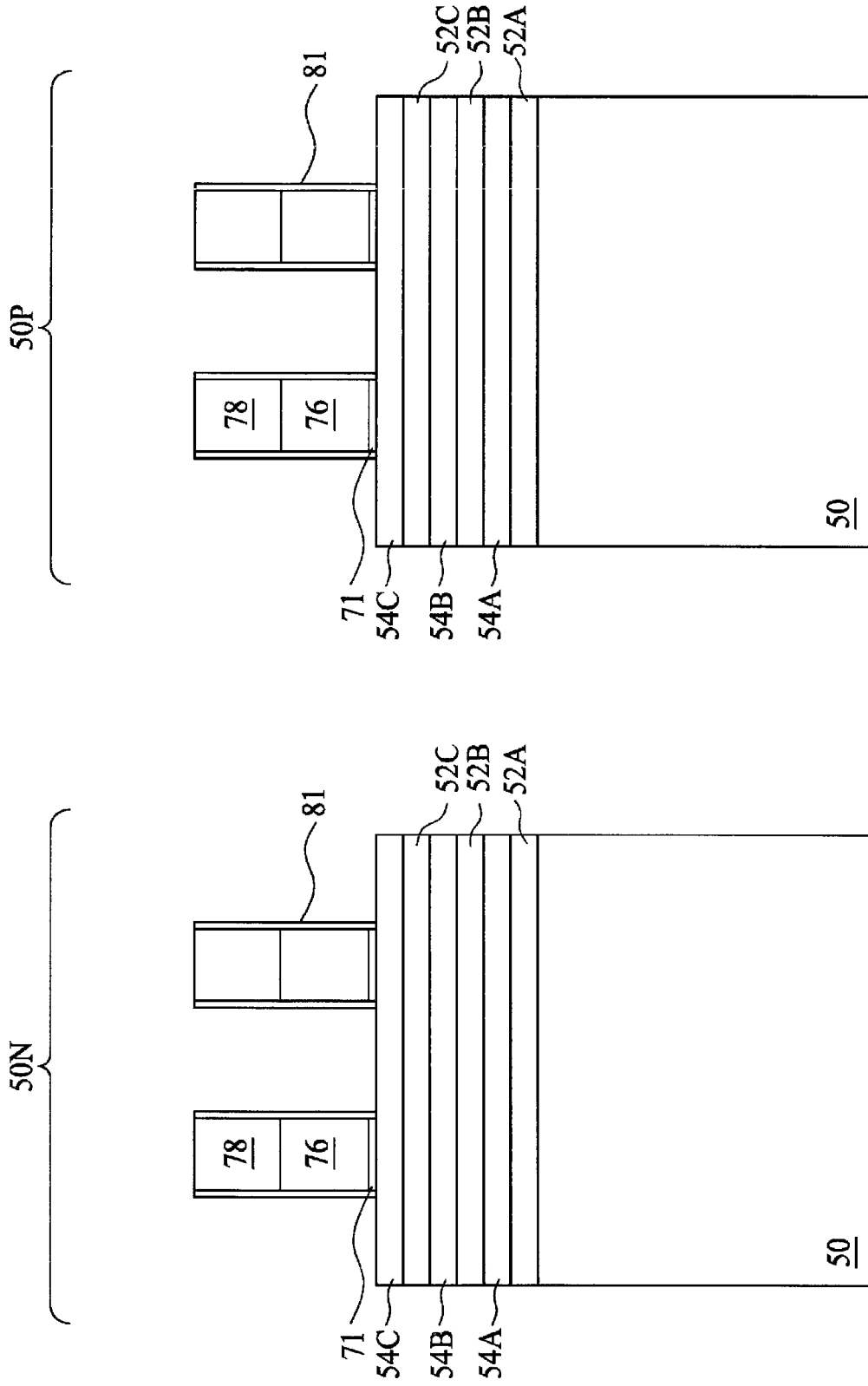


Fig. 8B

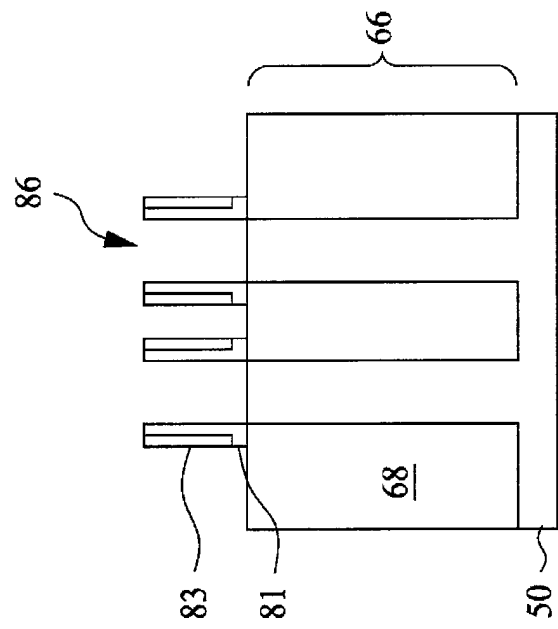


Fig. 9A

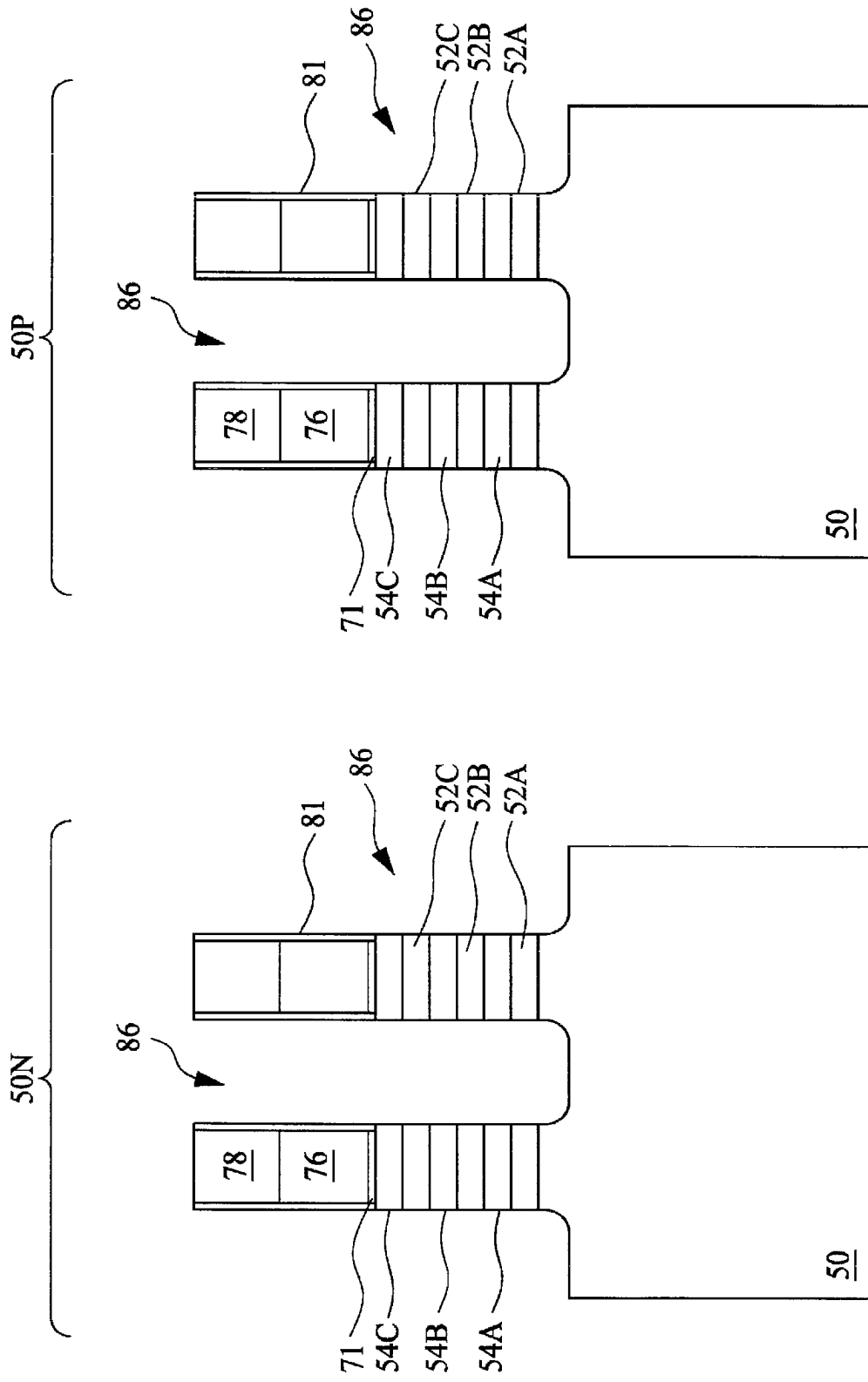


Fig. 9B

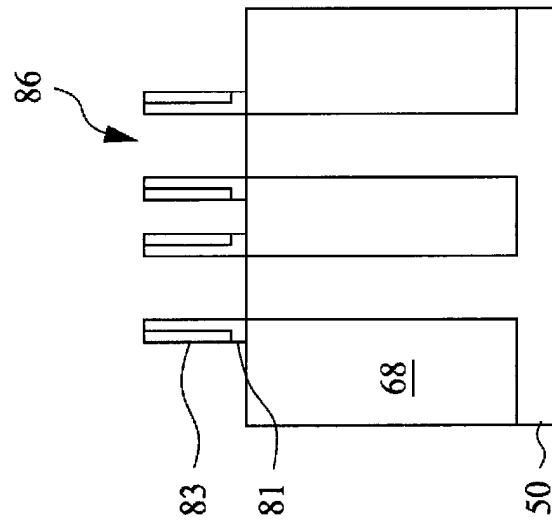


Fig. 10A

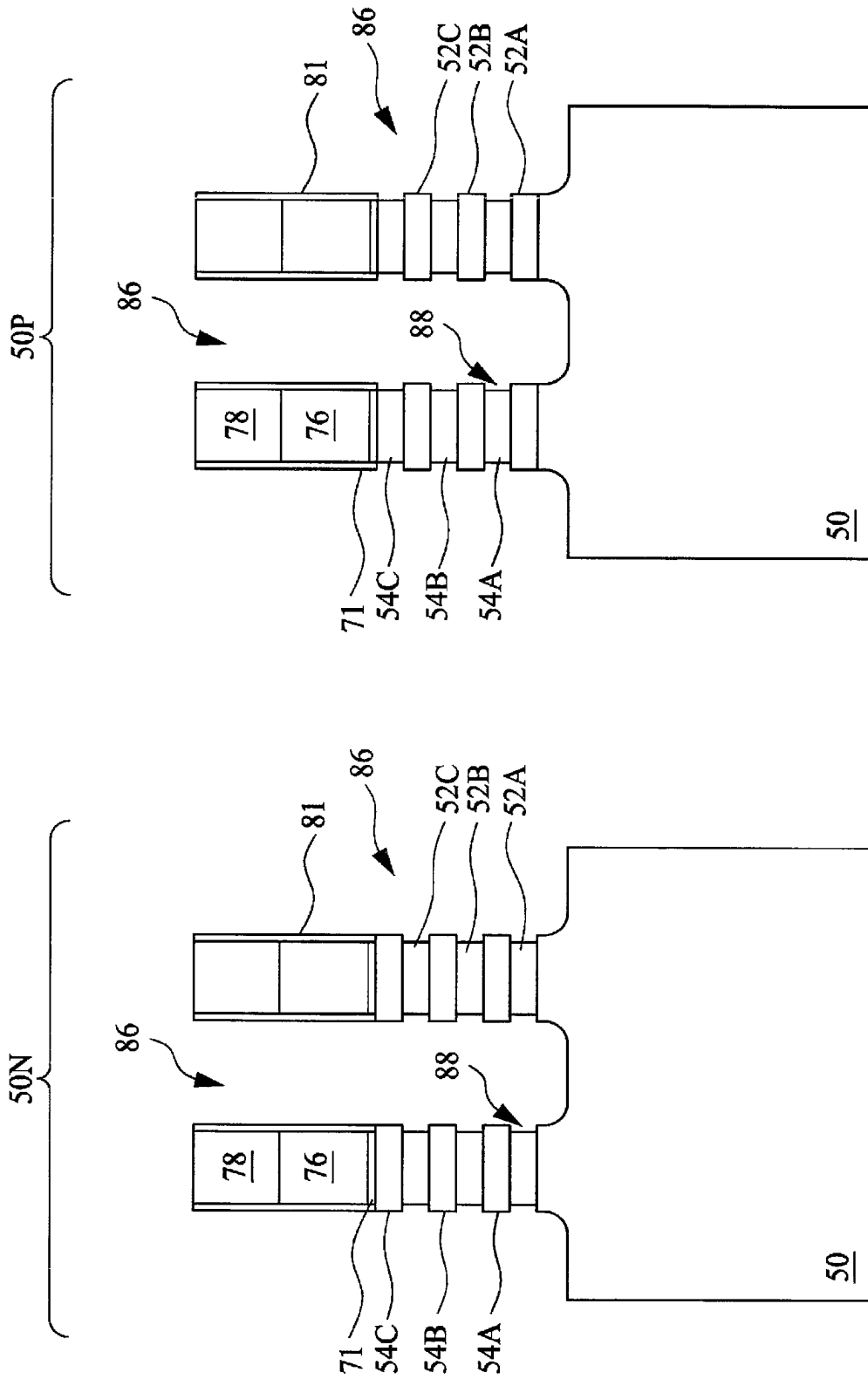


Fig. 10B

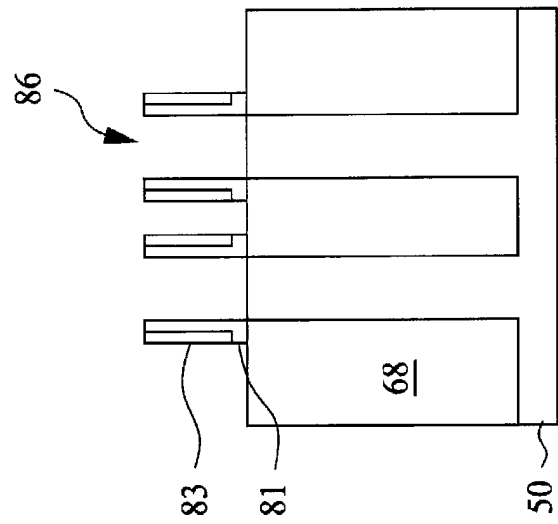


Fig. 11A

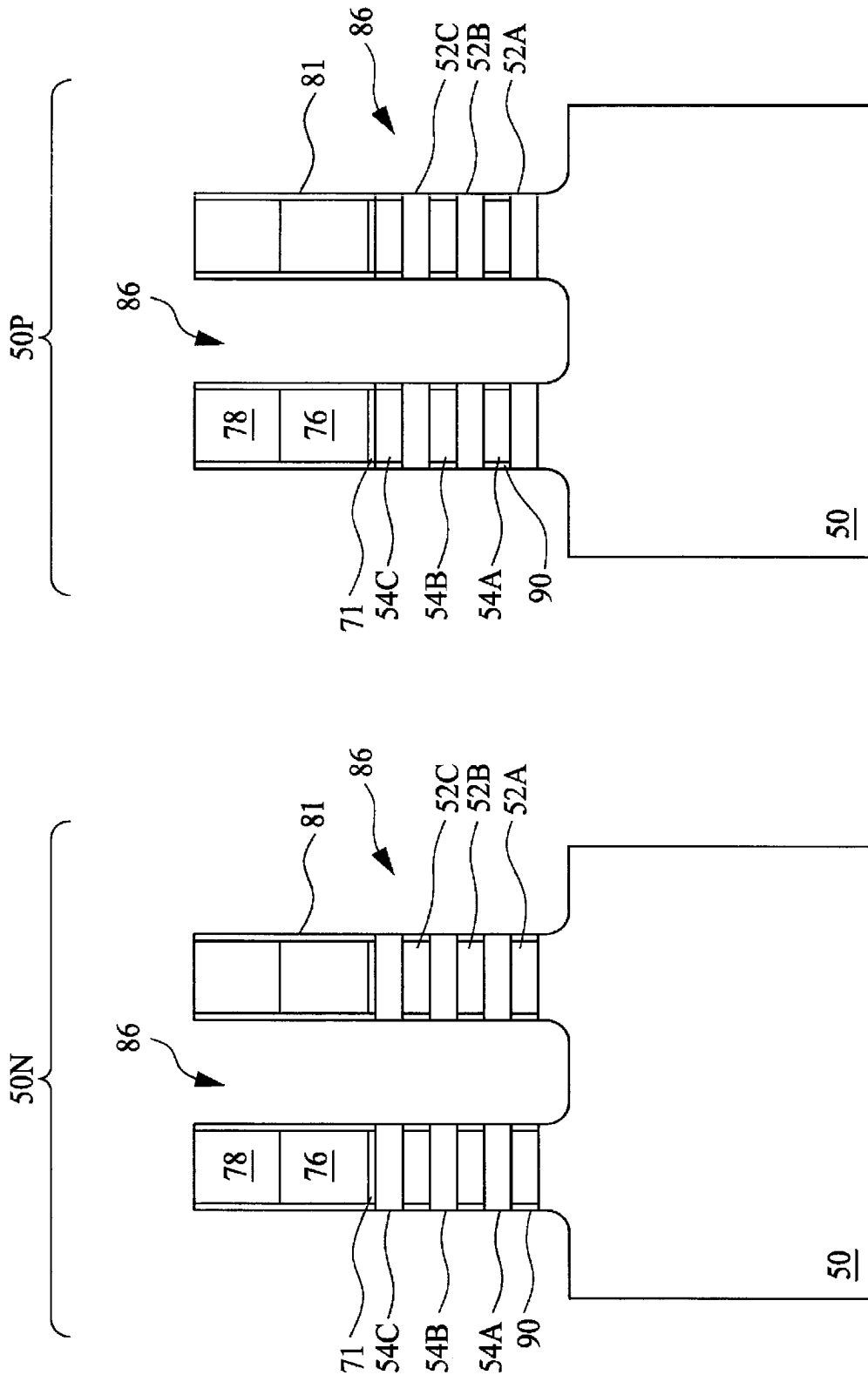


Fig. 11B

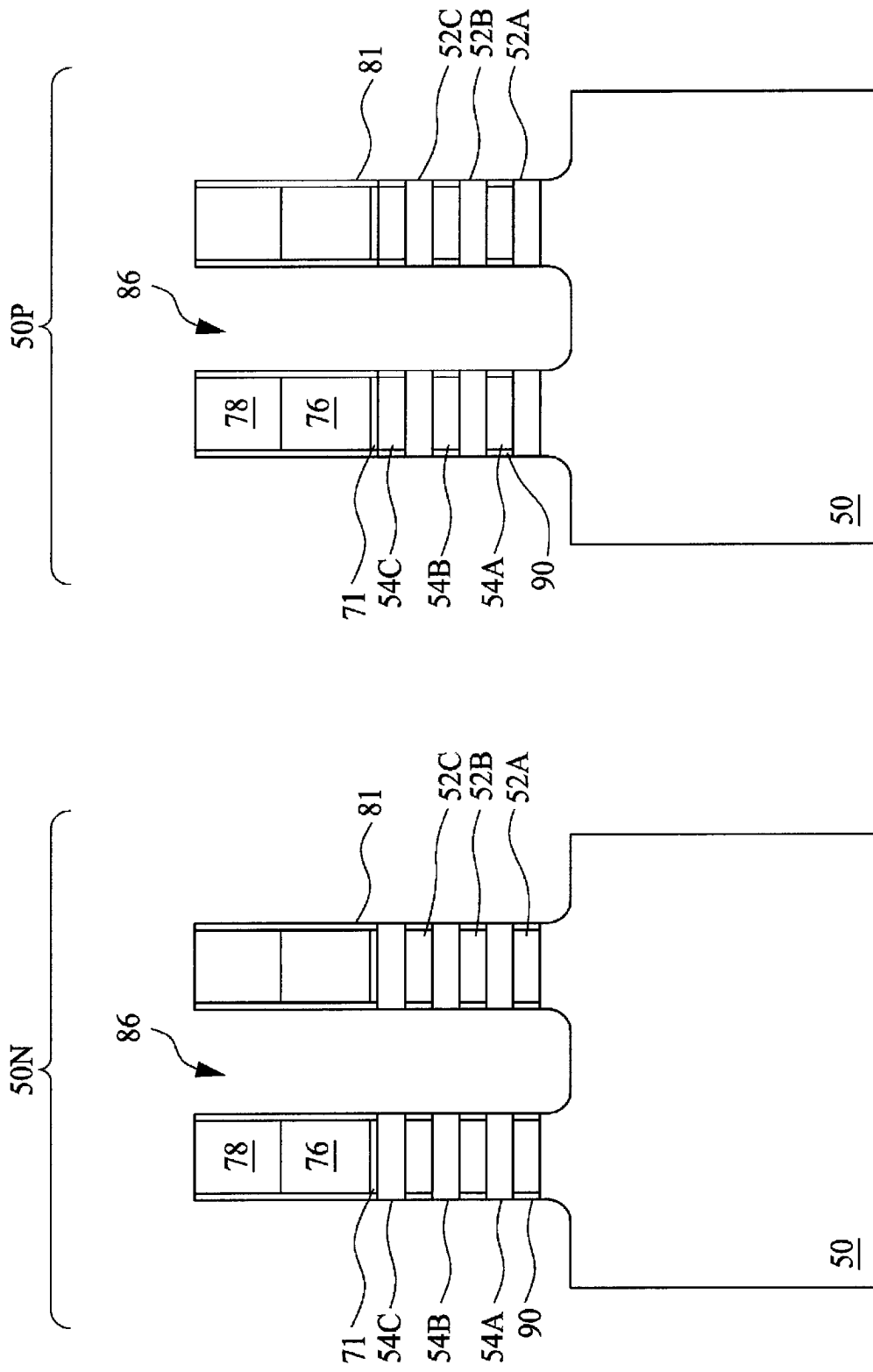


Fig. 11C

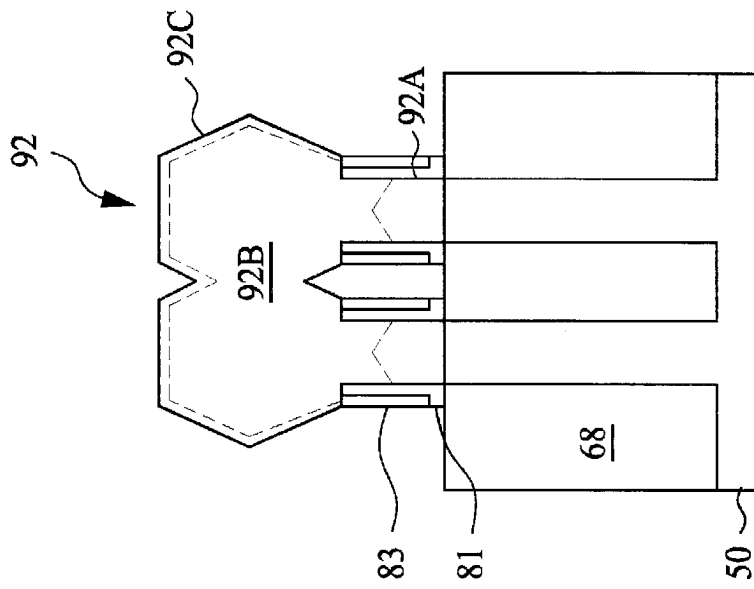


Fig. 12A

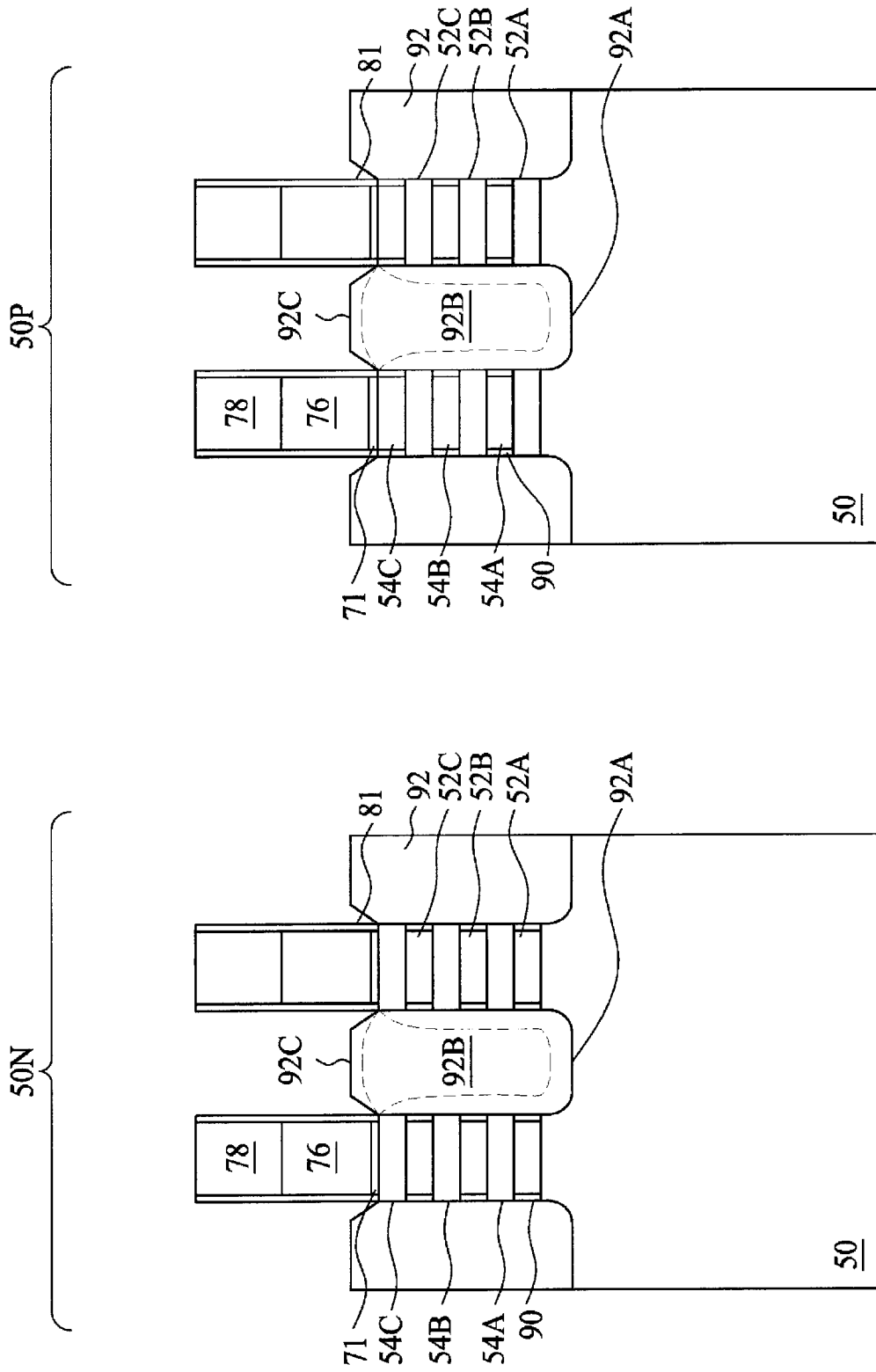


Fig. 12B

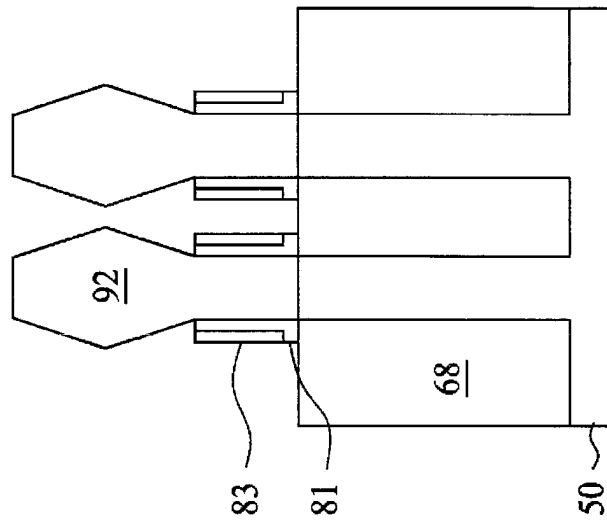


Fig. 12C

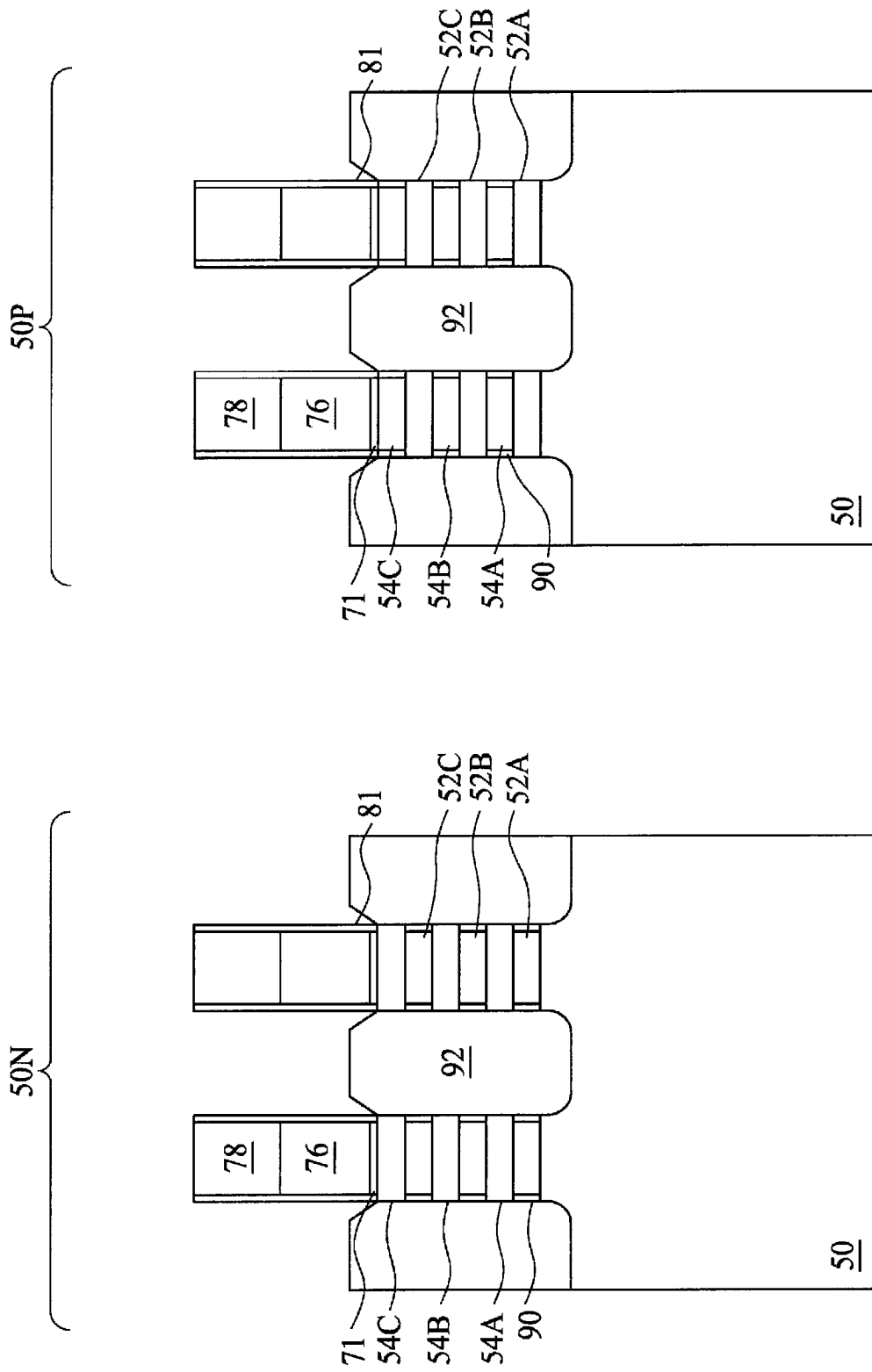


Fig. 12D

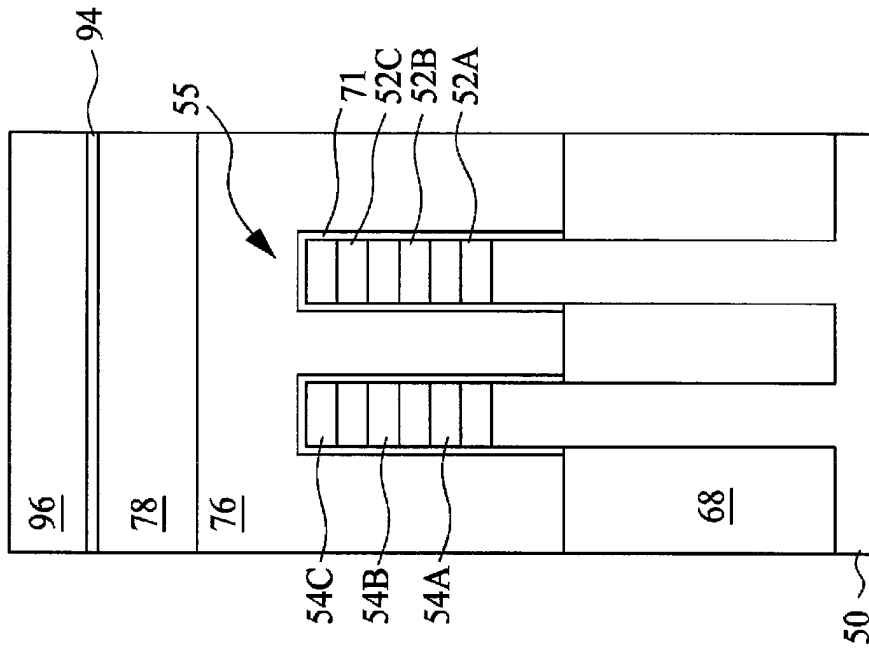


Fig. 13A

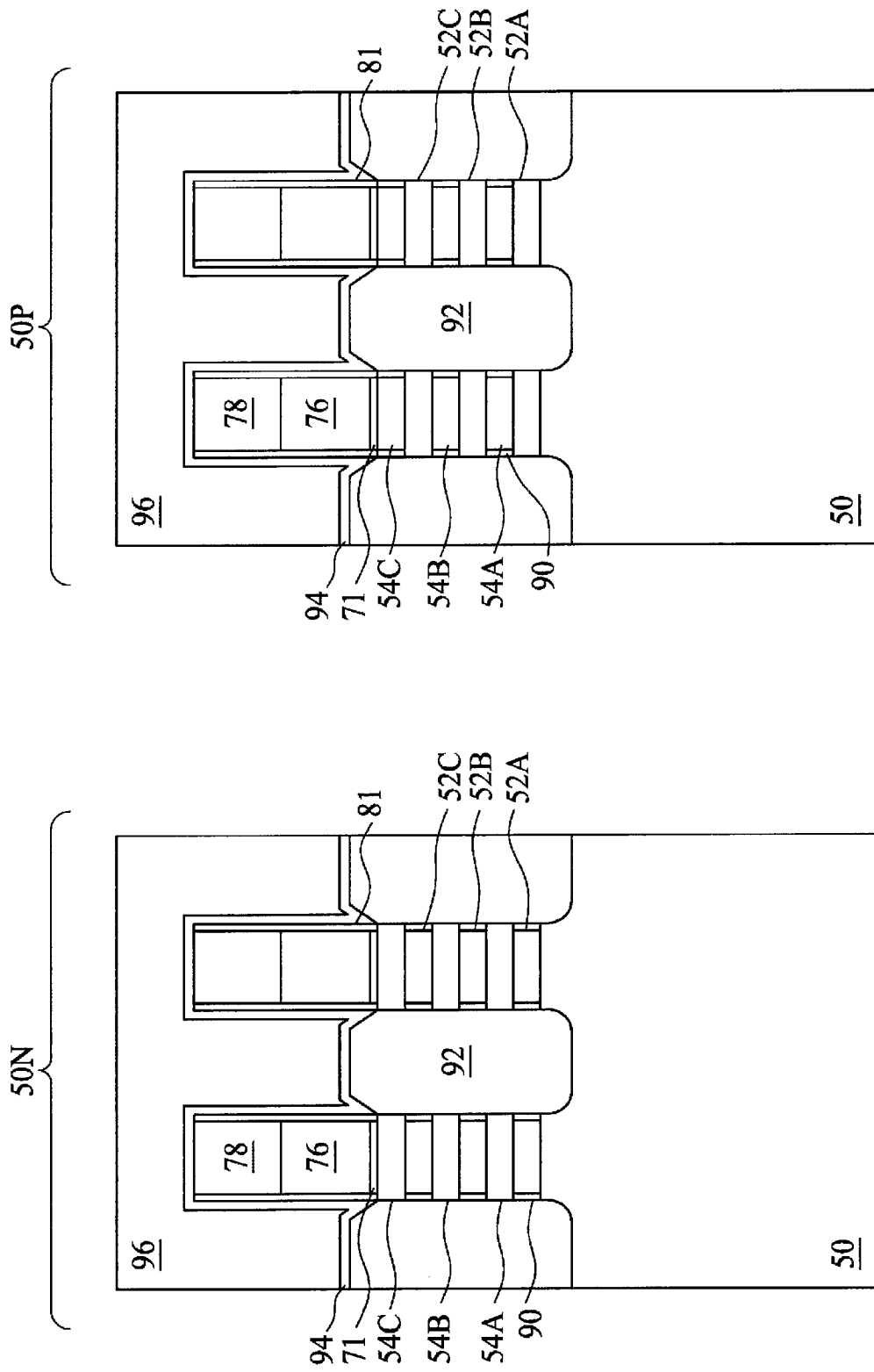


Fig. 13B

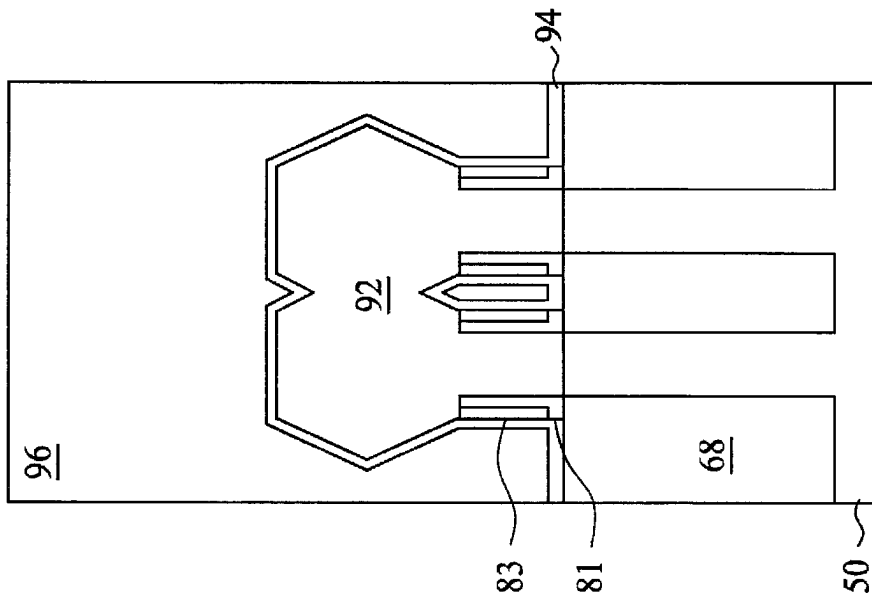


Fig. 13C

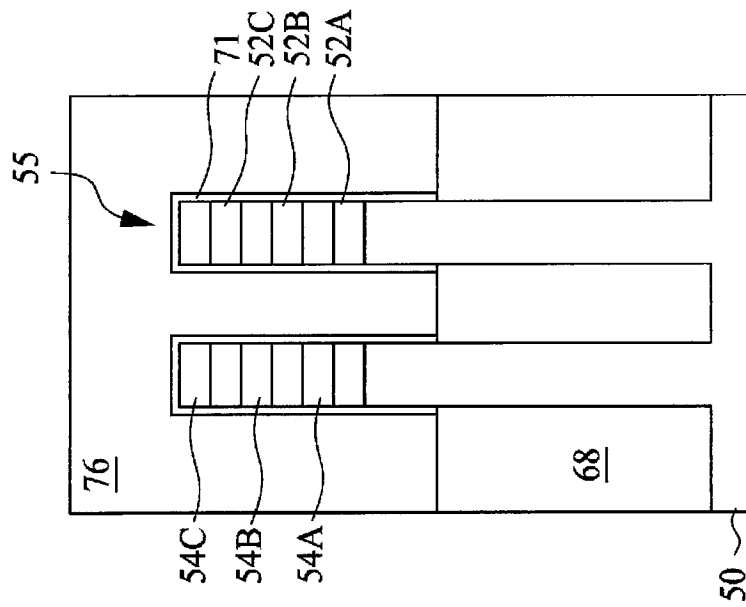


Fig. 14A

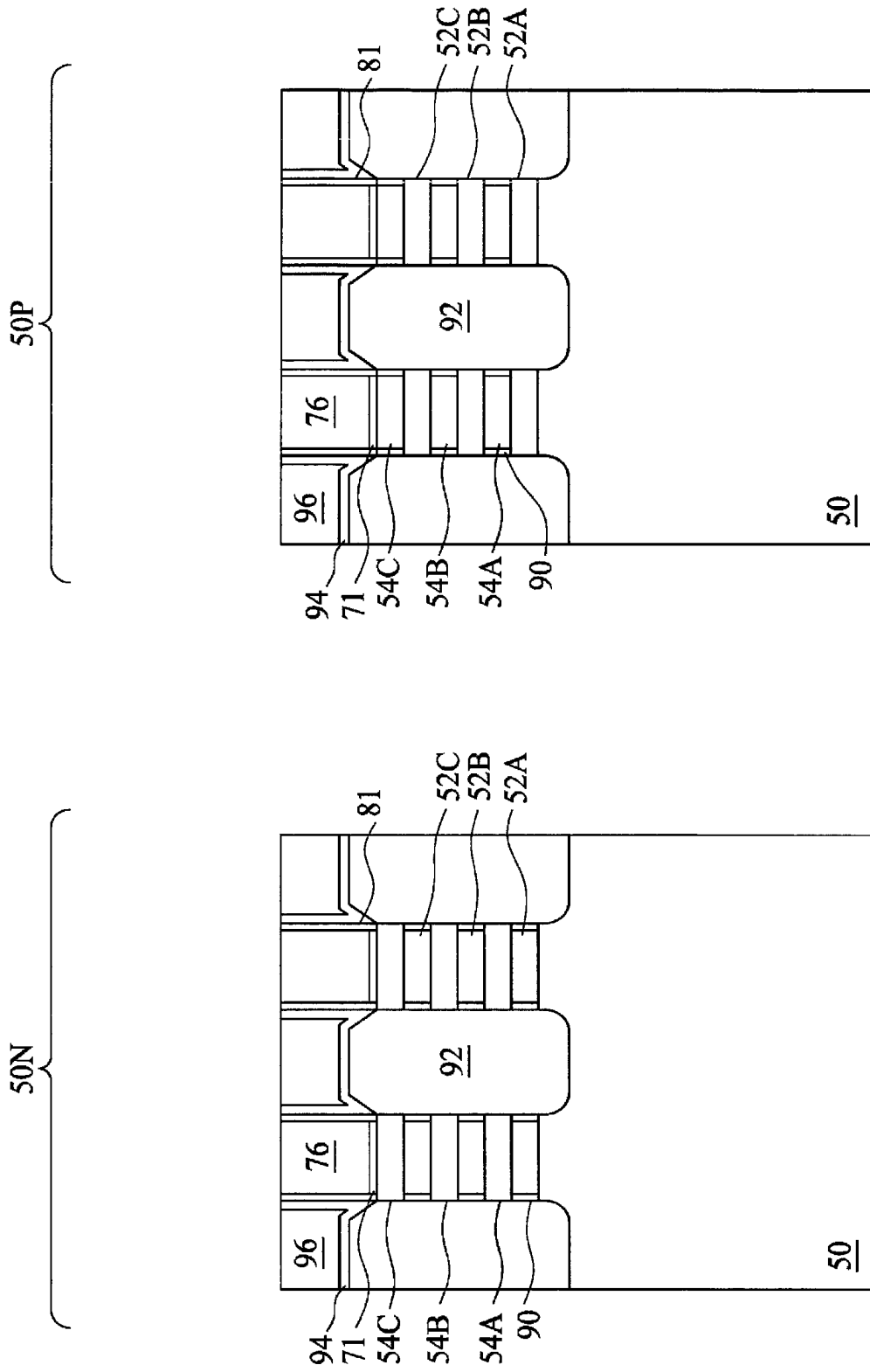


Fig. 14B

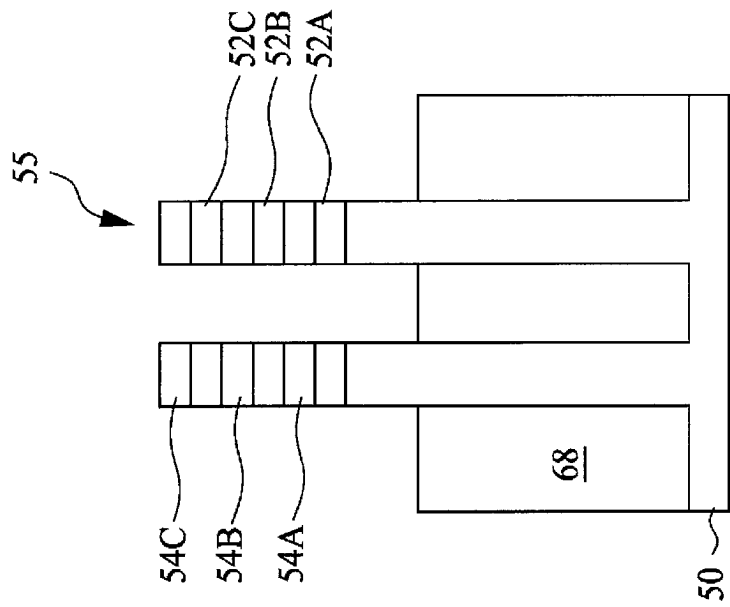


Fig. 15A

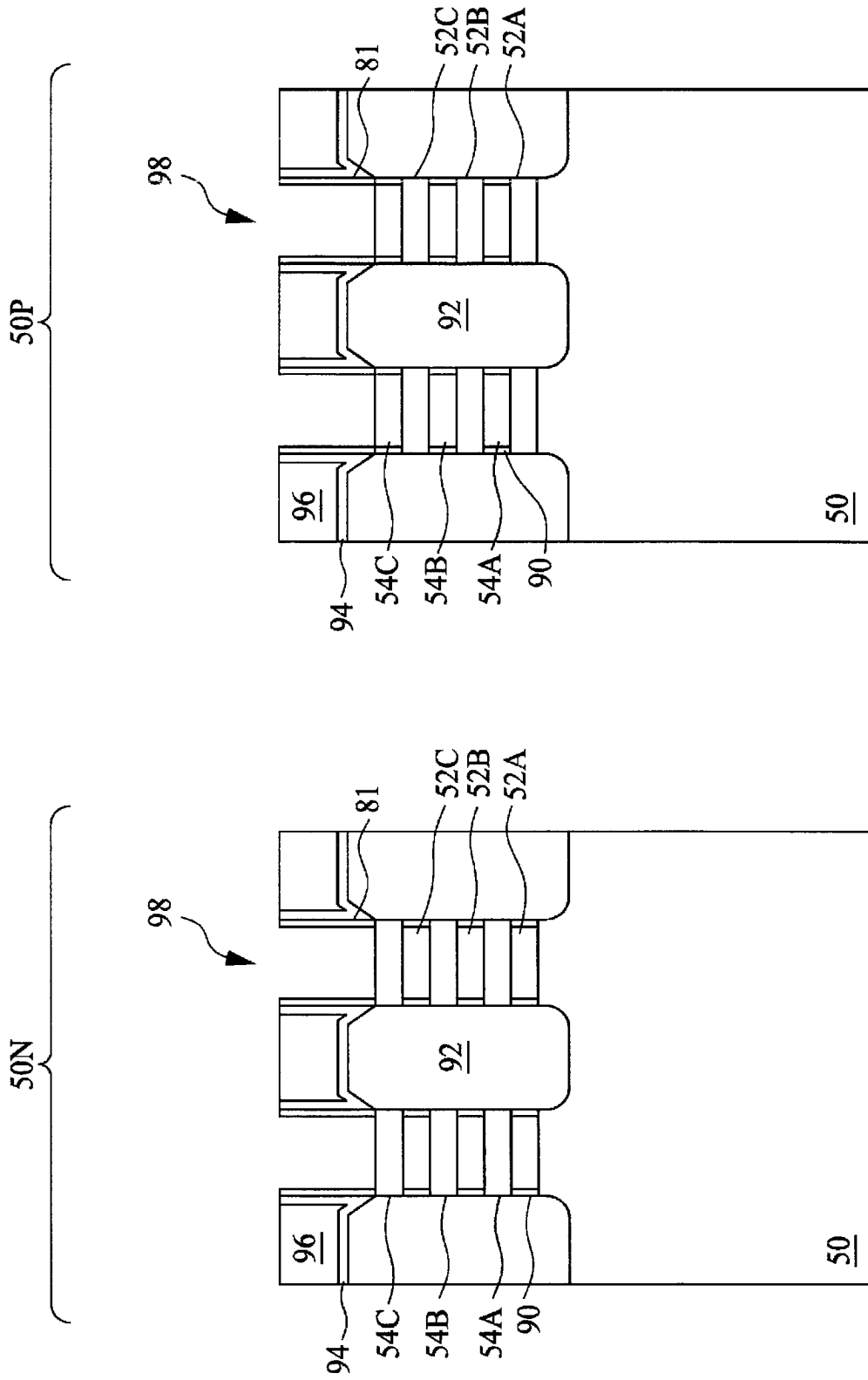


Fig. 15B

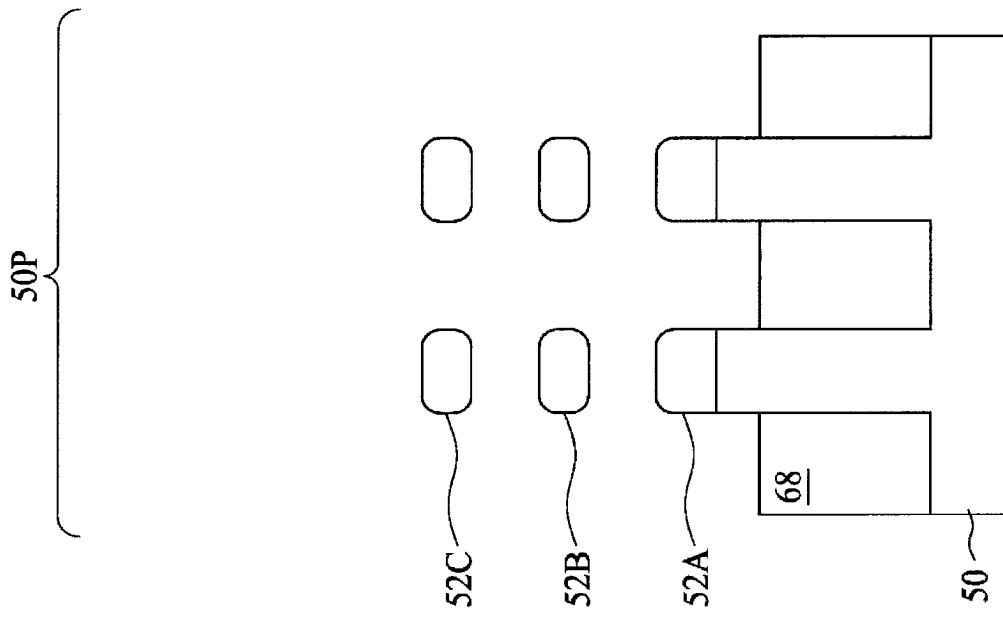


Fig. 16A

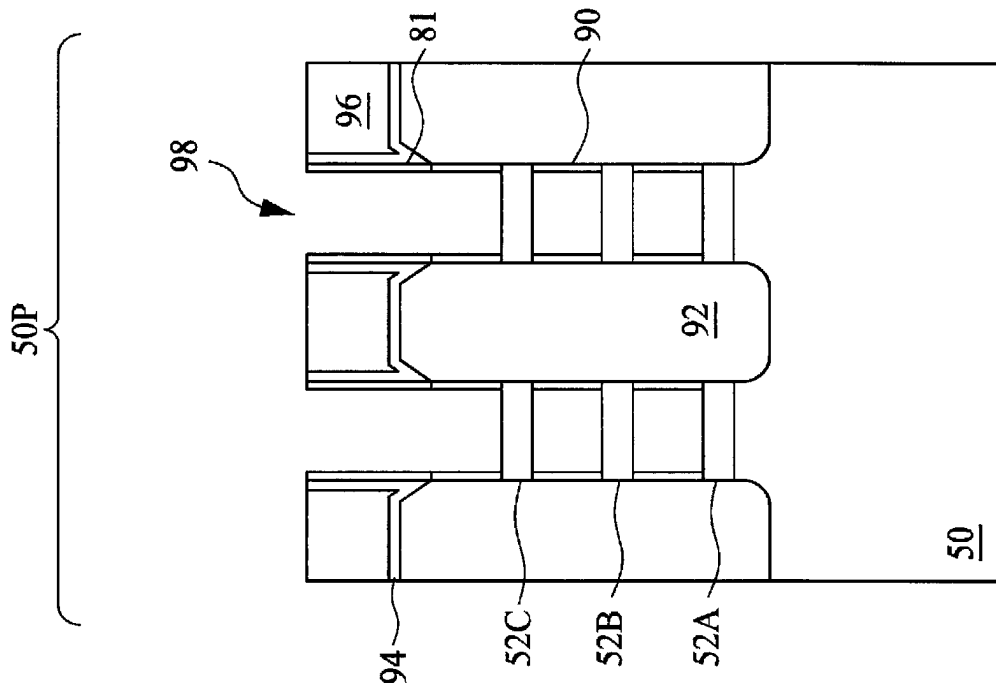


Fig. 16B

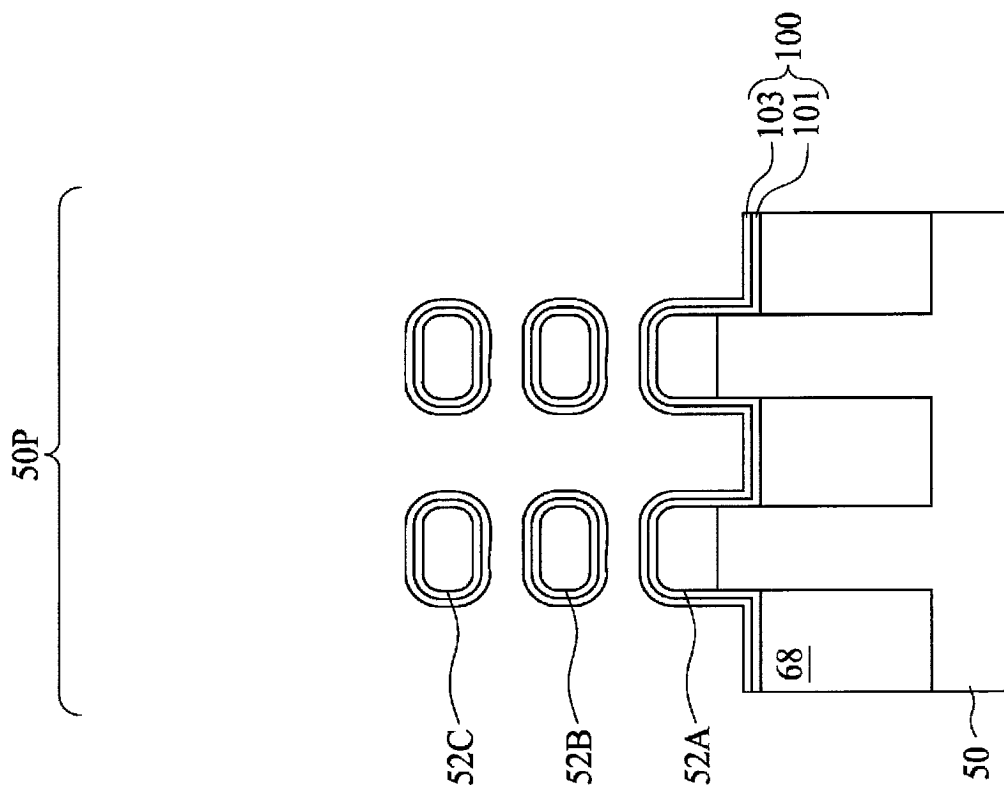


Fig. 17A

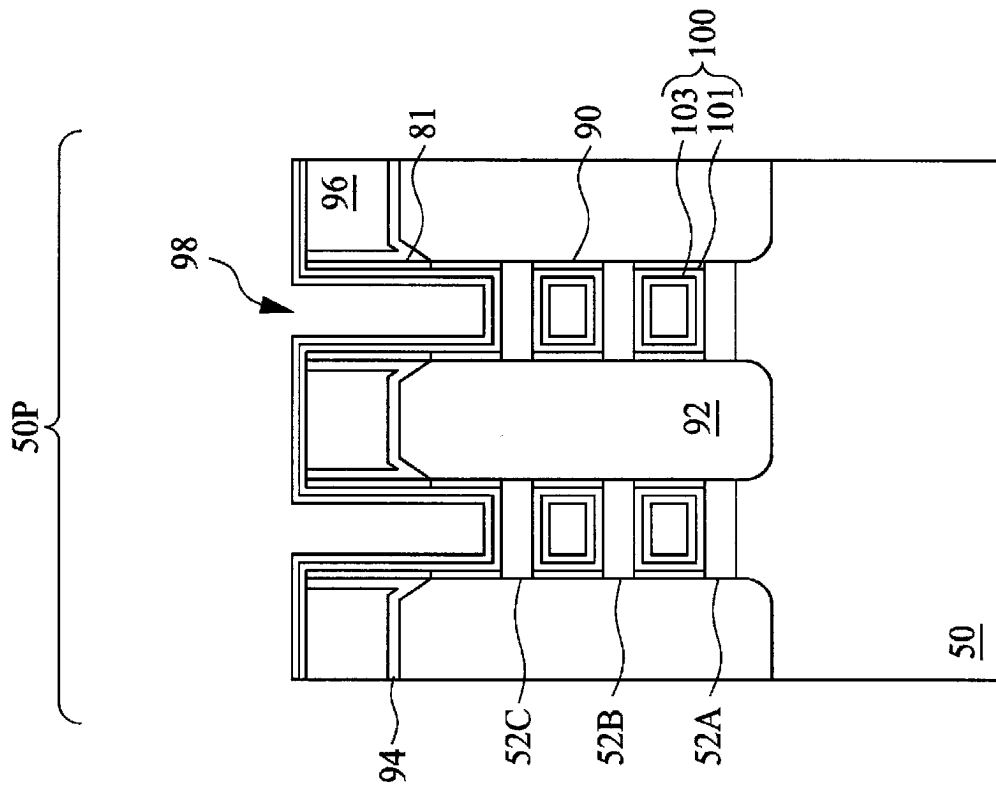


Fig. 17B

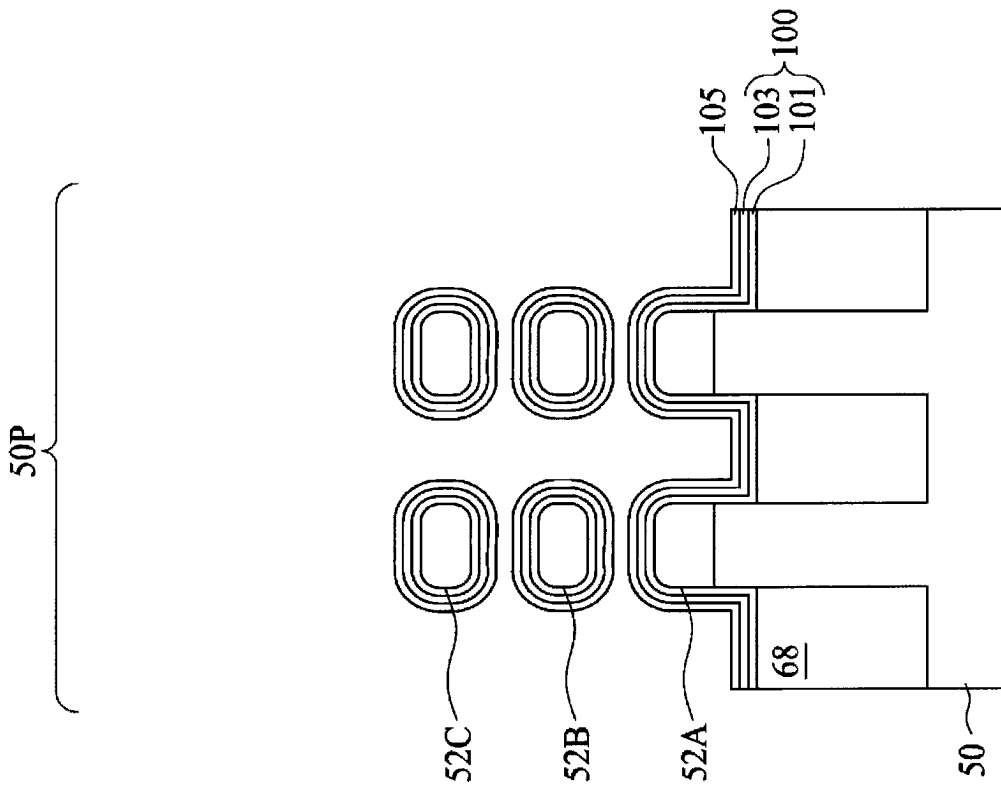


Fig. 18A

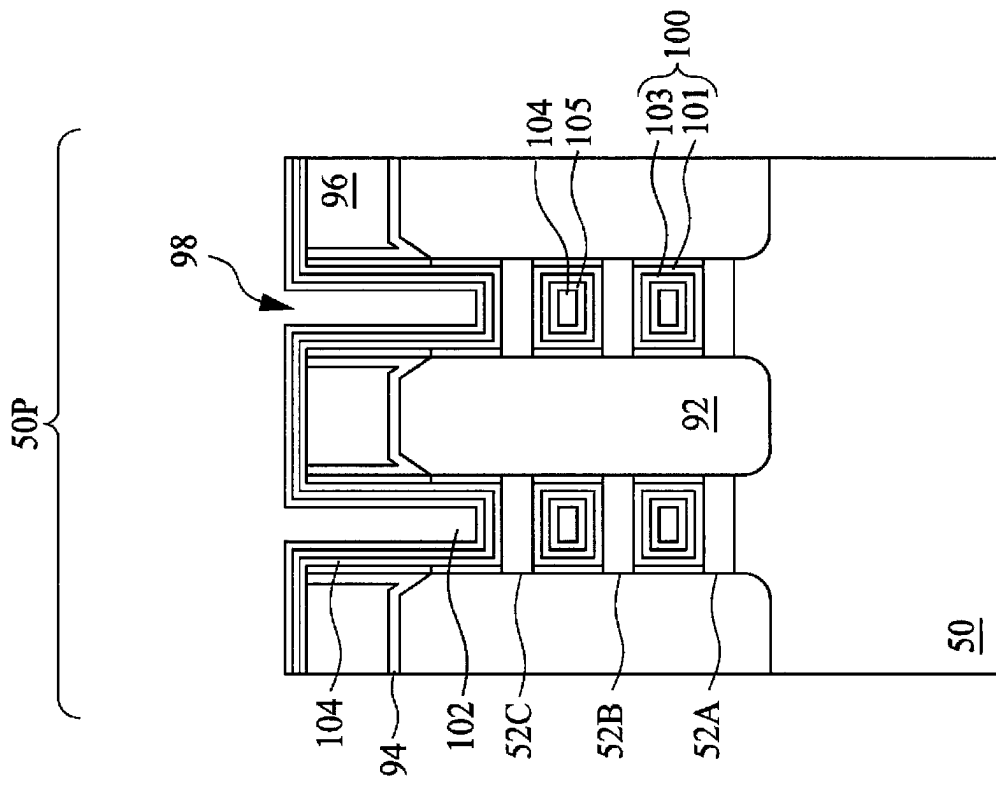


Fig. 18B

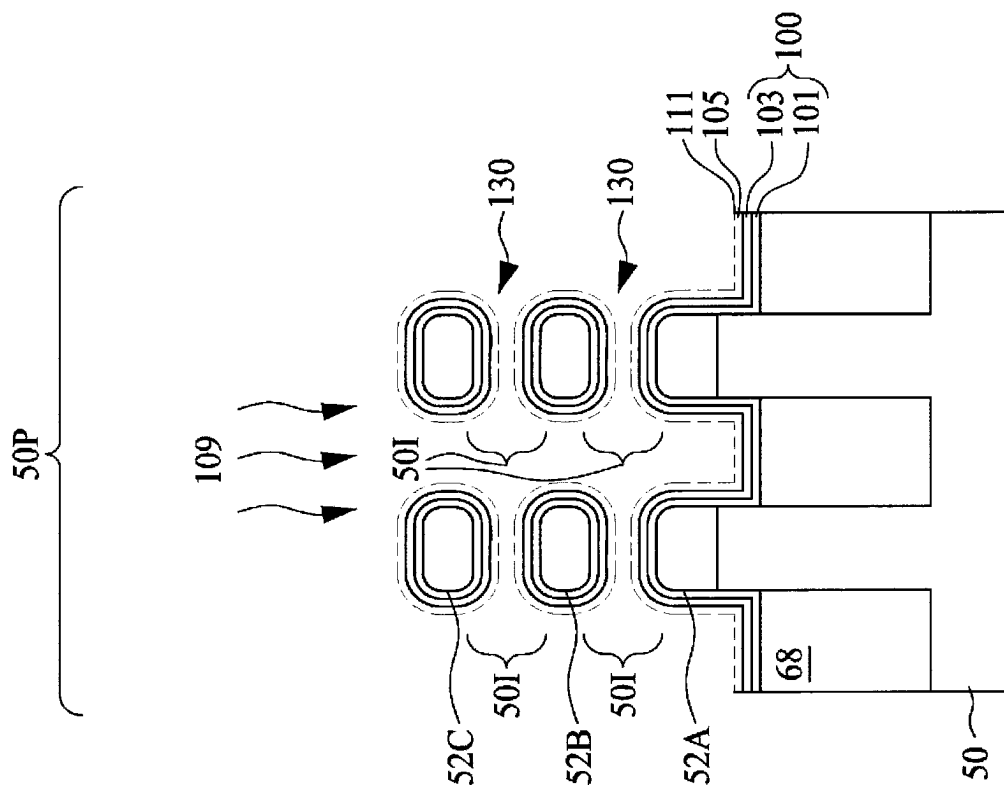


Fig. 19A

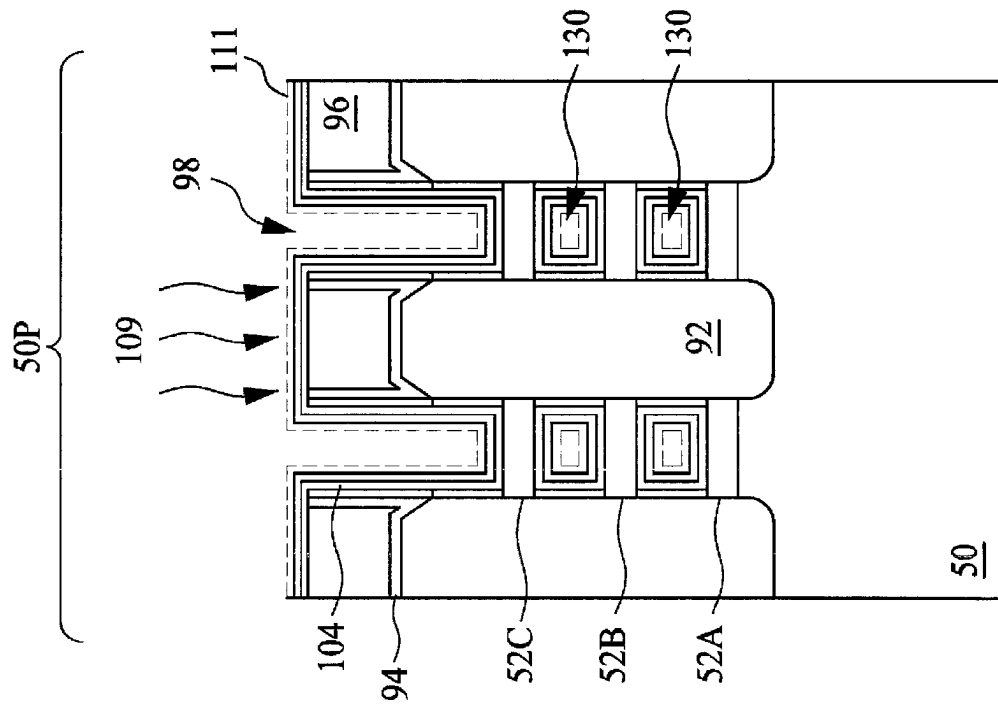


Fig. 19B

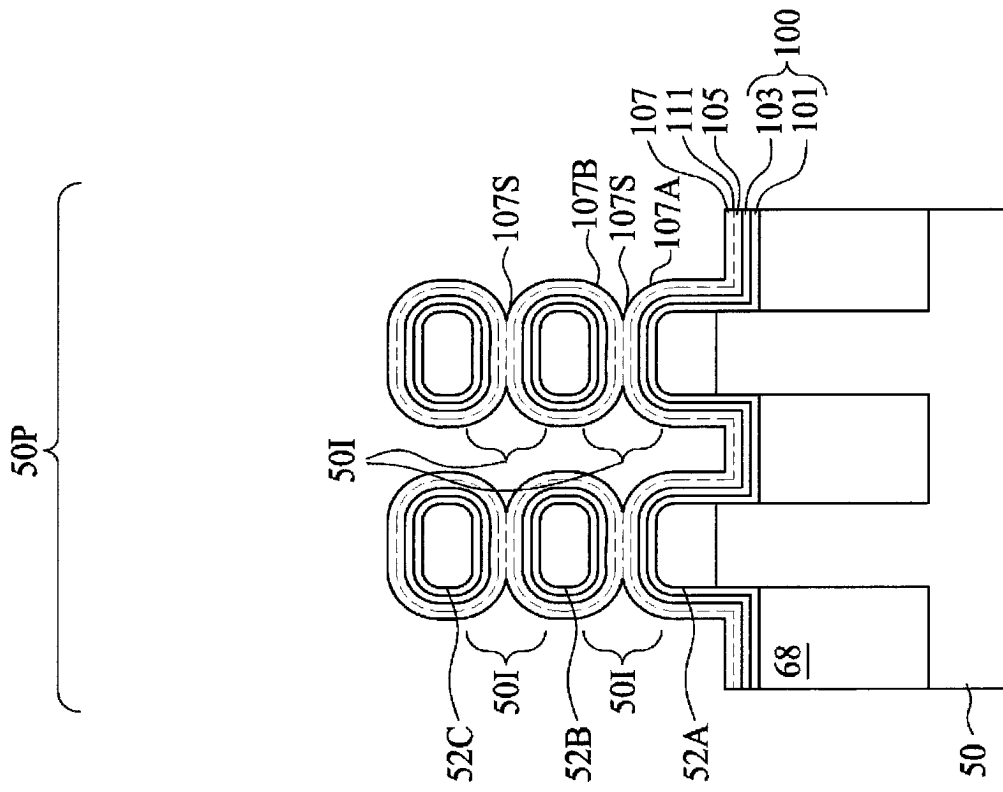


Fig. 20A

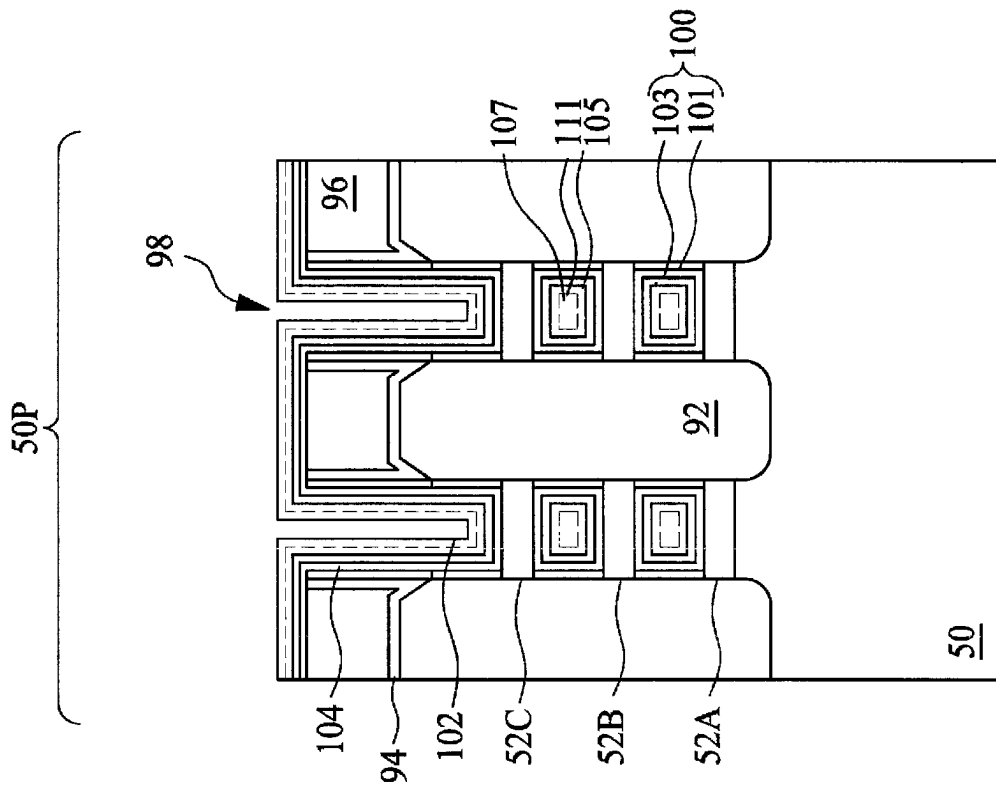


Fig. 20B

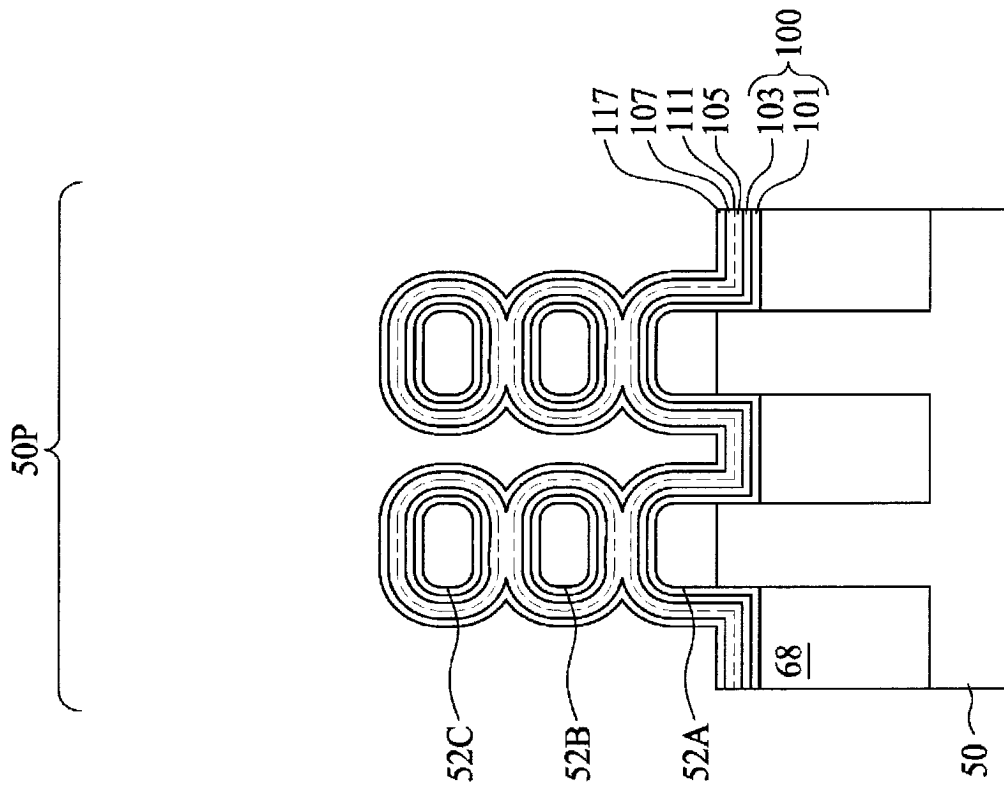


Fig. 21A

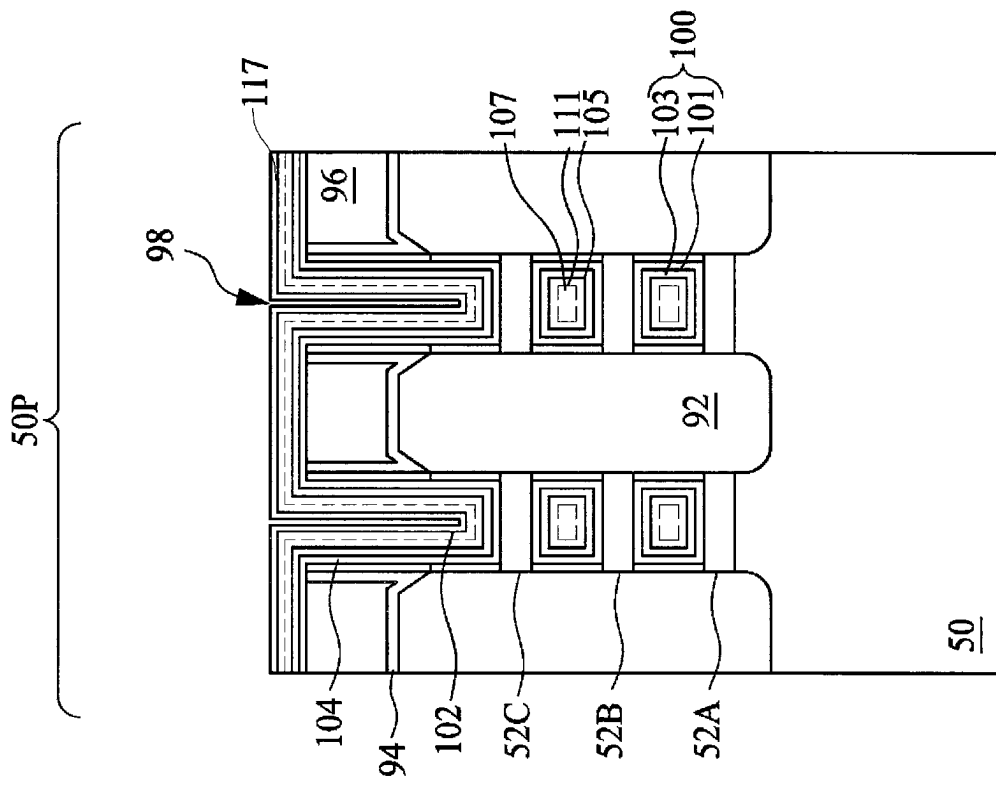


Fig. 21B

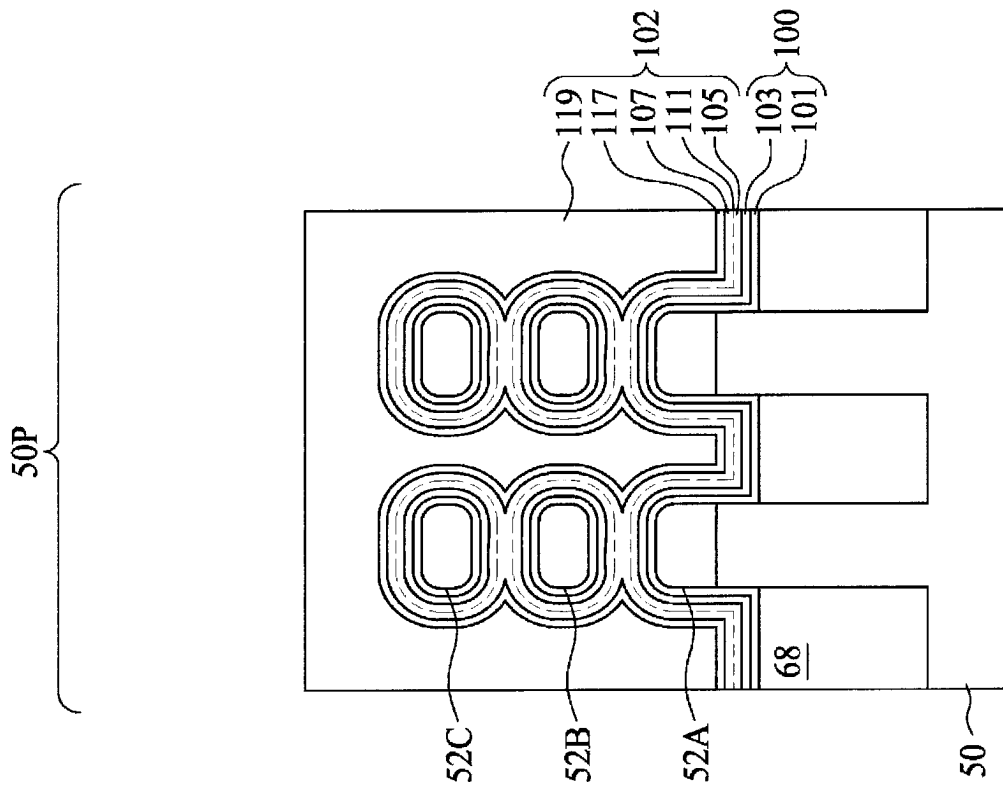


Fig. 22A

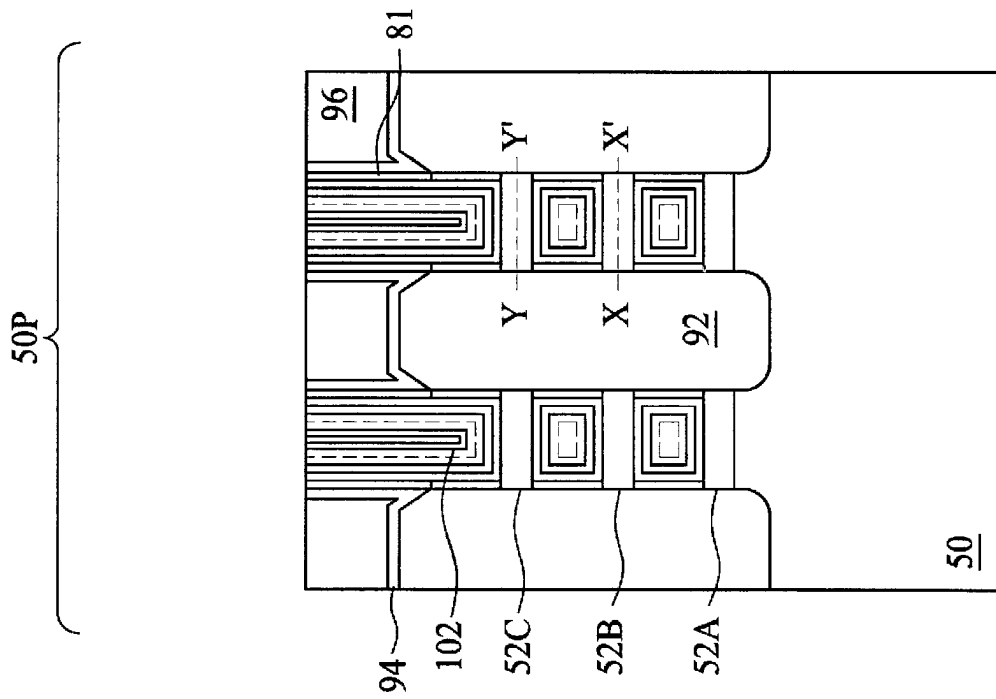


Fig. 22B

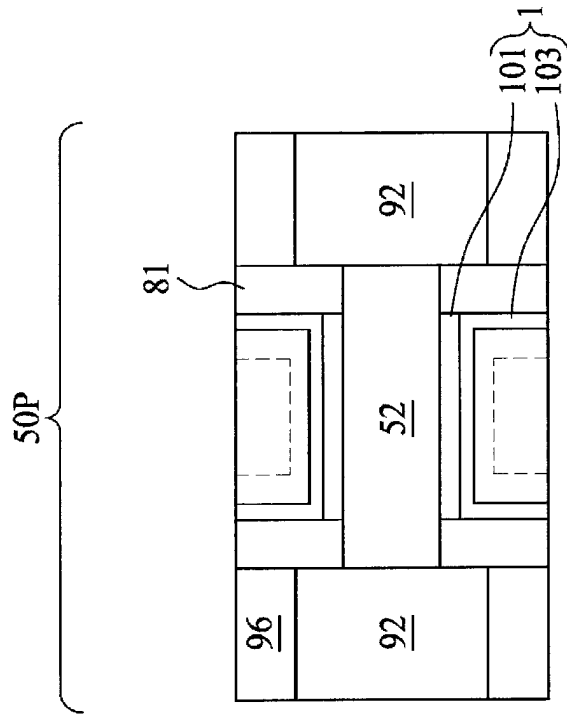


Fig. 22C

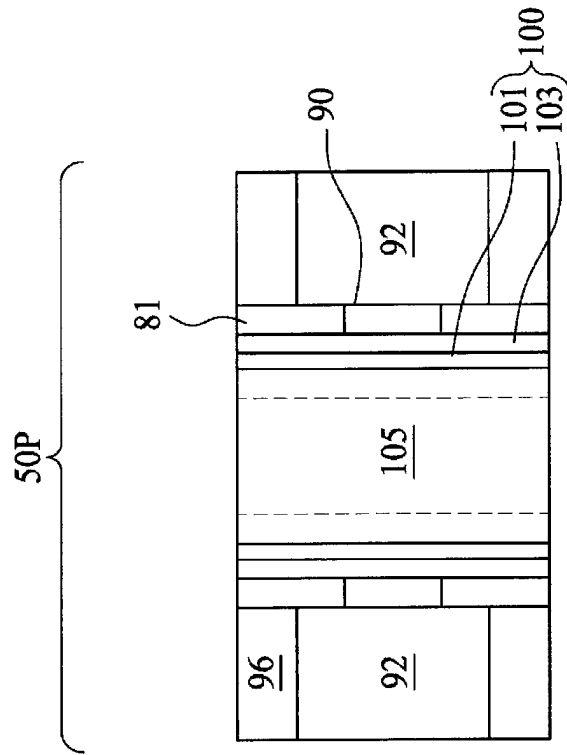


Fig. 22D

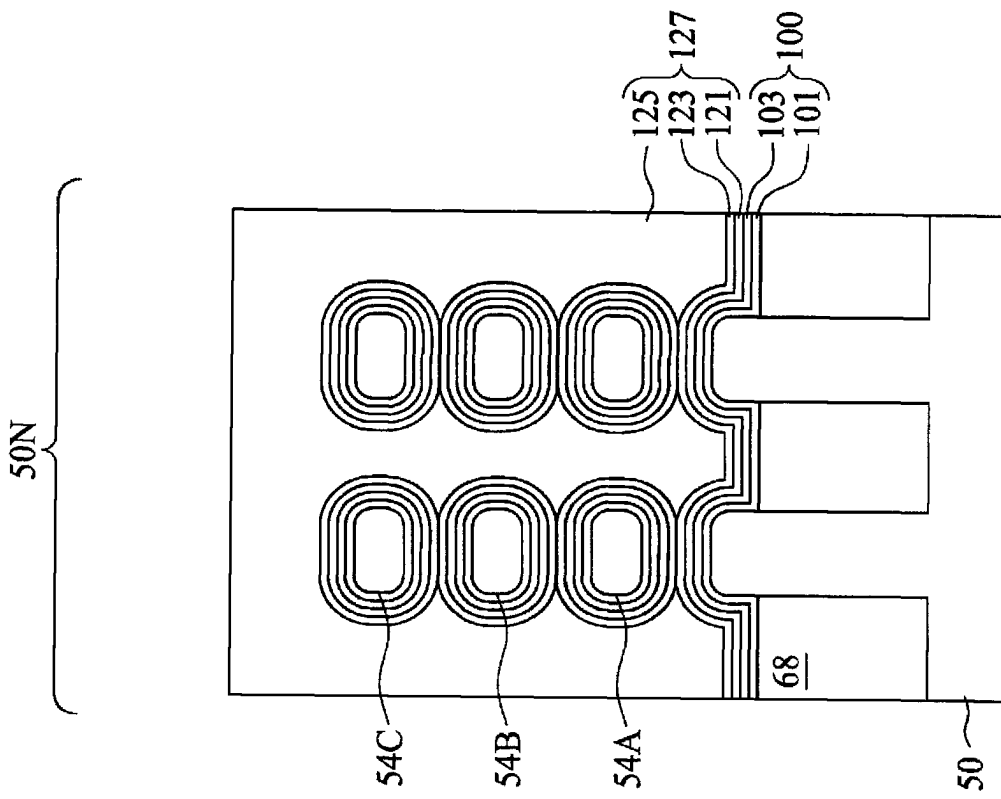


Fig. 23A

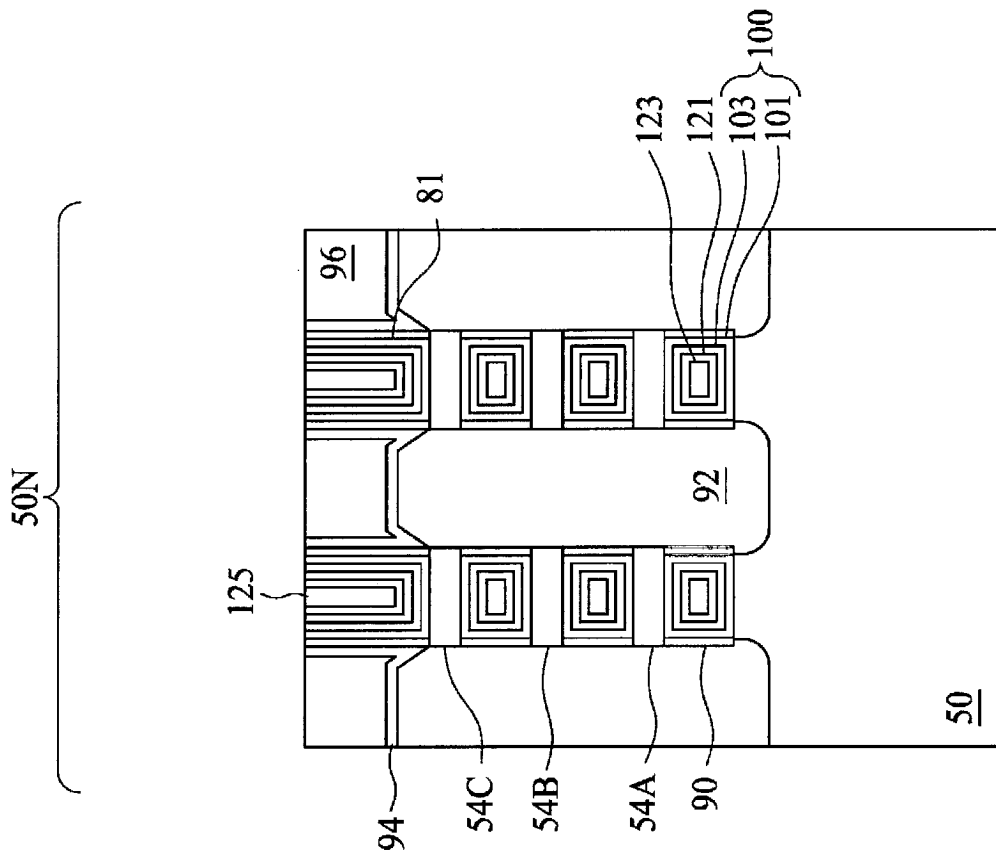


Fig. 23B

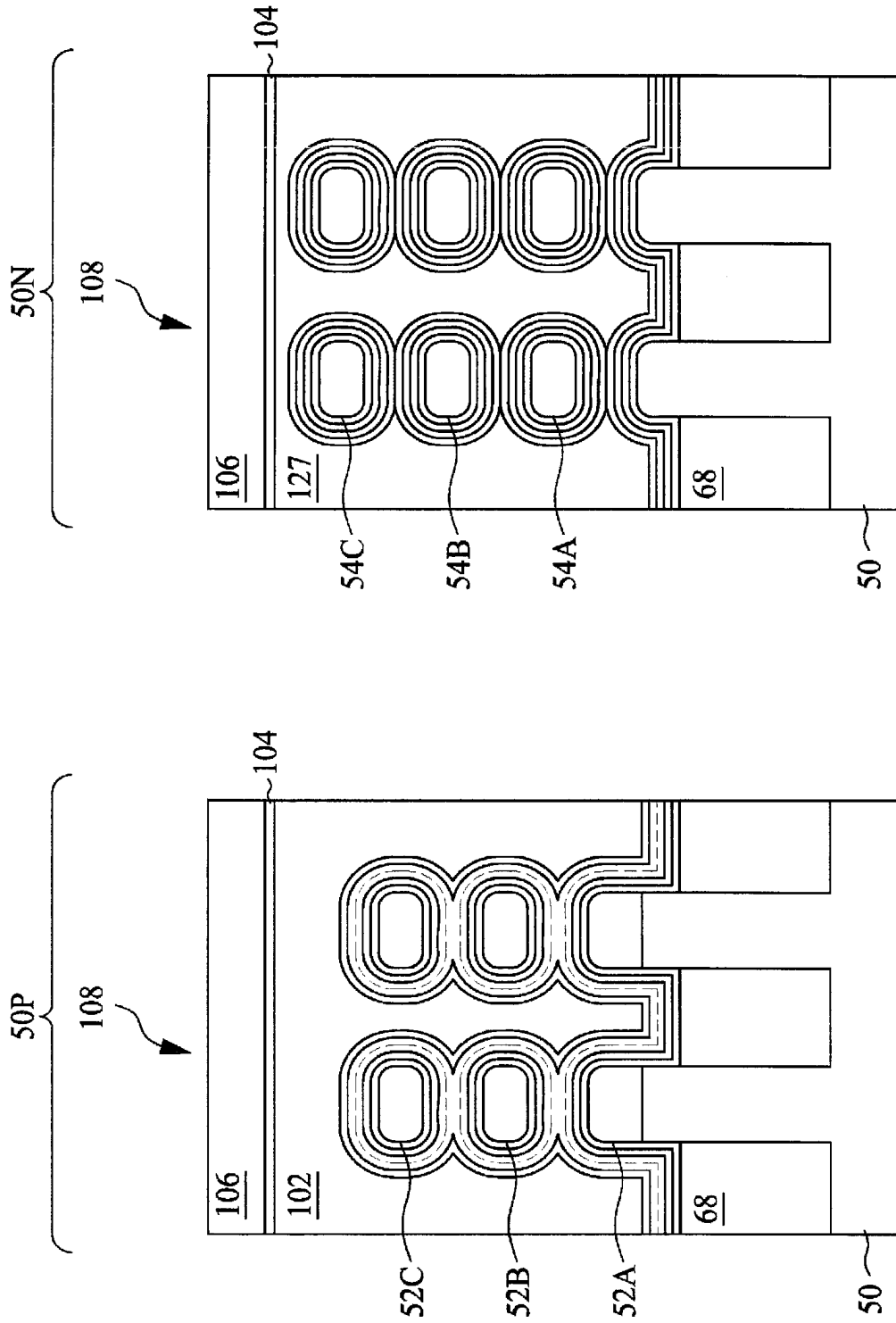


Fig. 24A

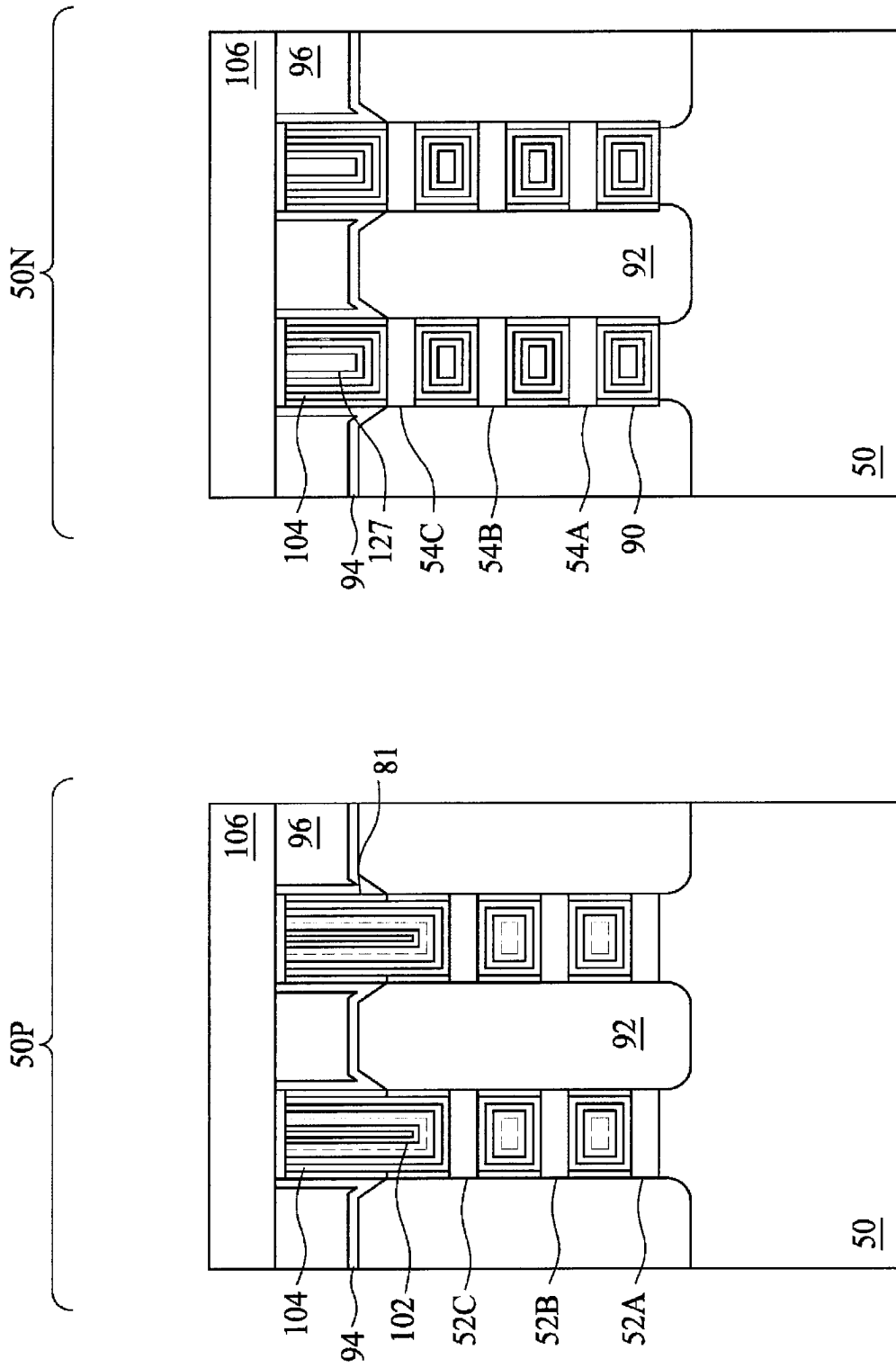


Fig. 24B

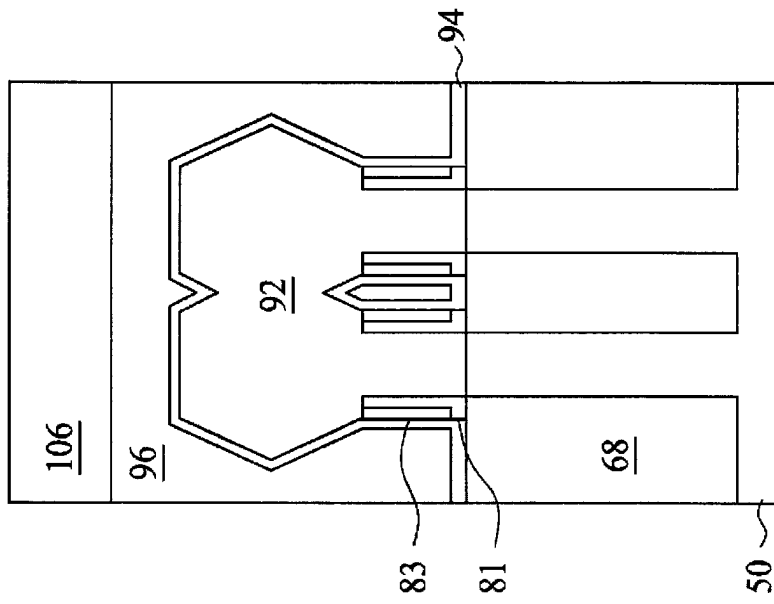


Fig. 24C

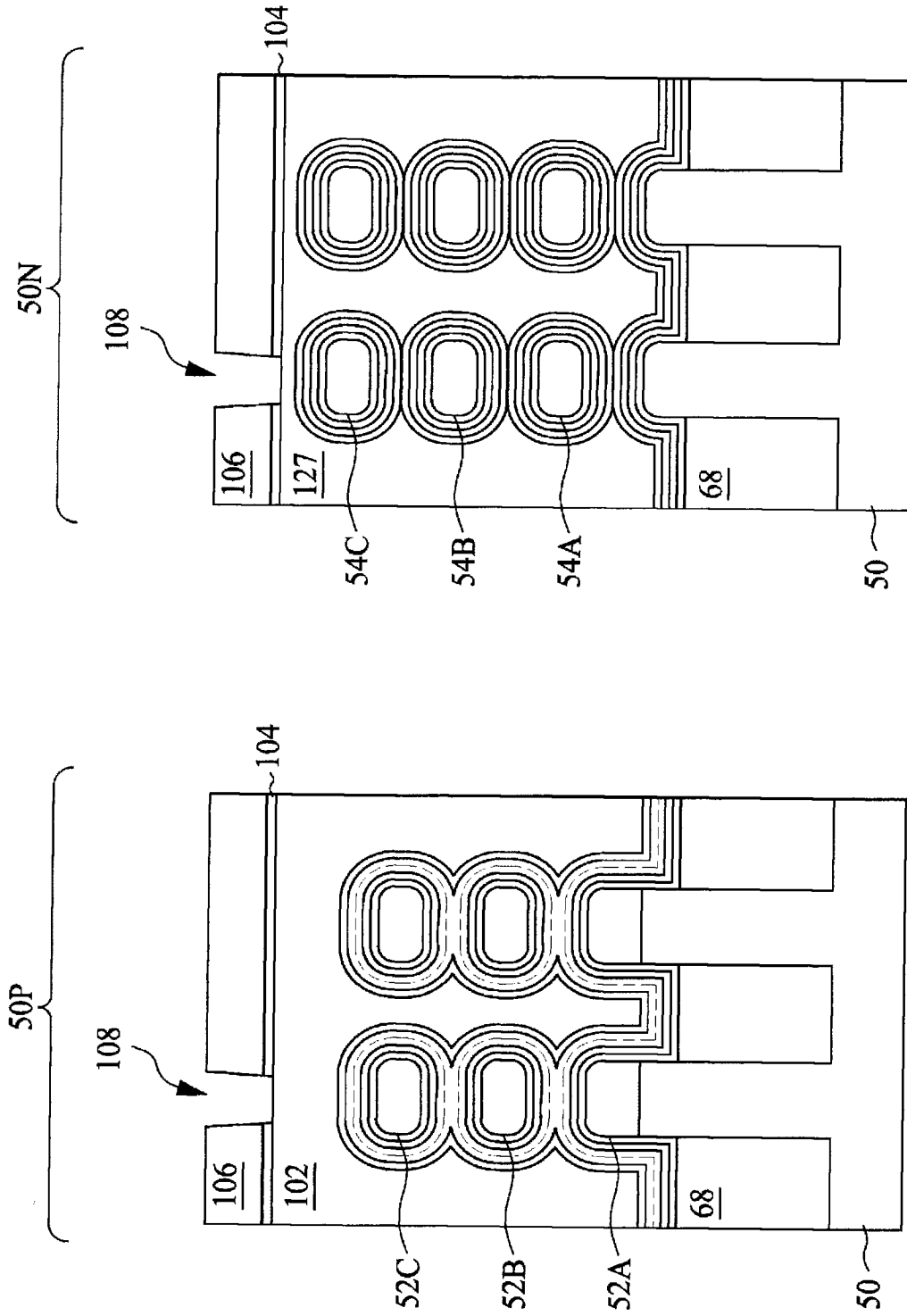


Fig. 25A

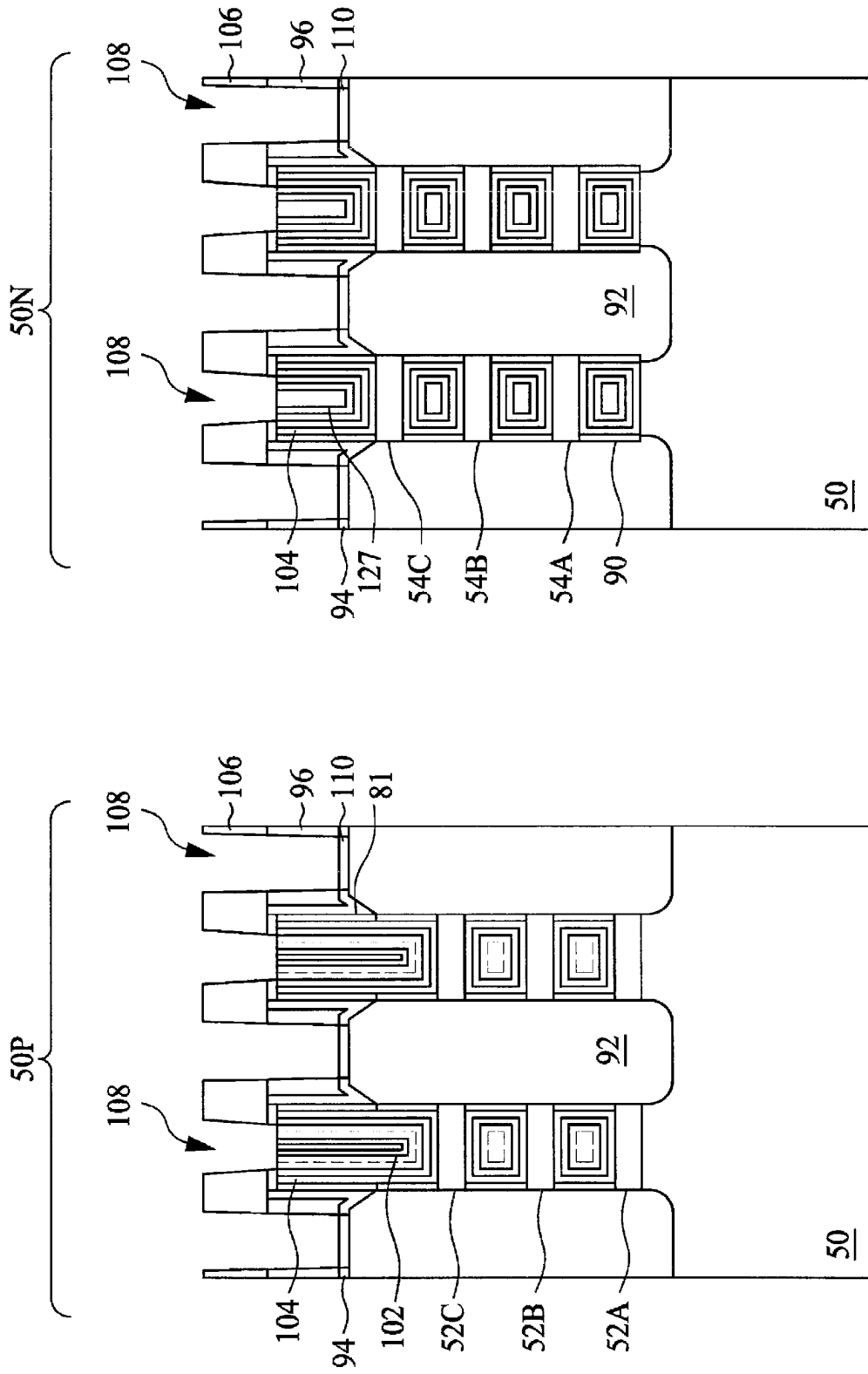


Fig. 25B

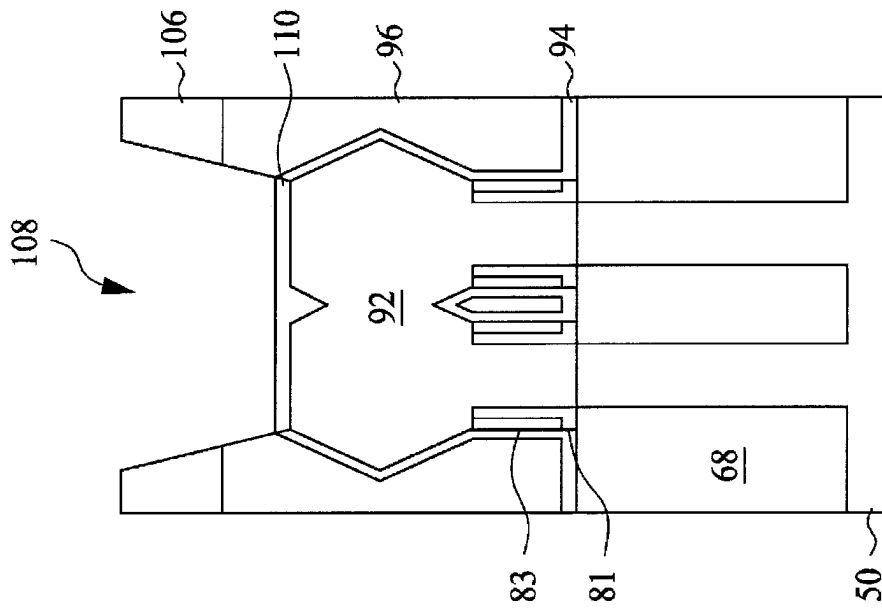


Fig. 25C

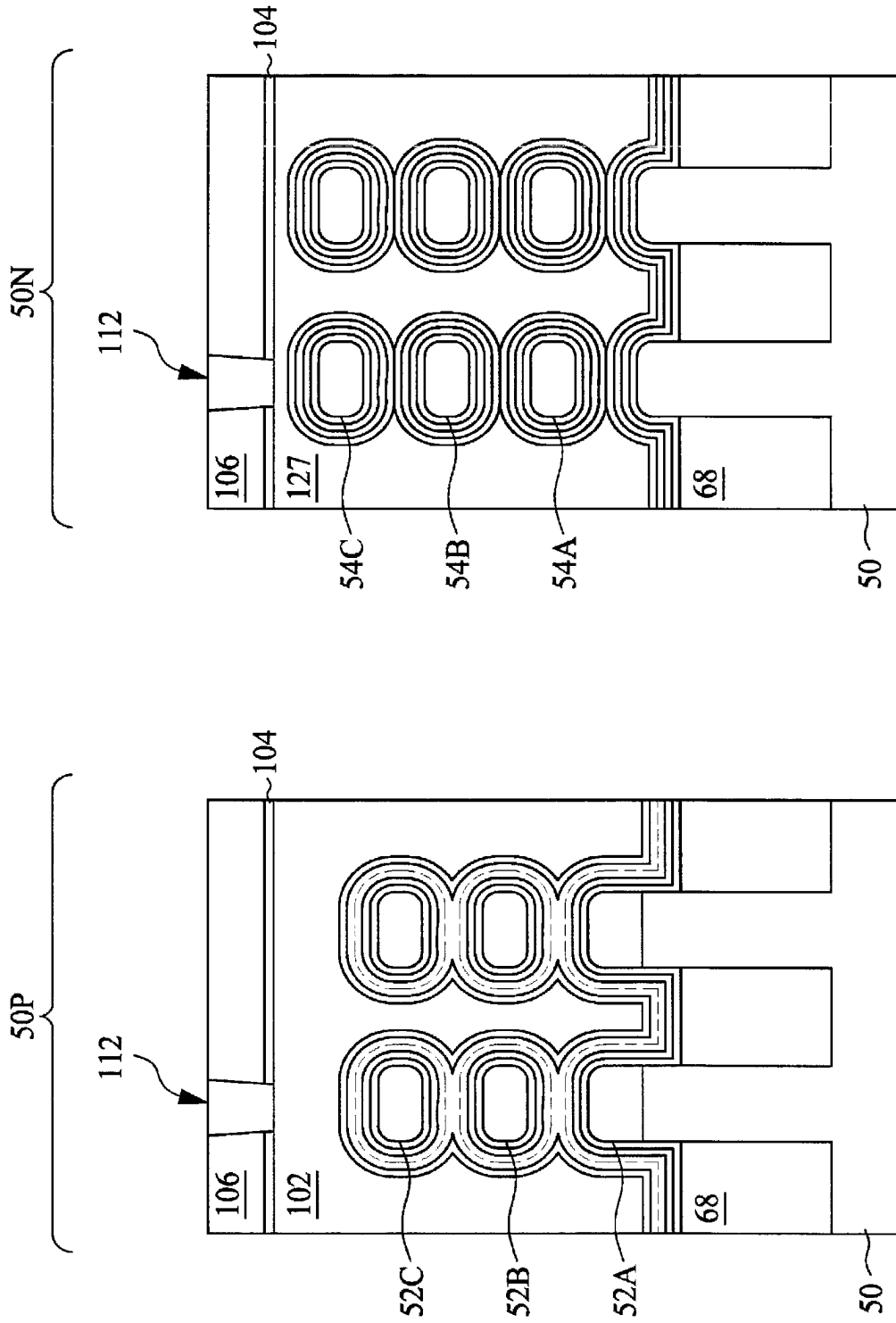


Fig. 26A

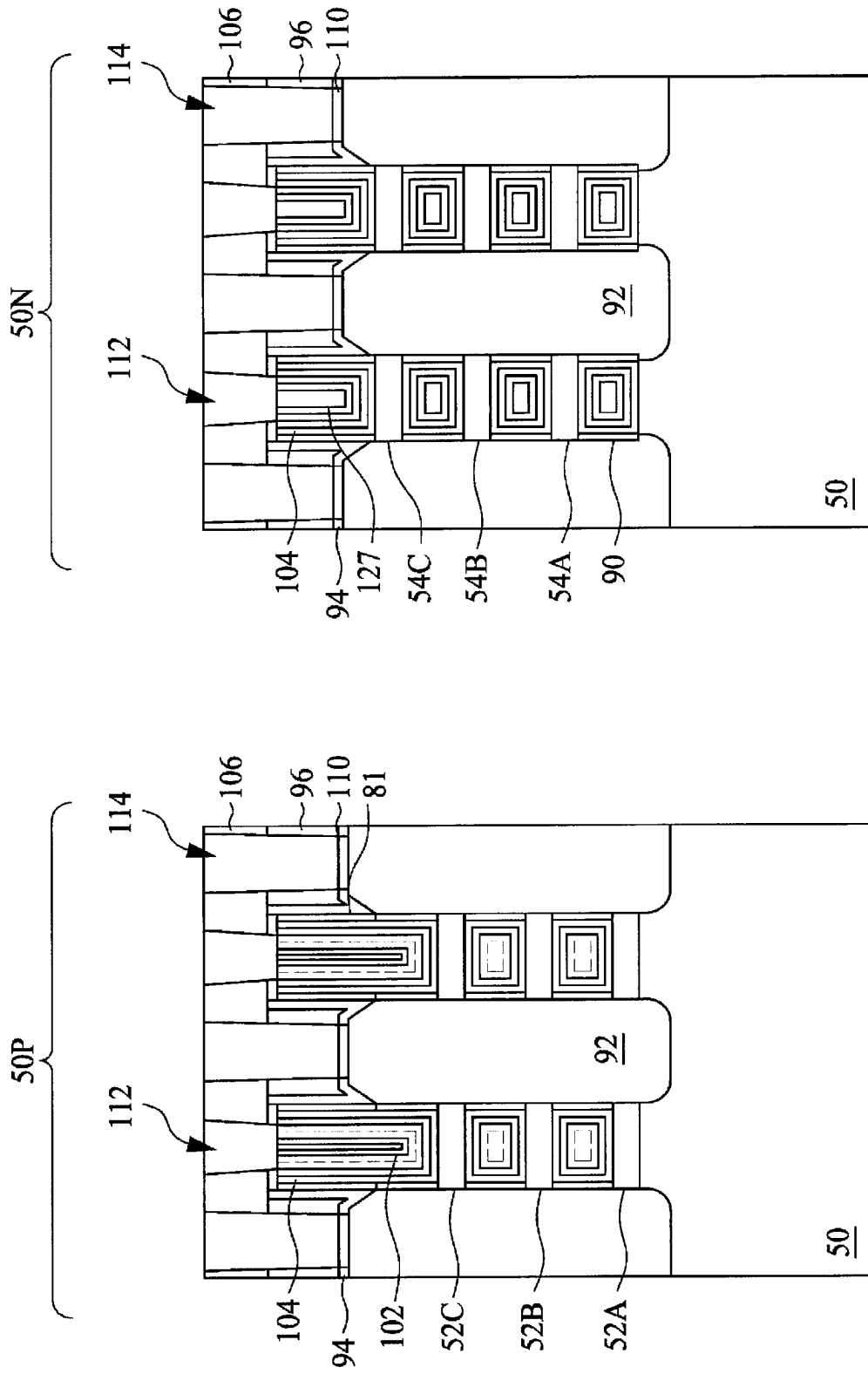


Fig. 26B

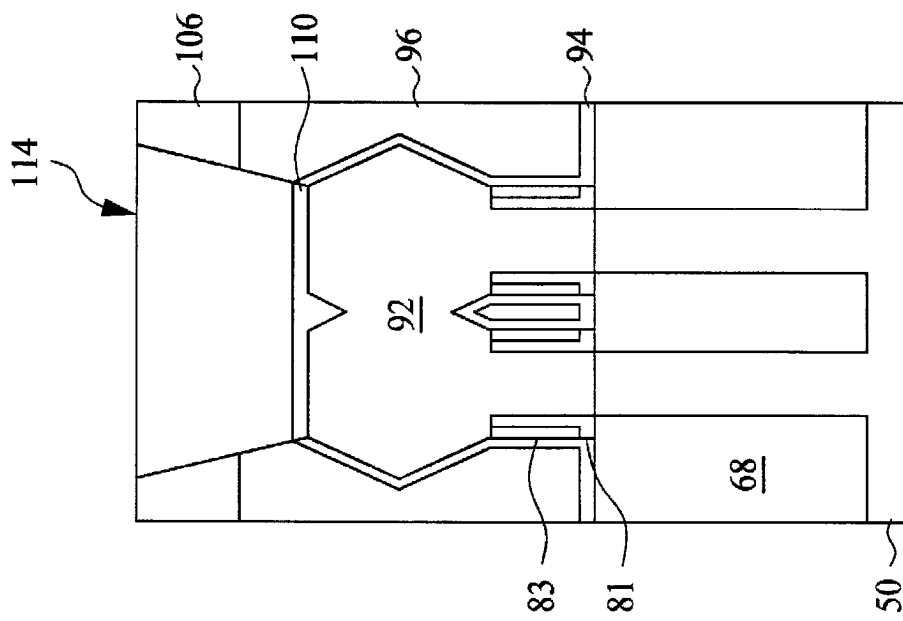


Fig. 26C

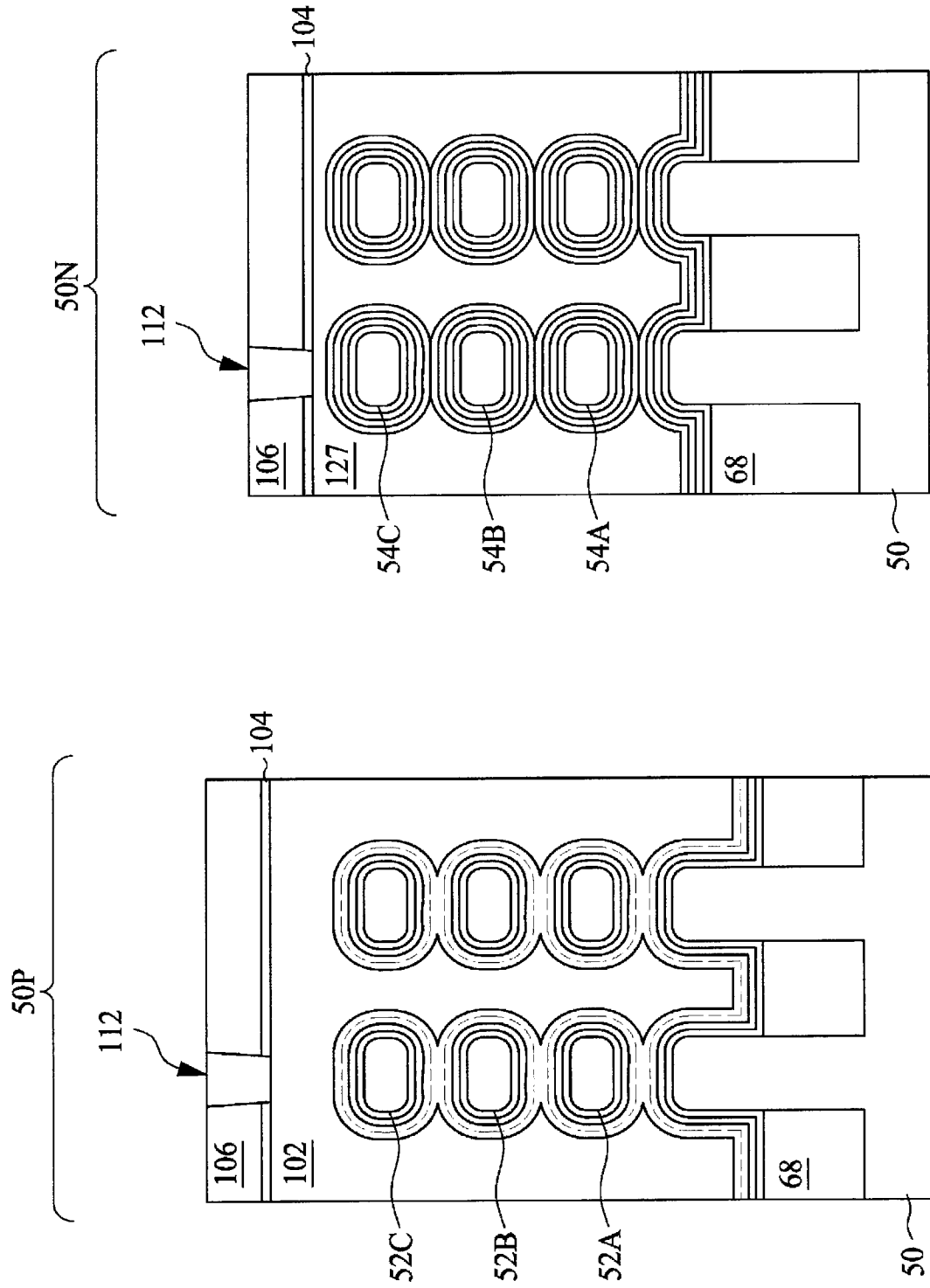


Fig. 27A

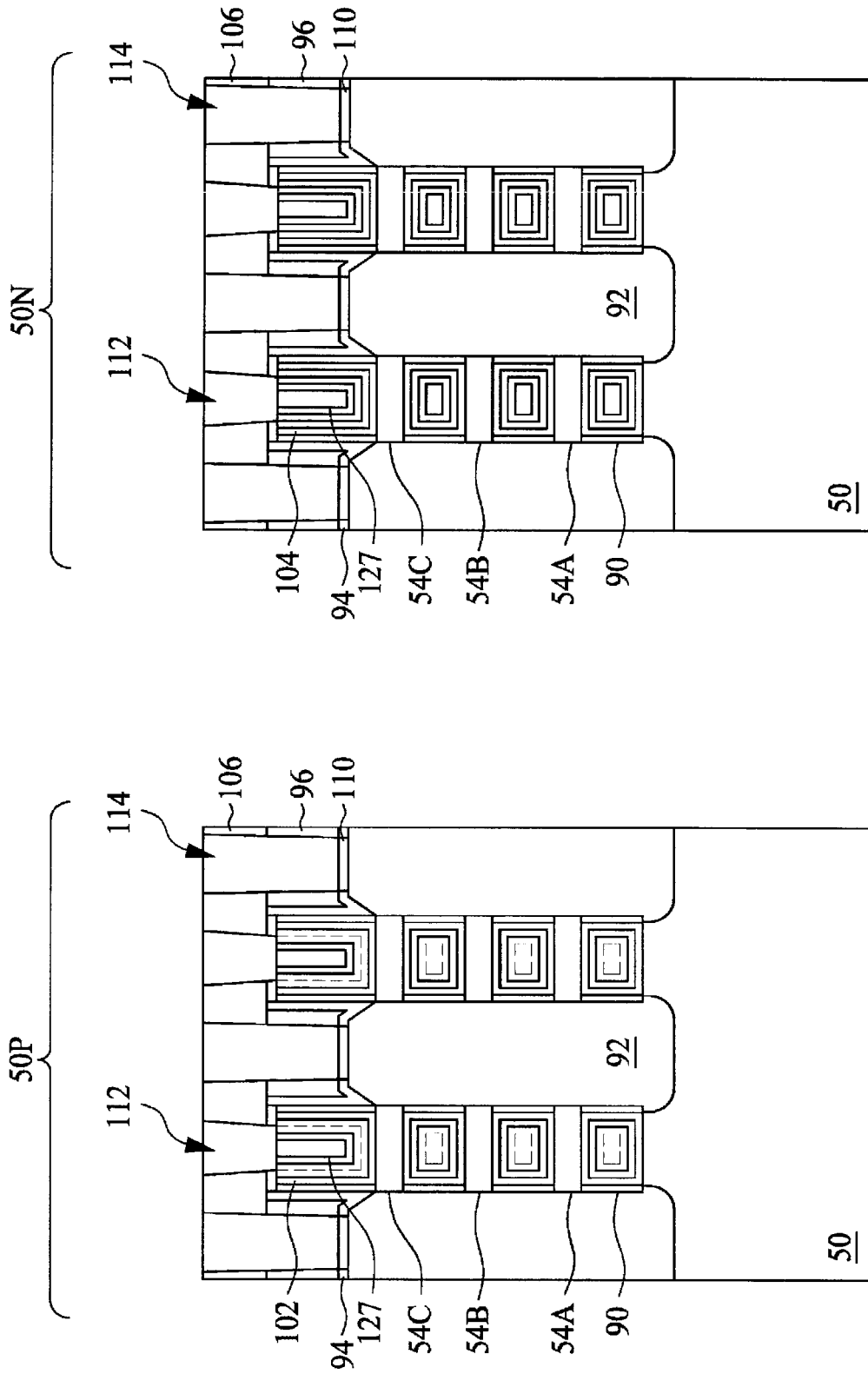


Fig. 27B

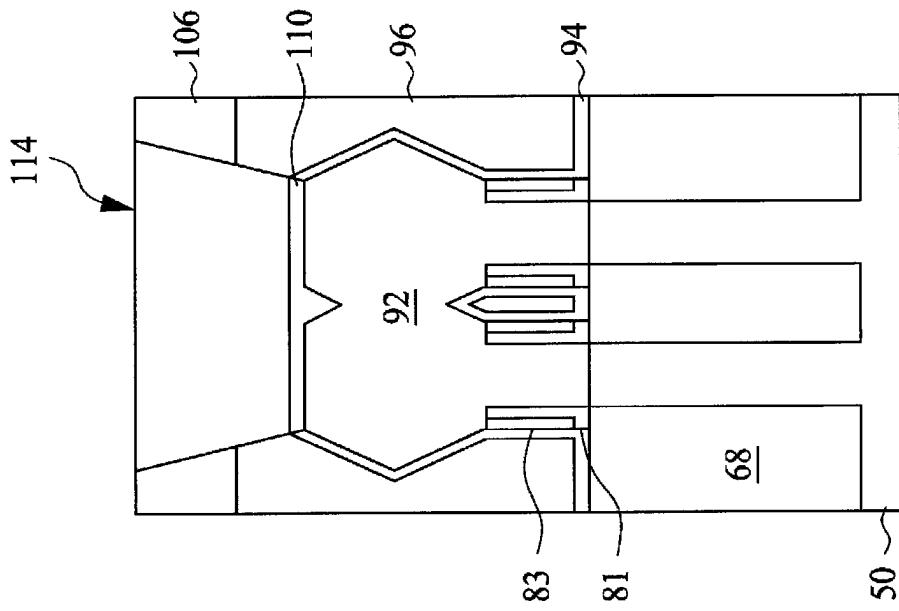


Fig. 27C

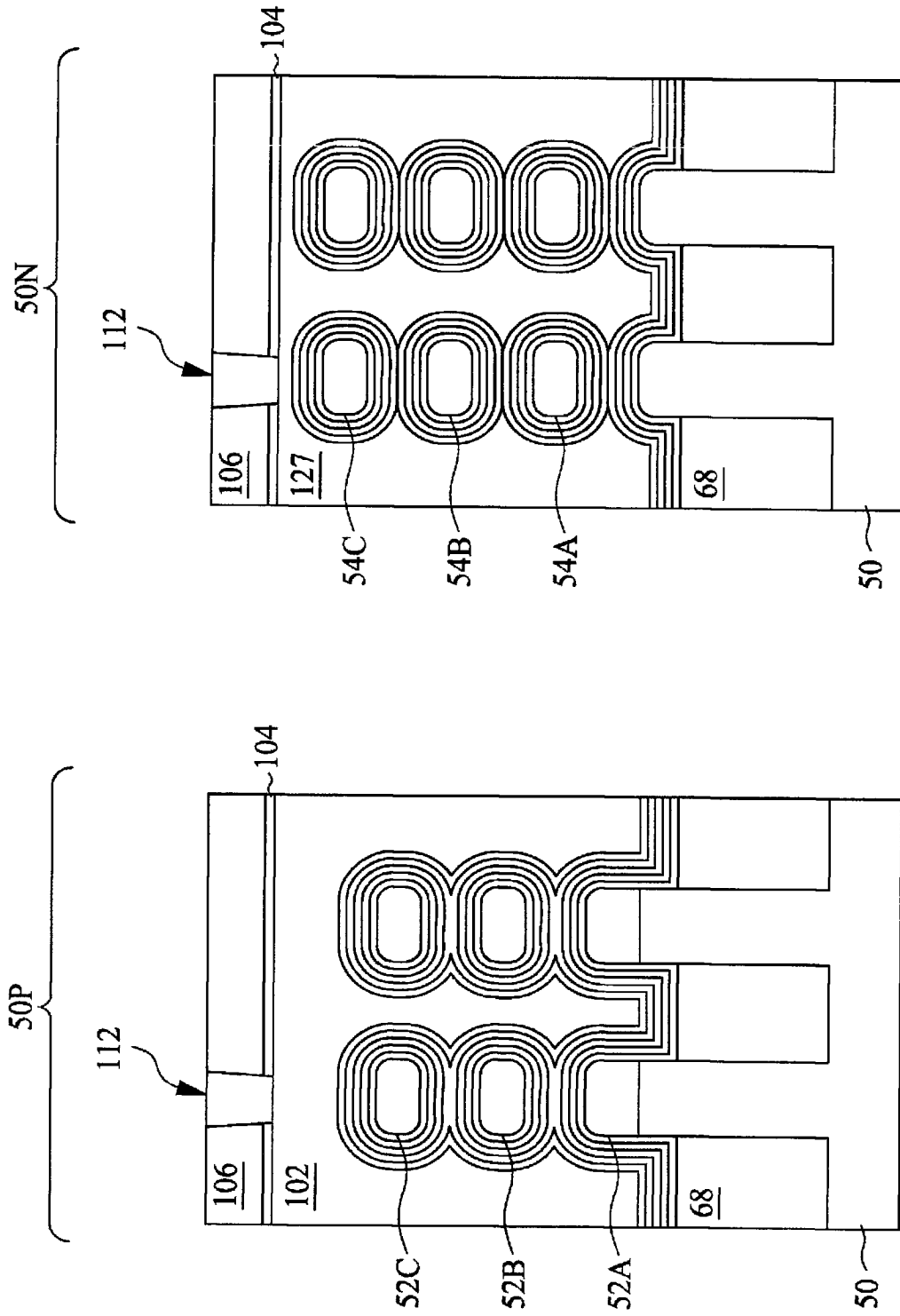


Fig. 28A

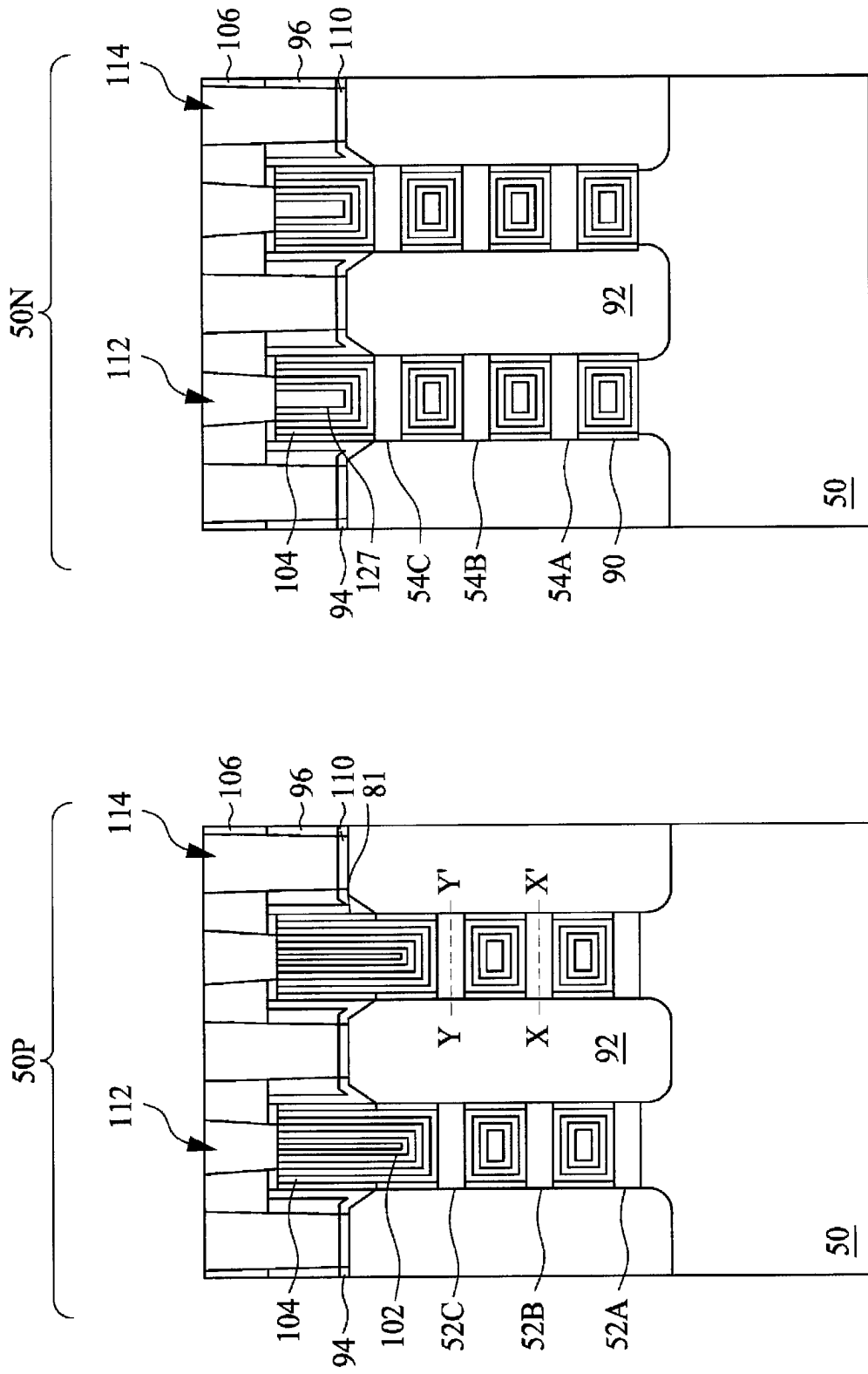


Fig. 28B

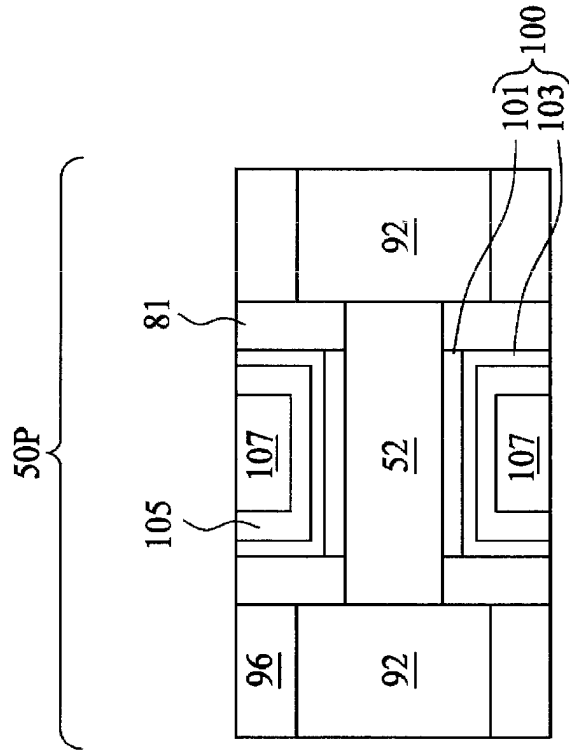


Fig. 28D

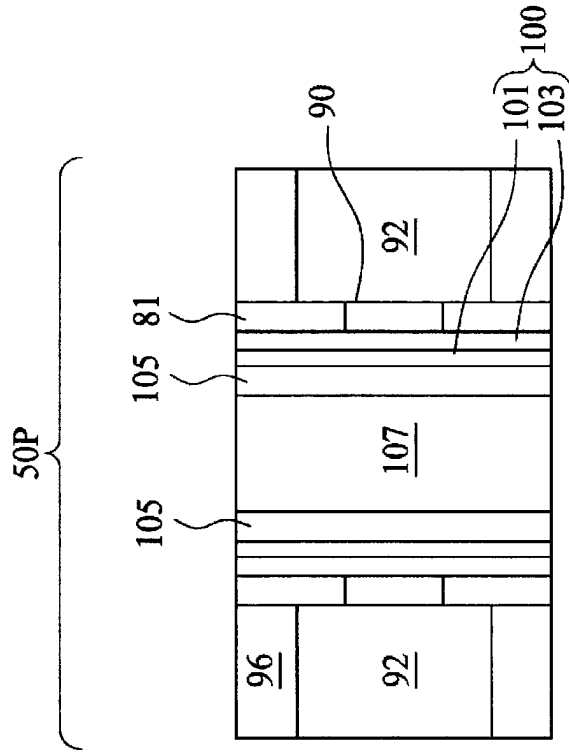


Fig. 28C

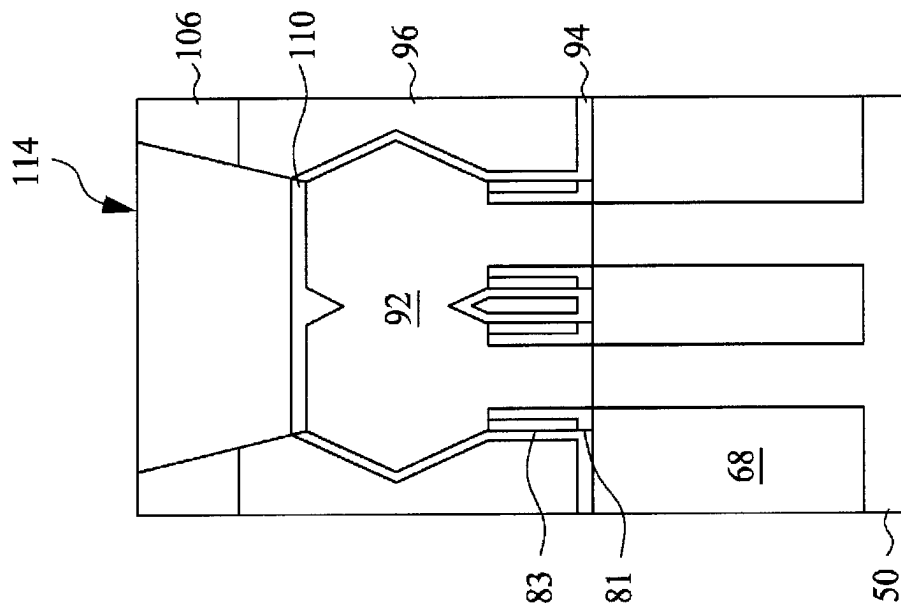


Fig. 28E