



(12)发明专利

(10)授权公告号 CN 107579073 B

(45)授权公告日 2018.11.27

(21)申请号 201710724647.2

(51)Int.Cl.

(22)申请日 2017.08.22

H01L 27/11573(2017.01)

H01L 27/11578(2017.01)

(65)同一申请的已公布的文献号

申请公布号 CN 107579073 A

审查员 王一帆

(43)申请公布日 2018.01.12

(73)专利权人 长江存储科技有限责任公司

地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 宋豪杰 徐强 李广济 邵明

夏志良 霍宗亮

(74)专利代理机构 北京辰权知识产权代理有限公司

11619

代理人 董李欣

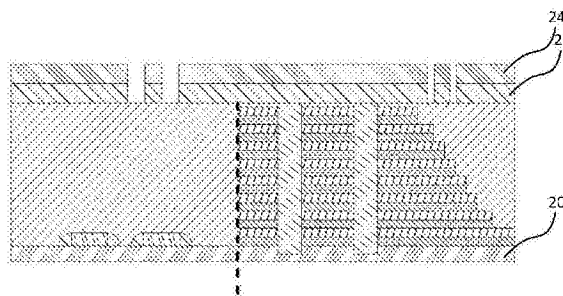
权利要求书1页 说明书5页 附图5页

(54)发明名称

一种三维存储器的制备方法及其结构

(57)摘要

本发明提供了一种三维存储器的制备方法及其结构,通过将上层接触孔和对准标记的掩膜图形组合在同一张掩膜上,从而减少了掩膜数量,降低了三维存储器的制造成本,减少三维存储器的生产周期。



1. 一种三维存储器的制备方法,其特征在于,包括如下步骤:

提供一基板,在所述基板上形成三维存储器的外围电路区和阵列存储区;

在所述基板上设置一层第一硬掩膜以覆盖所述三维存储器的外围电路区和阵列存储区,在所述第一硬掩膜上覆盖第一光阻层,利用一次曝光和蚀刻工艺将所述第一光阻层和第一硬掩膜图案化;

利用所述图案化后的第一硬掩膜,通过一次蚀刻工艺在三维存储器中同时形成对准标记和所述阵列存储区的上层接触孔;

利用所述对准标记进行套刻对准,通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔。

2. 如权利要求1所述的一种三维存储器的制备方法,其特征在于:所述对准标记形成在三维存储器的外围电路区一侧。

3. 如权利要求1所述的一种三维存储器的制备方法,其特征在于:所述利用一次曝光和蚀刻工艺将所述第一光阻层和第一硬掩膜图案化之后,还包括去除所述第一光阻层的步骤。

4. 如权利要求1所述的一种三维存储器的制备方法,其特征在于:所述通过一次蚀刻工艺在三维存储器中同时形成对准标记和所述阵列存储区的上层接触孔之后,还包括将所述第一硬掩膜去除的步骤。

5. 如权利要求1所述的一种三维存储器的制备方法,其特征在于:所述通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔的工艺具体为:利用所述对准标记进行套刻对准,在所述基板上设置一层第二硬掩膜以覆盖所述三维存储器的外围电路区和阵列存储区,在所述第二硬掩膜上覆盖第二光阻层,利用一次曝光和蚀刻工艺将所述第二光阻层和第二硬掩膜图案化;利用所述图案化后的第二硬掩膜,通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔。

6. 如权利要求5所述的一种三维存储器的制备方法,其特征在于:所述利用一次曝光和蚀刻工艺将所述第二光阻层和第二硬掩膜图案化之后,还包括将所述第二光阻层去除的步骤。

7. 如权利要求5所述的一种三维存储器的制备方法,其特征在于:所述通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔之后,还包括去除所述第二硬掩膜的步骤。

8. 如权利要求5所述的一种三维存储器的制备方法,其特征在于:所述第一硬掩膜的厚度小于所述第二硬掩膜的厚度。

9. 一种三维存储器结构,其特征在于,所述三维存储器结构是由如权利要求1-8任意一项所述的方法制备得到的。

一种三维存储器的制备方法及其结构

技术领域

[0001] 本发明涉及半导体器件及其制造领域,尤其涉及一种三维存储器的制备方法及其结构。

背景技术

[0002] 随着市场需求对存储器容量的不断提高,传统的基于平面或二维结构的存储器在单位面积内可提供的存储单元数量已经接近极限,无法进一步满足市场对更大容量存储器的需求。就如同在一块有限的平面上建立的数间平房,这些平房整齐排列,但是随着需求量的不断增加,平房的数量不断井喷,可最终这块面积有限的平面只能容纳一定数量的平房而无法继续增加。平面结构的存储器已接近其实际扩展极限,给半导体存储器行业带来严峻挑战。

[0003] 为了解决上述困难,业界提出了三维存储器(3D NAND)的概念,其是一种新兴的闪存类型,通过把内存颗粒堆叠在一起来解决2D或者平面NAND闪存带来的限制。不同于将存储芯片放置在单面,新的3D NAND技术,垂直堆叠了多层数据存储单元,具备卓越的精度。基于该技术,可打造出存储容量比同类NAND技术高达数倍的存储设备。该技术可支持在更小的空间内容纳更高存储容量,进而带来很大的成本节约、能耗降低,以及大幅的性能提升以全面满足众多消费类移动设备和要求最严苛的企业部署的需求。利用新的技术使得颗粒能够进行立体式的堆叠,从而解决了由于晶圆物理极限而无法进一步扩大单晶片可用容量的限制,在同样体积大小的情况下,极大的提升了存储器颗粒单晶片的容量体积,进一步推动了存储颗粒总体容量的飙升。根据在垂直方向堆叠的颗粒层数不同,3D NAND颗粒又可以分为32层、48层甚至64层颗粒的不同产品。虽然,3D NAND技术能够在同等体积下,提供更多的存储空间,但是这项堆叠技术有着相当的操作难度,目前还面临诸多技术问题有待解决。

[0004] 如图1所示,三维存储器一般包括外围电路区11以及阵列存储区12,为了将阵列存储区金属栅极13接出,一般通过台阶的方式先横向再纵向走线,纵向走线就是台阶区钨塞接触(SSCT)。随着堆叠层数的增多,不仅对薄膜质量与厚度提出更高的要求,而且给蚀刻工艺带来更高的挑战,三维存储器蚀刻工艺更高的深宽比要求硬掩膜的厚度越来越厚,更厚的硬掩膜相应的对光刻带来挑战,甚至当硬掩膜薄膜厚度达到一定的厚度时,光刻工艺要求的套刻对准就不能进行,如图2所示,这时就需要单独出版一张掩膜用于制备对准标记(alignment mark,AM)14。三维存储器层数越多对SSCT制造挑战越大,为了降低SSCT蚀刻选择比的要求,一般将SSCT分成多次曝光多次蚀刻的方式。如图3-6所示的例子,将SSCT的制备分成两次制备,即上层接触孔UT(Upper Tier,CT)18和下层接触孔LT(Lower Tier,CT)的制备。具体的工艺流程为:如图3所示,沉积用于形成UT的第一硬掩膜15;如图4所示,沉积用于形成UT的第一光阻层16,并利用曝光和蚀刻工艺将所述第一光阻层和第一硬掩膜图案化,形成与UT对应的图案17;如图5所示,利用图案17,通过蚀刻工艺得到UT18;如图6所示,重复以上步骤,依次形成第二硬掩膜19和第二光阻层20,并利用曝光和蚀刻工艺将所述第二光阻层和第二硬掩膜图案化,形成与LT对应的图案21,利用图案21,通过蚀刻工艺得到

LT。通过以上现有的形成三维存储器对准标记以及上层和下层接触孔的工艺流程介绍,可以看出,为了对UT和LT进行套刻对准,就需要先制备用于套刻对准的标记,而这就需要相应的增加一层掩膜来制备该对准标记。增加一层掩膜对于半导体集成电路工艺来说就会带来成本的增加。

发明内容

[0005] 本发明的目的就是为了解决以上问题,减少三维存储器制备过程中的掩膜数目,从而降低工艺成本,减少三维存储器的生产周期。本发明的目的是通过以下技术方案实现的。

[0006] 一种三维存储器的制备方法,其特征在于,包括如下步骤:

[0007] 提供一基板,在所述基板上形成三维存储器的外围电路区和阵列存储区;

[0008] 在所述基板上设置一层第一硬掩膜以覆盖所述三维存储器的外围电路区和阵列存储区,在所述第一硬掩膜上覆盖第一光阻层,利用一次曝光和蚀刻工艺将所述第一光阻层和第一硬掩膜图案化;

[0009] 利用所述图案化后的第一硬掩膜,通过一次蚀刻工艺在三维存储器中同时形成对准标记和所述阵列存储区的上层接触孔;

[0010] 利用所述对准标记进行套刻对准,通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔。

[0011] 优选地,所述对准标记形成在三维存储器的外围电路区一侧。

[0012] 优选地,所述利用一次曝光和蚀刻工艺将所述第一光阻层和第一硬掩膜图案化之后,还包括去除所述第一光阻层的步骤。

[0013] 优选地,所述通过一次蚀刻工艺在三维存储器中同时形成对准标记和所述阵列存储区的上层接触孔之后,还包括将所述第一硬掩膜去除的步骤。

[0014] 优选地,所述通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔的工艺具体为:利用所述对准标记进行套刻对准,在所述基板上设置一层第二硬掩膜以覆盖所述三维存储器的外围电路区和阵列存储区,在所述第二硬掩膜上覆盖第二光阻层,利用一次曝光和蚀刻工艺将所述第二光阻层和第二硬掩膜图案化;利用所述图案化后的第二硬掩膜,通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔。

[0015] 优选地,所述利用一次曝光和蚀刻工艺将所述第二光阻层和第二硬掩膜图案化之后,还包括将所述第二光阻层去除的步骤。

[0016] 优选地,所述通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔之后,还包括去除所述第二硬掩膜的步骤。

[0017] 优选地,所述第一硬掩膜的厚度小于所述第二硬掩膜的厚度。

[0018] 本发明还提供一种三维存储器结构,其特征在于,所述三维存储器结构是由如上述任意一项所述的方法制备得到的。

[0019] 本发明的优点在于:本发明提供一种三维存储器的制备方法,通过将上层接触孔和对准标记的掩膜图形组合在同一张掩膜上,从而减少了掩膜数量,降低了三维存储器的制造成本,减少三维存储器的生产周期。

附图说明

[0020] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本发明的限制。而且在整个附图中,用相同的参考符号表示相同的部件。在附图中:

[0021] 图1-6示出了根据本发明背景技术中三维存储器形成对准标记以及上层和下层接触孔的工艺流程结构示意图。

[0022] 图7-10示出了根据本发明实施例的三维存储器形成对准标记以及上层和下层接触孔的工艺流程结构示意图。

具体实施方式

[0023] 下面将参照附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式,然而应当理解,可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反,提供这些实施方式是为了能够更透彻地理解本公开,并且能够将本公开的范围完整的传达给本领域的技术人员。

[0024] 实施例一

[0025] 参考图7-10所示,本发明的实施例一提出一种三维存储器的制备方法,其特征在于,包括以下步骤:

[0026] 如图7所示,提供一基板20,在所述基板20上形成三维存储器的外围电路区21和阵列存储区22;

[0027] 如图8所示,在所述基板20上设置一层第一硬掩膜23以覆盖所述三维存储器的外围电路区21和阵列存储区22,在所述第一硬掩膜23上覆盖第一光阻层24,利用一次曝光和蚀刻工艺将所述第一光阻层24和第一硬掩膜23图案化;

[0028] 如图9所示,利用所述图案化后的第一硬掩膜23,通过一次蚀刻工艺在三维存储器中同时形成对准标记25和所述阵列存储区的上层接触孔26;

[0029] 如图10所示,利用所述对准标记25进行套刻对准,通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔。

[0030] 实施例二

[0031] 本发明的实施例二提出一种三维存储器的制备方法,其特征在于,包括以下步骤:

[0032] 如图7所示,提供一基板20,在所述基板20上形成三维存储器的外围电路区21和阵列存储区22;

[0033] 如图8所示,在所述基板20上设置一层第一硬掩膜23以覆盖所述三维存储器的外围电路区21和阵列存储区22,在所述第一硬掩膜23上覆盖第一光阻层24,利用一次曝光和蚀刻工艺将所述第一光阻层24和第一硬掩膜23图案化;优选地,所述利用一次曝光和蚀刻工艺将所述第一光阻层24和第一硬掩膜23图案化之后,还包括去除所述第一光阻层24的步骤。

[0034] 如图9所示,利用所述图案化后的第一硬掩膜23,通过一次蚀刻工艺在三维存储器中同时形成对准标记25和所述阵列存储区的上层接触孔26;优选地,所述通过一次蚀刻工艺在三维存储器中同时形成对准标记25和所述阵列存储区的上层接触孔26之后,还包括将

所述第一硬掩膜23去除的步骤。

[0035] 如图10所示,利用所述对准标记25进行套刻对准,通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔。所述通过曝光和蚀刻工艺形成所述阵列存储区的下层接触孔的工艺具体为:利用所述对准标记25进行套刻对准,在所述基板20上设置一层第二硬掩膜27以覆盖所述三维存储器的外围电路区21和阵列存储区22,在所述第二硬掩膜27上覆盖第二光阻层28,利用一次曝光和蚀刻工艺将所述第二光阻层28和第二硬掩膜27图案化;利用所述图案化后的第二硬掩膜27,通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔。优选地,所述利用一次曝光和蚀刻工艺将所述第二光阻层28和第二硬掩膜27图案化之后,还包括将所述第二光阻层28去除的步骤。优选地,所述通过一次蚀刻工艺在三维存储器中形成所述阵列存储区的下层接触孔之后,还包括去除所述第二硬掩膜27的步骤。

[0036] 实施例三

[0037] 本发明的实施例三提出一种三维存储器的制备方法,在该实施例中,将描述与以上实施例不同的部分,相同部分将不再赘述。

[0038] 在所述基板20上形成三维存储器的外围电路区21和阵列存储区22的具体工艺包括如下步骤:

[0039] 在所述基板20上顺序形成外围电路层和三维存储器堆叠层,所述对叠层包括交替形成的介质层和钨金属栅极层,利用曝光和蚀刻工艺分别形成包括核心平台区和台阶区的三维存储器阵列存储区22以及位于所述阵列存储区外围的所述外围电路区21。所述三维存储器的阵列存储区22与所述外围电路区21的高度差为3微米至8微米。所述三维存储器件的阵列存储区22的层数大于等于48层。所述三维存储器件的堆叠结构的层数优选为48层、64层、80层、96层、112层或128层。还包括在所述基板上沉积绝缘层29以覆盖所述三维存储器的所述阵列存储区和外围电路区,并利用化学机械抛光工艺使该绝缘层平坦化。通过硅穿孔工艺在所述阵列存储区的核心平台区中形成用于连接每一钨金属栅极层的接触孔,并利用钨金属填充所述接触孔以形成电连接。

[0040] 优选地,所述对准标记25形成在三维存储器的外围电路区21的一侧的所述绝缘层29中。

[0041] 实施例四

[0042] 本发明的实施例四提出一种三维存储器的制备方法,在该实施例中,将描述与以上实施例不同的部分,相同部分将不再赘述。

[0043] 所述第一硬掩膜23的厚度小于所述第二硬掩膜27的厚度。第一硬掩膜23用于形成所述对准标记25和上层接触孔26,第二硬掩膜27用于形成下层接触孔,由于下层接触孔的深度要明显深于所述对准标记25和上层接触孔26的深度,对于下层接触孔要求更高的深宽比,因此,要求该第二硬掩膜27的厚度要大于第一硬掩膜23的厚度。

[0044] 优选地,所述第一和第二硬掩膜的材料为无定形碳。所述第一硬掩膜23的厚度为100埃至1000埃,所述第二硬掩膜27的厚度为500埃至2000埃。

[0045] 实施例五

[0046] 本发明的实施例五提出一种三维存储器结构,所述三维存储器结构是由如上述实施例一至四任意一项所述的方法制备得到的。

[0047] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,

任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

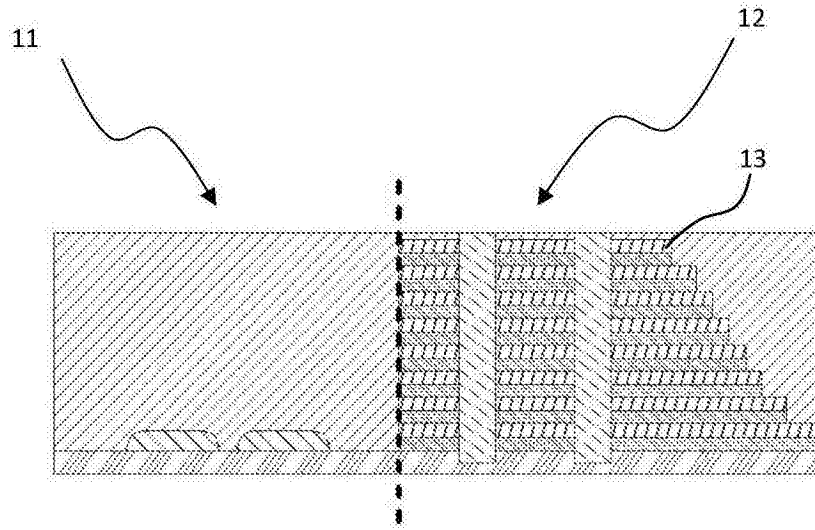


图1

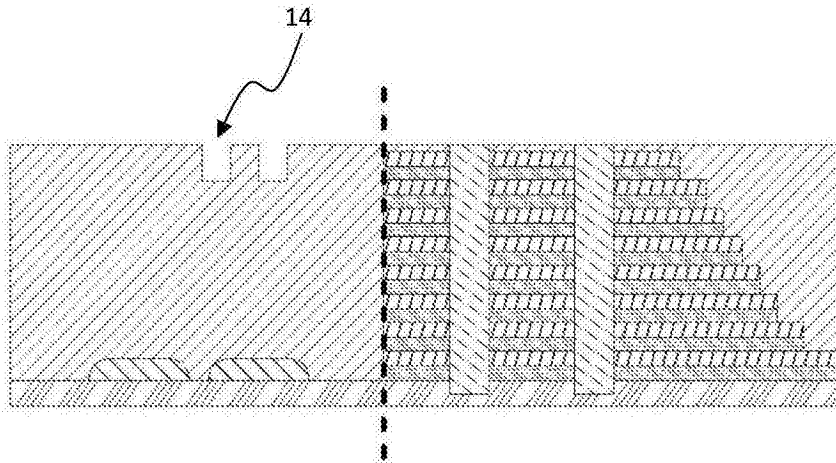


图2

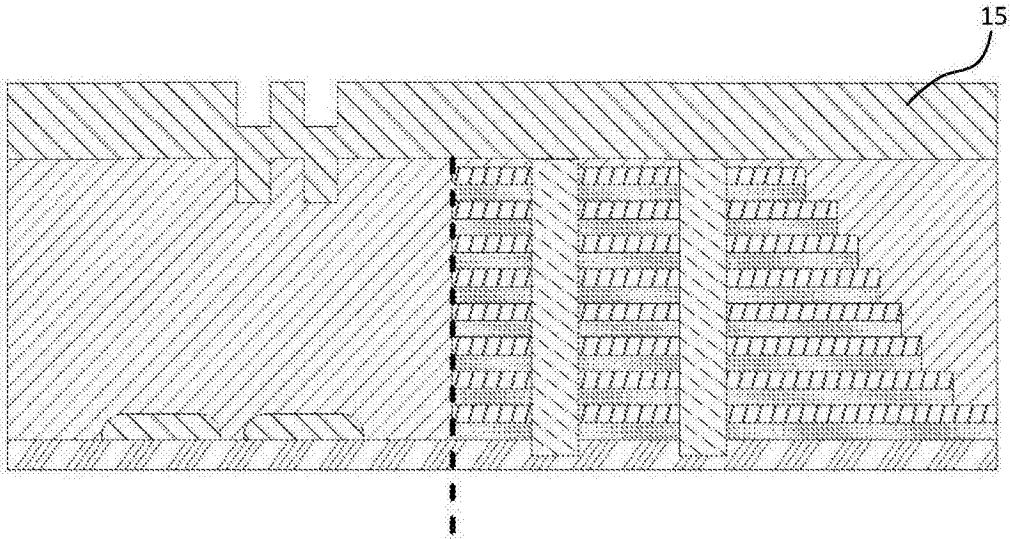


图3

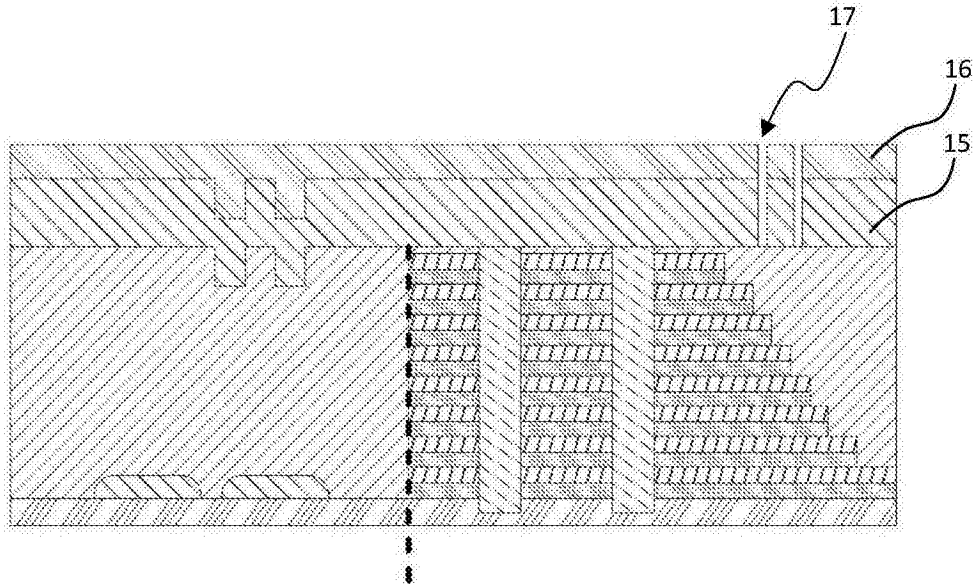


图4

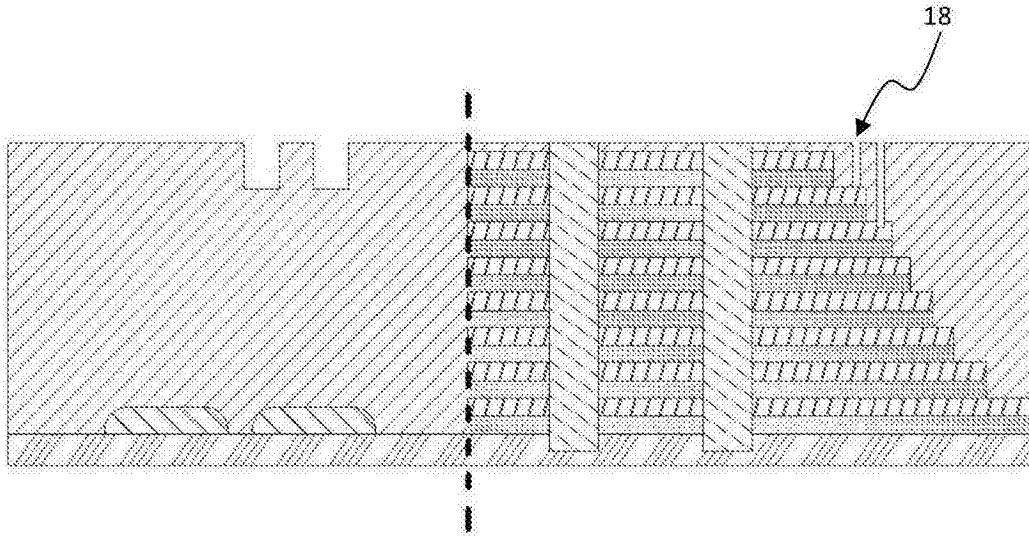


图5

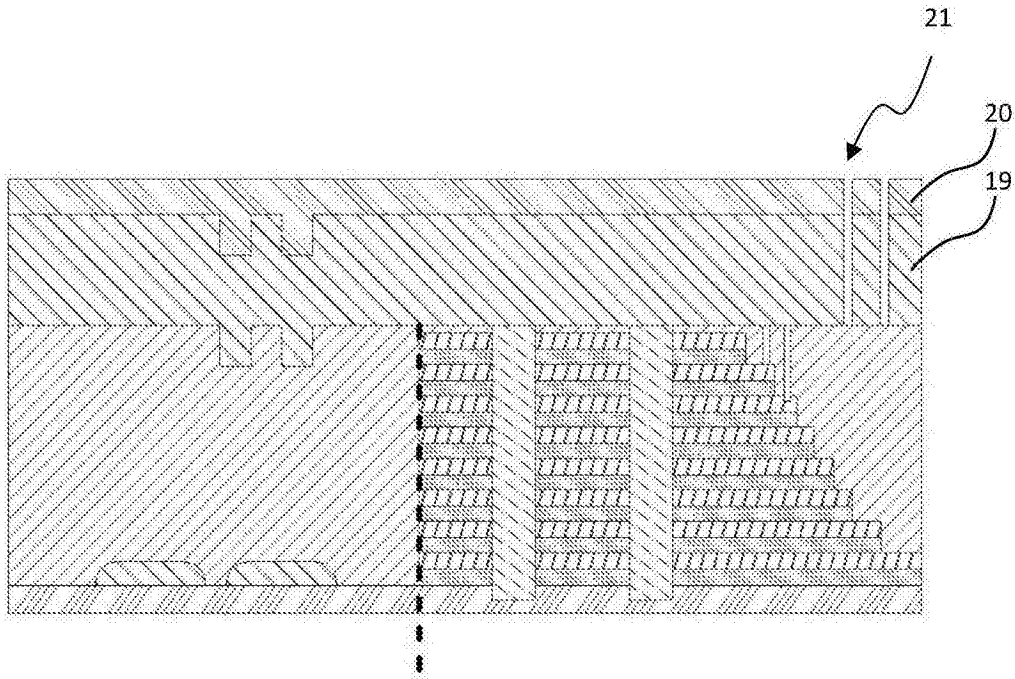


图6

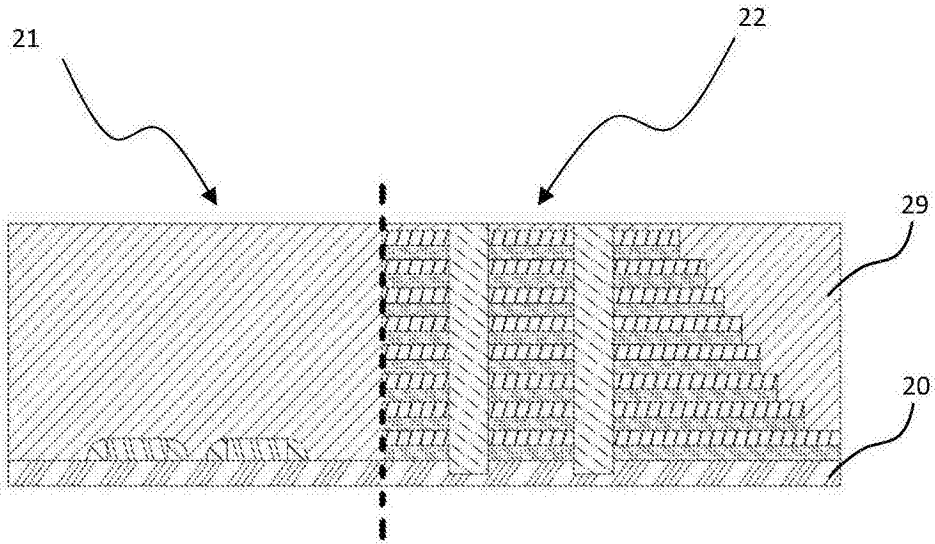


图7

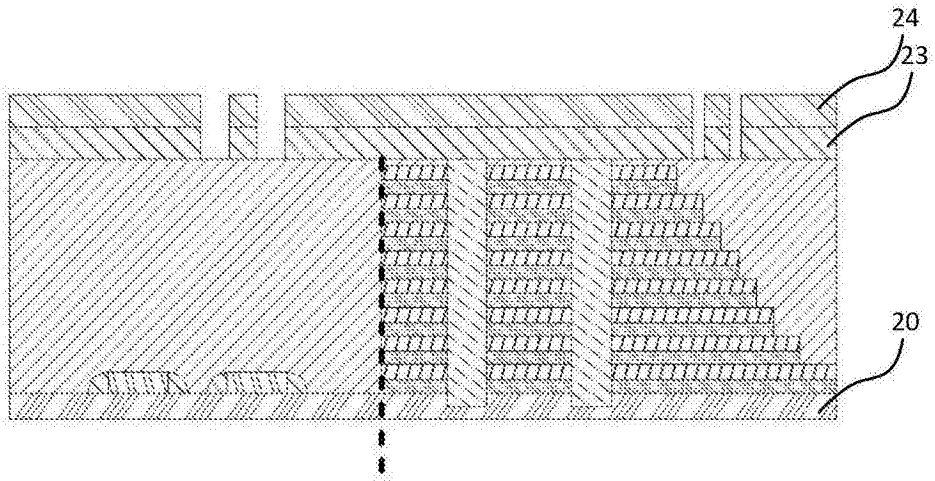


图8

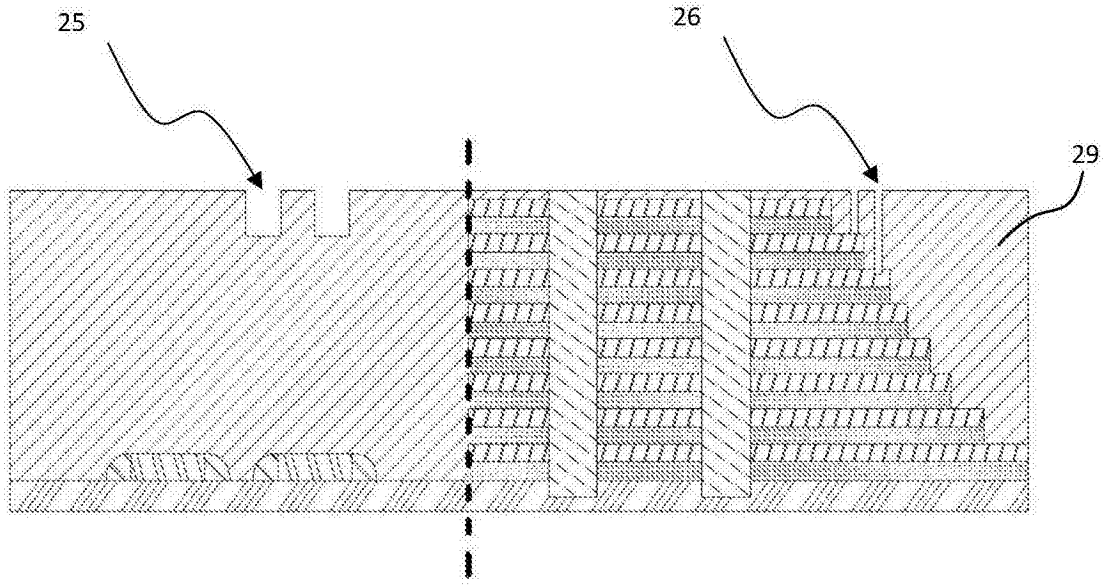


图9

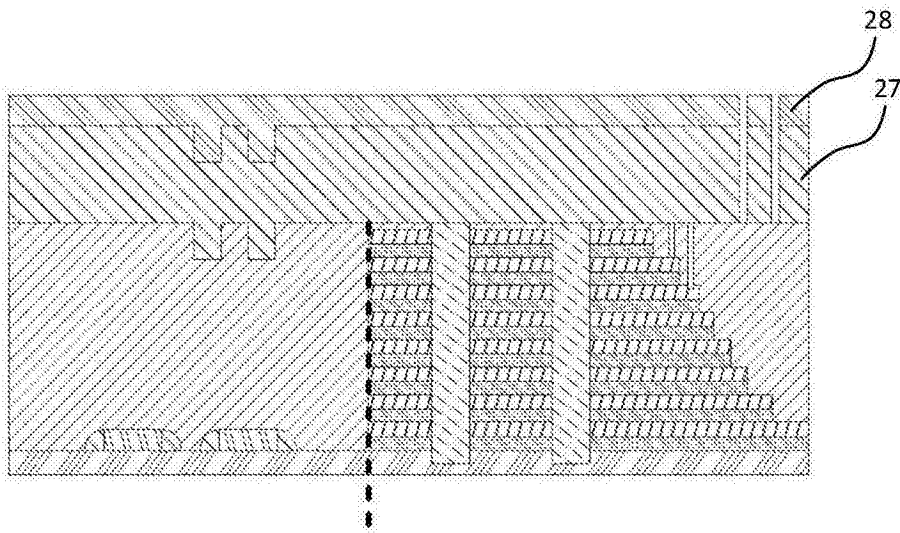


图10