

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-287706

(P2010-287706A)

(43) 公開日 平成22年12月24日(2010.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A	4M118
HO 1 L 21/822 (2006.01)	HO 1 L 27/14 A	5F038
HO 1 L 27/146 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願2009-139936 (P2009-139936)
 (22) 出願日 平成21年6月11日 (2009.6.11)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 長谷川 憲司
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社
 内
 Fターム(参考) 4M118 AA10 AB01 BA14 CA02 FA06
 FA50
 5F038 AV06 CA02 CA03 CA06 CA11
 DF01 EZ20

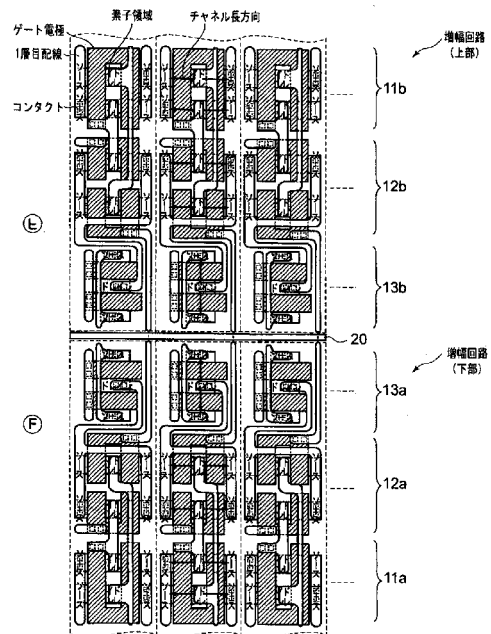
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 対称配置される回路の特性バラツキを低減する。

【解決手段】 固体撮像装置70では、中央部に設けられる画素領域20の上端側に並列配置される複数の増幅回路が、画素領域20の下端側に並列配置される複数の増幅回路に対して対称配置される。増幅回路はゲート長寸法が同一で並列配置される第1及び第2のフィンガーを有するトランジスタから構成される。第2のフィンガーのチャンネル長方向は、第1のフィンガーのチャンネル方向の逆方向である。画素領域20の上端側の増幅回路のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路のトランジスタのチャンネル長方向と同一に設定される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

第 1 の絶縁ゲート型電界効果トランジスタを有する第 1 の回路と、
前記第 1 の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第 1 の絶縁ゲート型電界効果トランジスタと同一チャンネル型でチャンネル長方向が同一方向に設定される第 2 の絶縁ゲート型電界効果トランジスタを有し、前記第 1 の回路と離間して線対称或いは点对称に配置される第 2 の回路と、
を具備することを特徴とする半導体集積回路装置。

【請求項 2】

前記第 1 及び第 2 の絶縁ゲート型電界効果トランジスタは、ゲート長寸法が同一で、並列配置される偶数個のフィンガーを有することを特徴とする請求項 1 に記載の半導体集積回路装置。

10

【請求項 3】

ゲート長寸法が同一で、並列配置される第 1 及び第 2 のフィンガーが設けられ、前記第 2 のフィンガーのチャンネル長方向が前記第 1 のフィンガーのチャンネル長方向とは逆方向である第 1 の絶縁ゲート型電界効果トランジスタを有する第 1 の回路と、
ゲート長寸法が前記第 1 及び第 2 のフィンガーと同一で、並列配置される第 3 及び第 4 のフィンガーが設けられ、前記第 3 のフィンガーは前記第 1 のフィンガーに対して対称配置され、前記第 4 のフィンガーは前記第 2 のフィンガーに対して対称配置され、前記第 4 のフィンガーのチャンネル長方向が前記第 3 のフィンガーのチャンネル長方向とは逆方向であり、
前記第 1 の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第 1 の絶縁ゲート型電界効果トランジスタと同一チャンネル型の第 2 の絶縁ゲート型電界効果トランジスタを有し、前記第 1 の回路と離間して線対称或いは点对称に配置される第 2 の回路と、
を具備し、前記第 2 の絶縁ゲート型電界効果トランジスタのチャンネル長方向が前記第 1 の絶縁ゲート型電界効果トランジスタのチャンネル長方向と同一に設定されることを特徴とする半導体集積回路装置。

20

【請求項 4】

前記第 1 及び第 2 の回路は、増幅回路、コンパレータ、或いはカレントミラー回路であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路装置。

30

【請求項 5】

複数の画素が行列状に配列される画素領域と、
第 1 の絶縁ゲート型電界効果トランジスタを有し、前記画素領域の一端側に設けられ、前記画素領域の第 1 の垂直信号線に接続される第 1 の増幅回路と、
前記第 1 の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第 1 の絶縁ゲート型電界効果トランジスタと同一チャンネル型でチャンネル長方向が同一方向に設定される第 2 の絶縁ゲート型電界効果トランジスタを有し、前記画素領域の他端側に設けられ、前記画素領域の第 2 の垂直信号線に接続される第 2 の増幅回路と、
を具備することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は、半導体集積回路装置に関する。

【背景技術】**【0002】**

増幅回路、コンパレータ、カレントミラー回路などのアナログ回路は、半導体集積回路装置の入出力部などに多用される。例えば、固体撮像装置では複数の画素が行列状に配置される画素領域に対して、差動型増幅回路が画素領域の上端側及び下端側に複数配置される。上端側の差動型増幅回路と下端側の差動型増幅回路は、同一レイアウト構成をなし、画素領域を中心に線対称に配置される（例えば、特許文献 1 参照。）。

50

【0003】

特許文献1などに記載される固体撮像装置では、差動型増幅回路がカレントミラー回路、差動対、及び定電流源から構成される。水平方向に配置される画素領域に対して、差動型増幅回路のカレントミラー回路、差動対、及び定電流源を構成する絶縁ゲート型電界効果トランジスタのチャンネル長方向が垂直方向に配置される場合、上端側及び下端側に線対称に配置される絶縁ゲート型電界効果トランジスタのチャンネル長方向が異なるという問題点がある。絶縁ゲート型電界効果トランジスタのチャンネル長方向が異なると、ウエーハの面方位や製造工程中でのイオン注入（例えば、チャネリング対策としての7度オフ角度のイオン注入）などの影響により、絶縁ゲート型電界効果トランジスタの閾値電圧のバラツキの増大によるオフセット電圧が発生し、差動バラツキによる出力電流のバラツキが発生するという問題点が生じる。また、画素領域を中心にして、上端側の差動型増幅回路と下端側の差動型増幅回路を点対称に配置すると、上端側及び下端側に点対称に配置される絶縁ゲート型電界効果トランジスタの垂直方向及び水平方向のチャンネル長方向が異なるという問題点がある。この場合でもオフセット電圧の発生や出力電流のバラツキが発生するという問題点が生じる。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-217158号公報（頁10、図3）

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

本発明は、対称配置される回路の特性バラツキを低減する半導体集積回路装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一態様の半導体集積回路装置は、第1の絶縁ゲート型電界効果トランジスタを有する第1の回路と、前記第1の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第1の絶縁ゲート型電界効果トランジスタと同一チャンネル型でチャンネル長方向が同一方向に設定される第2の絶縁ゲート型電界効果トランジスタを有し、前記第1の回路と離間して線対称或いは点対称に配置される第2の回路とを具備することを特徴とする。

30

【0007】

更に、本発明の他態様の半導体集積回路装置は、ゲート長寸法が同一で、並列配置される第1及び第2のフィンガーが設けられ、前記第2のフィンガーのチャンネル長方向が前記第1のフィンガーのチャンネル長方向とは逆方向である第1の絶縁ゲート型電界効果トランジスタを有する第1の回路と、ゲート長寸法が前記第1及び第2のフィンガーと同一で、並列配置される第3及び第4のフィンガーが設けられ、前記第3のフィンガーは前記第1のフィンガーに対して対称配置され、前記第4のフィンガーは前記第2のフィンガーに対して対称配置され、前記第4のフィンガーのチャンネル長方向が前記第3のフィンガーのチャンネル長方向とは逆方向であり、前記第1の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第1の絶縁ゲート型電界効果トランジスタと同一チャンネル型の第2の絶縁ゲート型電界効果トランジスタを有し、前記第1の回路と離間して線対称或いは点対称に配置される第2の回路とを具備し、前記第2の絶縁ゲート型電界効果トランジスタのチャンネル長方向が前記第1の絶縁ゲート型電界効果トランジスタのチャンネル長方向と同一に設定されることを特徴とする。

40

【発明の効果】

【0008】

本発明によれば、対称配置される回路の特性バラツキを低減する半導体集積回路装置を提供することができる。

50

【図面の簡単な説明】

【0009】

【図1】本発明の実施例1に係る半導体集積回路装置としての固体撮像装置を示す回路図。

【図2】本発明の実施例1に係る増幅回路を示す回路図。

【図3】本発明の実施例1に係る増幅回路を示す概略平面図。

【図4】本発明の実施例1に係る比較例の増幅回路を示す概略平面図。

【図5】本発明の実施例1に係る線対称配置された場合のチャンネル長方向を示す模式図。

【図6】本発明の実施例1に係る点对称配置された場合のチャンネル長方向を示す模式図。

【図7】本発明の実施例2に係る増幅回路を構成するトランジスタを示す概略平面図。

10

【図8】本発明の実施例3に係る増幅回路を構成するトランジスタを示す概略平面図。

【図9】本発明の実施例4に係る増幅回路を構成するトランジスタを示す概略平面図。

【発明を実施するための形態】

【0010】

以下本発明の実施例について図面を参照しながら説明する。

【実施例1】

【0011】

まず、本発明の実施例1に係る半導体集積回路装置について、図面を参照して説明する。図1は半導体集積回路装置としての固体撮像装置を示す回路図、図2は増幅回路を示す回路図、図3は増幅回路を示す概略平面図、図4は比較例の増幅回路を示す概略平面図である。本実施例では、線対称に配置される増幅回路を2フィンガー構造で、ドレインをフィンガーの間に設け、ソースを両端に設けたトランジスタで構成している。

20

【0012】

図1に示すように、固体撮像装置70には、画素領域20、増幅部2a、増幅部2b、垂直走査回路3、定電流源4a、及び定電流源4bが設けられる。固体撮像装置70は、CMOSで構成されるエリアイメージセンサであり、ビデオカメラ、スチルカメラ、携帯端末などに適用される。

【0013】

固体撮像装置70では、複数の画素（画素1a乃至1d、・・・）が行列状に配置される画素領域20が中央部に配置され、画素領域20の左端側に垂直走査回路3が配置され、画素領域20の上端側に複数の増幅部（増幅部2b、・・・）が並列配置され、画素領域20の下端側に複数の増幅部（増幅部2a、・・・）が並列配置される。増幅部2bは、画素領域20を中心として、増幅部2aに対して対称配置される。

30

【0014】

定電流源4aは、一端が画素1a、画素1c、及び増幅部2aの垂直信号線Lssaに接続され、他端が接地電位である低電位側電源VSSに接続され、垂直信号線Lssaに一定な電流を供給する。定電流源4bは、一端が画素1b、画素1d、及び増幅部2bの垂直信号線Lssbに接続され、他端が接地電位である低電位側電源VSSに接続され、垂直信号線Lssbに一定な電流を供給する。

【0015】

垂直走査回路3は、画素領域20の信号線Ladr、信号線Lrst、及び信号線Lreadに接続され、信号線Ladrに制御信号であるアドレス信号、信号線Lrstに制御信号であるリセット信号、信号線Lreadに制御信号であるリード信号をそれぞれ出力する。

40

【0016】

画素1a乃至1dには、それぞれフォトダイオードFD1とトランジスタTg1乃至Tg4が設けられ、素子が同一配置される。画素1a乃至1dは、フォトダイオードFD1で蓄積された電荷を転送する。画素1bは画素1aの右端に隣接配置され、画素1cは画素1aの上端に隣接配置され、画素1dは画素1cの右端に隣接配置される。

【0017】

50

フォトダイオードFD1は、カソードがトランジスタTg1のソースに接続され、アノードが低電位側電源VSSに接続され、光を電荷に変換して蓄積する。トランジスタTg1は、ゲートが信号線Lreadに接続され、ドレインがトランジスタTg2のゲート及びトランジスタTg3のソースに接続される画素転送スイッチである。トランジスタTg2は、ソースが垂直信号線(画素1a及び1cの場合が垂直信号線Lssa、画素1b及び1dの場合が垂直信号線Lssb)に接続され、ドレインがトランジスタTg4のソースに接続されるアンプトランジスタである。トランジスタTg3は、ゲートが信号線Lrstに接続され、ドレインが高電位側電源VDDに接続されるリセットスイッチである。トランジスタTg4は、ゲートが信号線Ladrに接続され、ドレインが高電位側電源VDDに接続されるアドレススイッチである。

10

【0018】

増幅部2aには、増幅回路AMP1a、増幅回路AMP2a、信号保持容量C1a乃至C3a、及びトランジスタTa1a乃至Ta4aが設けられる。増幅部2aは、垂直信号線Lssaを介して画素1a及び1cから読み出された画素情報を増幅処理し、増幅処理された画素情報を入力する。

【0019】

トランジスタTa1aは、ドレインが垂直信号線Lssaに接続され、ゲートが信号線Ls1に接続され、ソースが信号保持容量C1a及びC2aの一端に接続される。トランジスタTa2aは、ドレインが信号線Lvrefに接続され、ゲートが信号線Ls2に接続され、ソースが信号保持容量C1aの他端に接続され、信号線Lvrefを介してドレインに基準電圧Vrefが供給される。信号保持容量C1a及びC2aは、電荷を蓄積する。

20

【0020】

トランジスタTa3aは、ドレインが信号保持容量C2aの他端及び増幅回路AMP1aの入力側に接続され、ゲートが信号線Ls3に接続され、ソースが増幅回路AMP1aの出力側及び信号保持容量C3aの一端に接続される。信号保持容量C3aは、電荷を蓄積する。増幅回路AMP1aは、入力側の信号を増幅して出力側に出力する。トランジスタTa4aは、ドレインが信号保持容量C3aの他端及び増幅回路AMP2aの入力側に接続され、ゲートが信号線Ls4に接続され、ソースが増幅回路AMP2aの出力側に接続される。増幅回路AMP2aは、入力側の信号を増幅して出力側に出力する。

30

【0021】

増幅部2bには、増幅回路AMP1b、増幅回路AMP2b、信号保持容量C1b乃至C3b、及びトランジスタTa1b乃至Ta4bが設けられる。増幅部2bは、垂直信号線Lssbを介して画素1b及び1dから読み出された画素情報を増幅処理し、増幅処理された画素情報を入力する。

【0022】

トランジスタTa1bは、ドレインが垂直信号線Lssbに接続され、ゲートが信号線Ls1に接続され、ソースが信号保持容量C1b及びC2bの一端に接続される。トランジスタTa2bは、ドレインが信号線Lvrefに接続され、ゲートが信号線Ls2に接続され、ソースが信号保持容量C1bの他端に接続され、信号線Lvrefを介してドレインに基準電圧Vrefが供給される。信号保持容量C1b及びC2bは、電荷を蓄積する。

40

【0023】

トランジスタTa3bは、ドレインが信号保持容量C2bの他端及び増幅回路AMP1bの入力側に接続され、ゲートが信号線Ls3に接続され、ソースが増幅回路AMP1bの出力側及び信号保持容量C3bの一端に接続される。信号保持容量C3bは、電荷を蓄積する。増幅回路AMP1bは、入力側の信号を増幅して出力側に出力する。トランジスタTa4bは、ドレインが信号保持容量C3bの他端及び増幅回路AMP2bの入力側に接続され、ゲートが信号線Ls4に接続され、ソースが増幅回路AMP2bの出力側に接続される。増幅回路AMP2bは、入力側の信号を増幅して出力側に出力する。

50

【 0 0 2 4 】

ここで、増幅回路 A P M 1 b 及び増幅回路 A P M 2 b は、画素領域 2 0 を中心として、増幅回路 A P M 1 a 及び増幅回路 A P M 2 a に対して対称配置される。

【 0 0 2 5 】

増幅回路 A P M 1 a、増幅回路 A P M 2 a、増幅回路 A P M 1 b、及び増幅回路 A P M 2 b は、同様な動作を行い、同様な特性を有する。トランジスタ T a 1 a 乃至 T a 4 a、トランジスタ T a 1 b 乃至 T a 4 b、T g 1 乃至 T g 4 には、N c h M O S トランジスタを用いているが、代わりに N c h M I S トランジスタを用いてもよい。なお、ゲートがシリコン酸化膜から構成される M O S トランジスタとゲートがシリコン酸化膜以外の絶縁膜などから構成される M I S トランジスタは、絶縁ゲート型電界効果トランジスタと呼称される。

10

【 0 0 2 6 】

図 2 に示すように、画素領域 2 0 の下端側の増幅部 2 a に設けられる増幅回路 A M P 1 a 及び増幅回路 A M P 2 a には、カレントミラー回路 1 1 a、差動対 1 2 a、及び定電流源 1 3 a がそれぞれ設けられる。増幅回路 A M P 1 a 及び増幅回路 A M P 2 a では、低電位側電源 V S S が図中上側に配置され、高電位側電源 V D D が図中下側に配置され、定電流源 1 3 a が図中上側（低電位側電源 V S S 側）に配置され、カレントミラー回路 1 1 a が図中下側（高電位側電源 V D D 側）に配置される。

【 0 0 2 7 】

カレントミラー回路 1 1 a には、トランジスタ T R 1 a 及び T R 2 a が設けられる。差動対 1 2 a には、トランジスタ T R 3 a 及び T R 4 a が設けられる。定電流源 1 3 a にはトランジスタ T R 5 a が設けられる。

20

【 0 0 2 8 】

トランジスタ T R 1 a は、ソースが高電位側電源 V D D に接続され、ゲートがドレインに接続される。トランジスタ T R 2 a は、ソースが高電位側電源 V D D に接続され、ゲートがトランジスタ T R 1 a のゲートに接続される。トランジスタ T R 3 a は、ドレインがトランジスタ T R 1 a のドレインに接続され、ゲートに入力信号 S p i n が入力される。トランジスタ T R 4 a は、ドレインがトランジスタ T R 2 a のドレインに接続され、ゲートに入力信号 S m i n が入力される。トランジスタ T R 5 a は、ドレインがトランジスタ T R 3 a 及び 4 a のソースに接続され、ゲートにバイアス電圧 V b i a s が入力され、ソースが低電位側電源 V S S に接続される。

30

【 0 0 2 9 】

画素領域 2 0 の上端側の増幅部 2 b に設けられる増幅回路 A M P 1 b 及び増幅回路 A M P 2 b には、カレントミラー回路 1 1 b、差動対 1 2 b、及び定電流源 1 3 b がそれぞれ設けられる。増幅回路 A M P 1 b 及び増幅回路 A M P 2 b では、高電位側電源 V D D が図中上側に配置され、低電位側電源 V S S が図中下側に配置され、定電流源 1 3 b が図中下側（低電位側電源 V S S 側）に配置され、カレントミラー回路 1 1 b が図中上側（高電位側電源 V D D 側）に配置される。

【 0 0 3 0 】

カレントミラー回路 1 1 b には、トランジスタ T R 1 b 及び T R 2 b が設けられる。差動対 1 2 b には、トランジスタ T R 3 b 及び T R 4 b が設けられる。定電流源 1 3 b にはトランジスタ T R 5 b が設けられる。

40

【 0 0 3 1 】

トランジスタ T R 1 b は、ソースが高電位側電源 V D D に接続され、ゲートがドレインに接続される。トランジスタ T R 2 b は、ソースが高電位側電源 V D D に接続され、ゲートがトランジスタ T R 1 b のゲートに接続される。トランジスタ T R 3 b は、ドレインがトランジスタ T R 1 b のドレインに接続され、ゲートに入力信号 S p i n が入力される。トランジスタ T R 4 b は、ドレインがトランジスタ T R 2 b のドレインに接続され、ゲートに入力信号 S m i n が入力される。トランジスタ T R 5 b は、ドレインがトランジスタ T R 3 b 及び 4 b のソースに接続され、ゲートにバイアス電圧 V b i a s が入力され、ソ

50

ースが低電位側電源 VSS に接続される。

【0032】

ここで、トランジスタ $TR1a$ 、トランジスタ $TR2a$ 、トランジスタ $TR1b$ 、及びトランジスタ $TR2b$ には、 $PchMOS$ トランジスタを用いているが代わりに $PchMIS$ トランジスタを用いてもよい。トランジスタ $TR3a$ 乃至 $5a$ 、及びトランジスタ $TR3b$ 乃至 $5b$ には、 $NchMOS$ トランジスタを用いているが、代わりに $NchMIS$ トランジスタを用いてもよい。

【0033】

図3に示すように、固体撮像装置70のパターンレイアウトでは、図中の中央部に画素領域20が水平方向に配置される。ここでは、素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤのみ表示し、他のレイヤ（例えば、ウエル、ビア、2層目配線等）は図示及び説明を省略する。

10

【0034】

画素領域20の下端側には、上下方向に配置される定電流源13a、差動対12a、及びカレントミラー回路11aから構成される増幅回路が水平方向に多数隣接配置される（増幅回路AMP1a、増幅回路AMP2a、・・・）。定電流源13aが画素領域20に隣接配置され、差動対12aが定電流源13aに隣接配置され、カレントミラー回路11aが差動対12aに隣接配置される。

【0035】

画素領域20の上端側には、上下方向に配置されるカレントミラー回路11b、差動対12b、及び定電流源13bから構成される増幅回路が水平方向に多数隣接配置される（増幅回路AMP1b、増幅回路AMP2b、・・・）。定電流源13bが画素領域20に隣接配置され、差動対12bが定電流源13bに隣接配置され、カレントミラー回路11bが差動対12bに隣接配置される。

20

【0036】

画素領域20の上端側に多数隣接配置される増幅回路は、画素領域20の下端側に多数隣接配置される増幅回路に対して線対称に配置される。カレントミラー回路11bはカレントミラー回路11aに対して線対称に配置され、差動対12bは差動対12aに対して線対称に配置され、定電流源13bは定電流源13aに対して線対称に配置される。

【0037】

画素領域20の下端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤと、画素領域20の上端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤとは、線対称に配置され、同一パターンレイアウトを有する。

30

【0038】

なお、下端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、コンタクトのレイヤと、画素領域20の上端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、及びコンタクトのレイヤを線対称に配置し、同一パターンレイアウトにしてもよい（1層目配線は変える）。

【0039】

ここでは、カレントミラー回路11aを構成するトランジスタ $TR1a$ 及び $TR2a$ 、差動対12aを構成するトランジスタ $TR3a$ 及び $TR4a$ 、定電流源13aを構成するトランジスタ $TR5a$ 、カレントミラー回路11bを構成するトランジスタ $TR1b$ 及び $TR2b$ 、差動対12bを構成するトランジスタ $TR3b$ 及び $TR4b$ 、及び定電流源13bを構成するトランジスタ $TR5b$ は、すべて並列配置される2フィンガーの構造を有するトランジスタを使用している。2フィンガーのゲート長寸法は同一寸法に設定され、フィンガーの間にドレインが設けられ、2フィンガーの両端部にソースが設けられる。

40

【0040】

カレントミラー回路11aを構成するトランジスタ $TR1a$ 及び $TR2a$ とカレントミラー回路11bを構成するトランジスタ $TR1b$ 及び $TR2b$ は、素子領域が水平方向に

50

配置され、2フィンガーが垂直方向に配置され、ドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、フィンガーの間のドレインから端部のソースの2方向（水平方向）となる。つまり、2つのチャンネル長方向は左右対称に設定される。この結果、カレントミラー回路11bを構成するトランジスタのチャンネル長方向は、カレントミラー回路11aを構成するトランジスタのチャンネル長方向に対して対称配置されることとなる。

【0041】

差動対12aを構成するトランジスタTR3a及びTR4aと差動対12bを構成するトランジスタTR3b及びTR4bは、素子領域が水平方向に配置され、2フィンガーが垂直方向に配置され、ドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、フィンガーの間のドレインから端部のソースの2方向（水平方向）となる。つまり、2つのチャンネル長方向は左右対称に設定される。この結果、差動対12bを構成するトランジスタのチャンネル長方向は、差動対12aを構成するトランジスタのチャンネル長方向に対して対称配置されることとなる。

10

【0042】

定電流源13aを構成するトランジスタTR5aと定電流源13bを構成するトランジスタTR5bは、素子領域が垂直方向に配置され、2フィンガーが水平方向に配置され、ドレインからソース方向として表示されるチャンネル長方向は、フィンガーの間のドレインから端部のソースの2方向（垂直方向）となる。つまり、2つのチャンネル長方向は上下対称に設定される。この結果、定電流源13bを構成するトランジスタのチャンネル長方向は、定電流源13aを構成するトランジスタのチャンネル長方向に対して対称配置されることとなる。

20

【0043】

なお、定電流源13bのトランジスタの画素領域20側のフィンガーのチャンネル長方向は、定電流源13aのトランジスタの画素領域20側のフィンガーのチャンネル長方向とは逆方向となる。定電流源13bのトランジスタの画素領域20側から離間されるフィンガーのチャンネル長方向は、定電流源13aのトランジスタの画素領域20側から離間されるフィンガーのチャンネル長方向とは逆方向となる。

【0044】

ここでは、フィンガーの間にドレインを設け、2フィンガーの両端部にソースを設けているが、必ずしもこれに限定されるものではない。例えば、フィンガーの間にソースを設け、2フィンガーの両端部にドレインを設けてよい。また、カレントミラー回路11a及び11b、差動対12a及び12b、定電流源13a及び13bにおいて、ドレイン及びソースの配置を適宜使い分けてもよい。更に、素子領域及び2フィンガーの配置方向を適宜変更してもよい。

30

【0045】

図4に示すように、比較例の固体撮像装置のパターンレイアウトでは、図中の中央部に画素領域20が水平方向に配置される。ここでは、素子領域、ゲート電極、及びコンタクトのレイヤのみ表示し、他のレイヤ（例えば、ウエル、ビア、1層目配線等）は図示及び説明を省略する。

40

【0046】

画素領域20の下端側には、上下方向に配置される定電流源13a、差動対12a、及びカレントミラー回路11aから構成される増幅回路が水平方向に多数隣接配置される。定電流源13aが画素領域20に隣接配置され、差動対12aが定電流源13aに隣接配置され、カレントミラー回路11aが差動対12aに隣接配置される。

【0047】

画素領域20の上端側には、上下方向に配置されるカレントミラー回路11b、差動対12b、及び定電流源13bから構成される増幅回路が水平方向に多数隣接配置される。定電流源13bが画素領域20に隣接配置され、差動対12bが定電流源13bに隣接配置され、カレントミラー回路11bが差動対12bに隣接配置される。

50

【0048】

画素領域20の上端側に多数隣接配置される増幅回路は、画素領域20の下端側に多数隣接配置される増幅回路に対して線対称に配置される。カレントミラー回路11bはカレントミラー回路11aに対して線対称に配置され、差動対12bは差動対12aに対して線対称に配置され、定電流源13bは定電流源13aに対して線対称に配置される。

【0049】

画素領域20の下端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、及びコンタクトのレイヤと、画素領域20の上端側に多数隣接配置される増幅回路を構成する素子領域、ゲート電極、及びコンタクトのレイヤとは、線対称に配置され、同一パターンレイアウトを有する。

10

【0050】

ここでは、カレントミラー回路11aを構成するトランジスタTR1a及びTR2a、差動対12aを構成するトランジスタTR3a及びTR4a、定電流源13aを構成するトランジスタTR5a、カレントミラー回路11bを構成するトランジスタTR1b及びTR2b、差動対12bを構成するトランジスタTR3b及びTR4b、定電流源13bを構成するトランジスタTR5bは、すべて1フィンガーの構造を有するトランジスタを使用している。

【0051】

カレントミラー回路11aを構成するトランジスタTR1a及びTR2aは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置され、ドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、上側から下側の方向となる。一方、カレントミラー回路11bを構成するトランジスタTR1b及びTR2bは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置され、ドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、下側から上側の方向となる。この結果、カレントミラー回路11bを構成するトランジスタのチャンネル長方向は、カレントミラー回路11aを構成するトランジスタのチャンネル長方向に対して逆方向となる。

20

【0052】

差動対12aを構成するトランジスタTR3a及びTR4aは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。画素領域20側のトランジスタのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、上側から下側方向となる。画素領域20と離間する側のトランジスタのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、下側から上側方向となる。

30

【0053】

一方、差動対12bを構成するトランジスタTR3b及びTR4bは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。画素領域20側のトランジスタのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、下側から上側方向となる。画素領域20と離間する側のトランジスタのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、上側から下側方向となる。この結果、カレントミラー回路11bを構成するトランジスタのチャンネル長方向は、カレントミラー回路11aを構成するトランジスタのチャンネル長方向に対して逆方向となる。

40

【0054】

定電流源13aを構成するトランジスタTR5aは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置され、ドレインからソース方向として表示されるチャンネル長方向は、下側から上側方向となる。一方、定電流源13bを構成するトランジスタTR5bは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置され、ドレインからソース方向として表示されるチャンネル長方向は、上側から下側方向となる。この結果、定電流源13aを構成するトランジスタのチャンネル長方向は、定電流源13aを構成するトランジスタのチャンネル長方向に対して逆方向となる。

【0055】

つまり、本実施例の固体撮像装置70では、下端側の増幅回路を構成するトランジスタ

50

のチャンネル長方向と対称配置される上端側の増幅回路を構成するトランジスタのチャンネル長方向が同一に設定されているので、ウエーハの面方位や製造工程中でのイオン注入（例えば、チャネリング対策としての7度オフ角度のイオン注入）などの影響を大幅に抑制することができる。このため、増幅回路を構成するトランジスタの閾値電圧のバラツキを大幅に抑制することができ、オフセット電圧を大幅に低減できる。また、差動バラツキによる出力電流のバラツキを大幅に低減できる。

【0056】

これに対して、比較例の固体撮像装置では、下端側の増幅回路を構成するトランジスタのチャンネル長方向と対称配置される上端側の増幅回路を構成するトランジスタのチャンネル長方向が異なるので、ウエーハの面方位や製造工程中でのイオン注入（例えば、チャネリング対策としての7度オフ角度のイオン注入）などの影響を受けることとなる。このため、増幅回路を構成するトランジスタの閾値電圧のバラツキが発生し、オフセット電圧が増大する。また、差動バラツキによる出力電流のバラツキが増大する。

10

【0057】

次に、対称配置されたトランジスタのチャンネル長方向について、図5及び図6を参照して説明する。図5は線対称配置された場合のチャンネル長方向を示す模式図、図5(a)は上下方向に線対称配置された場合の図、図5(b)は左右方向に線対称配置された場合の図、図6は点对称配置された場合のチャンネル長方向を示す模式図、図6(a)は上下方向に点对称配置された場合の図、図6(b)は左右方向に点对称配置された場合の図である。

20

【0058】

図5(a)に示すように、上下方向に線対称配置された場合、下端側の水平方向のチャンネル長方向と上端側の水平方向のチャンネル長方向は同一方向となる。一方、上端側の垂直方向のチャンネル長方向は、下端側の垂直方向のチャンネル長方向に対しては逆方向となる。

【0059】

図5(b)に示すように、左右方向に線対称配置された場合、左端側の垂直方向のチャンネル長方向と右端側の垂直方向のチャンネル長方向は同一方向となる。一方、右端側の水平方向のチャンネル長方向は、左端側の水平方向のチャンネル長方向に対しては逆方向となる。

【0060】

本実施例の増幅回路を構成するトランジスタの場合、水平方向或いは垂直方向の第1のチャンネル長方向と、第1のチャンネル長方向とは逆方向の第2のチャンネル長方向とが設けられているので、上下方向に線対称配置された場合或いは左右方向に線対称配置された場合でも対象配置されるトランジスタのチャンネル長方向を同一に設定することができる。

30

【0061】

図6(a)に示すように、上下方向に点对称配置された場合、上端側の水平方向のチャンネル長方向は下端側の水平方向のチャンネル長方向は逆方向となる。また、上端側の垂直方向のチャンネル長方向は、下端側の垂直方向のチャンネル長方向に対しては逆方向となる。

【0062】

図6(b)に示すように、左右方向に点对称配置された場合、右端側の水平方向のチャンネル長方向は左端側の水平方向のチャンネル長方向は逆方向となる。また、右端側の垂直方向のチャンネル長方向は、左端側の垂直方向のチャンネル長方向に対しては逆方向となる。

40

【0063】

本実施例の増幅回路を構成するトランジスタの場合、水平方向或いは垂直方向の第1のチャンネル長方向と、第1のチャンネル長方向とは逆方向の第2のチャンネル長方向とが設けられているので、上下方向に点对称配置された場合或いは左右方向に点对称配置された場合でも対象配置されるトランジスタのチャンネル長方向を同一に設定することができる。

【0064】

上述したように、本実施例の半導体集積回路装置では、画素領域20、増幅部2a、増幅部2b、垂直走査回路3、定電流源4a、及び定電流源4bが設けられる。中央部に設けられる画素領域20の上端側に設けられる増幅部2bは、画素領域20の下端側に設け

50

られる増幅部 2 a に対して対称配置される。中央部に設けられる画素領域 2 0 の上端側に並列配置される複数の増幅回路が、画素領域 2 0 の下端側に並列配置される複数の増幅回路に対して対称配置される。増幅回路はゲート長寸法が同一で並列配置される第 1 及び第 2 のフィンガーを有するトランジスタから構成される。第 2 のフィンガーのチャンネル長方向は、第 1 のフィンガーのチャンネル方向の逆方向である。画素領域 2 0 の上端側の増幅回路のトランジスタのチャンネル長方向は、画素領域 2 0 の下端側の増幅回路のトランジスタのチャンネル長方向と同一に設定される。

【 0 0 6 5 】

このため、ウエーハの面方位や製造工程中でのイオン注入などの影響を大幅に抑制することができる。したがって、増幅回路を構成するトランジスタの閾値電圧のバラツキを大幅に抑制することができ、オフセット電圧を大幅に低減できる。また、差動バラツキによる出力電流のバラツキを大幅に低減できる。

10

【 0 0 6 6 】

なお、本実施例では、CMOSで構成されるエリアイメージセンサに適用しているが、複写機やファクシミリなどに用いられるリニアイメージセンサ、ADC、DACなどに適用することができる。また、増幅回路を上下方向に線対称配置しているが、左右方向に線対称配置、上下方向に点对称配置、或いは左右方向に点对称配置してもよい。

【 実施例 2 】

【 0 0 6 7 】

次に、本発明の実施例 2 に係る半導体集積回路装置について、図面を参照して説明する。図 7 は増幅回路を構成するトランジスタを示す概略平面図である。本実施例では、線対称に配置される増幅回路を 4 フィンガー構造で、ソースを両端に設け、フィンガーの間にドレインとソースを交互に配置したトランジスタで構成している。

20

【 0 0 6 8 】

図 7 に示すように、固体撮像装置では、画素領域 2 0 を中心として、画素領域 2 0 の上端側に増幅回路が複数並列配置され、画素領域 2 0 の下端側に増幅回路が複数並列配置される。

【 0 0 6 9 】

画素領域 2 0 の下端側の増幅回路は、ゲート長寸法が同一で並列配置される 4 フィンガー構造の第 1 のトランジスタを使用している。画素領域 2 0 の上端側の増幅回路は、ゲート長寸法が第 1 のトランジスタのゲート長寸法と同一で並列配置される 4 フィンガー構造で、第 1 のトランジスタに対して線対称に配置される第 2 のトランジスタを使用している。

30

【 0 0 7 0 】

第 1 及び第 2 のトランジスタは、例えばカレントミラー回路、差動対、及び定電流源に適用される。

【 0 0 7 1 】

第 1 のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び 1 層目配線のレイヤと、第 2 のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び 1 層目配線のレイヤとは、線対称に配置され、同一パターンレイアウトを有する。

40

【 0 0 7 2 】

第 1 のトランジスタは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。第 1 のトランジスタは、画素領域 2 0 側から下端側方向に、ソース、ドレイン、ソース、ドレイン、ソースの順に配置される。

【 0 0 7 3 】

画素領域 2 0 側の第 1 のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、下側から上側方向である。第 1 のフィンガーに隣接する第 2 のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、上側から下側方向である。第 2 のフィンガーに隣接する第 3 のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、下側から上側方向である。

50

第3のフィンガーに隣接する第4のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、上側から下側方向である。

【0074】

第2のトランジスタは、素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。第2のトランジスタは、画素領域20側から上端側方向に、ソース、ドレイン、ソース、ドレイン、ソースの順に配置される。

【0075】

画素領域20側の第1のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、上側から下側方向である。第1のフィンガーに隣接する第2のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、下側から上側方向である。第2のフィンガーに隣接する第3のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、上側から下側方向である。第3のフィンガーに隣接する第4のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、下側から上側方向である。

10

【0076】

この結果、画素領域20の上端側の増幅回路を構成する第2のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路を構成する第1のトランジスタのチャンネル長方向に対して同一に設定されることとなる。

【0077】

ここでは、ソース及びドレインの配置をソース、ドレイン、ソース、・・・、ソースの順に配置しているがドレイン、ソース、ドレイン、・・・、ドレインの順に配置してもよい。また、素子領域を水平方向に配置し、フィンガーを垂直方向に配置してもよい。

20

【0078】

上述したように、本実施例の半導体集積回路装置では、中央部に設けられる画素領域20の上端側に並列配置される複数の増幅回路は、画素領域20の下端側に設けられる並列配置される複数の増幅回路に対して対称配置される。増幅回路はゲート長寸法が同一で並列配置される第1乃至4のフィンガーを有するトランジスタから構成される。第2のフィンガーのチャンネル長方向は、第1のフィンガーのチャンネル方向の逆方向である。第3のフィンガーのチャンネル長方向は、第2のフィンガーのチャンネル方向の逆方向である。第4のフィンガーのチャンネル長方向は、第3のフィンガーのチャンネル方向の逆方向である。画素領域20の上端側の増幅回路のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路のトランジスタのチャンネル長方向と同一に設定される。

30

【0079】

このため、ウエーハの面方位や製造工程中でのイオン注入などの影響を大幅に抑制することができる。したがって、増幅回路を構成するトランジスタの閾値電圧のバラツキを大幅に抑制することができ、オフセット電圧を大幅に低減できる。また、差動バラツキによる出力電流のバラツキを大幅に低減できる。

【0080】

なお、本実施例では、第1及び第2のトランジスタを4フィンガー構造にしているが、6フィンガー以上の偶数フィンガー構造にしてもよい。また、4フィンガー構造のトランジスタを上下方向に線対称配置しているが、左右方向に線対称配置、上下方向に点对称配置、或いは左右方向に点对称配置してもよい。

40

【実施例3】

【0081】

次に、本発明の実施例3に係る半導体集積回路装置について、図面を参照して説明する。図8は増幅回路を構成するトランジスタを示す概略平面図である。本実施例では、線対称に配置される増幅回路を構成するトランジスタのパターンを変更している。

【0082】

図8に示すように、固体撮像装置では、画素領域20を中心として、画素領域20の上端側に増幅回路が複数並列配置され、画素領域20の下端側に増幅回路が複数並列配置さ

50

れる。

【0083】

画素領域20の下端側の増幅回路は、ゲート長寸法が同一で並列配置される2フィンガー構造の第1のトランジスタを使用している。画素領域20の上端側の増幅回路は、ゲート長寸法が第1のトランジスタのゲート長寸法と同一で並列配置される2フィンガー構造で、第1のトランジスタに対して線対称に配置される第2のトランジスタを使用している。第1及び第2のトランジスタは、例えばカレントミラー回路、差動対、及び定電流源に適用される。

【0084】

第1のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤと、第2のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤとは、線対称に配置され、同一パターンレイアウトを有する。

10

【0085】

第1のトランジスタは、素子領域が水平方向に配置され、ゲート電極が垂直方向に配置される。第1のトランジスタは、フィンガーの間にドレインが設けられ、フィンガーの両側面側にソースが設けられる。

【0086】

左側の第1のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、右側から左側方向である。右側の第2のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、左側から右側方向である。

20

【0087】

第2のトランジスタは、素子領域が水平方向に配置され、ゲート電極が垂直方向に配置される。第2のトランジスタは、フィンガーの間にドレインが設けられ、フィンガーの両側面側にソースが設けられる。

【0088】

左側の第1のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、右側から左側方向である。右側の第2のフィンガーのドレインからソース方向に表示されるチャンネル長方向（図中矢印表示）は、左側から右側方向である。

【0089】

この結果、画素領域20の上端側の増幅回路を構成する第2のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路を構成する第1のトランジスタのチャンネル長方向に対して同一に設定されることとなる。

30

【0090】

上述したように、本実施例の半導体集積回路装置では、中央部に設けられる画素領域20の上端側に並列配置される複数の増幅回路は、画素領域20の下端側に設けられる並列配置される複数の増幅回路に対して対称配置される。増幅回路はゲート長寸法が同一で並列配置される第1及び第2のフィンガーを有するトランジスタから構成される。第2のフィンガーのチャンネル長方向は、第1のフィンガーのチャンネル方向の逆方向である。画素領域20の上端側の増幅回路のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路のトランジスタのチャンネル長方向と同一に設定される。

40

【0091】

このため、ウエーハの面方位や製造工程中でのイオン注入などの影響を大幅に抑制することができる。したがって、増幅回路を構成するトランジスタの閾値電圧のバラツキを大幅に抑制することができ、オフセット電圧を大幅に低減できる。また、差動バラツキによる出力電流のバラツキを大幅に低減できる。

【0092】

なお、本実施例では、2フィンガー構造のトランジスタを上下方向に線対称配置しているが、左右方向に線対称配置、上下方向に点对称配置、或いは左右方向に点对称配置してもよい。

【実施例4】

50

【0093】

次に、本発明の実施例4に係る半導体集積回路装置について、図面を参照して説明する。図9は増幅回路を構成するトランジスタを示す概略平面図である。本実施例では、線対称に配置される増幅回路を構成するトランジスタのパターンを変更している。

【0094】

図9に示すように、固体撮像装置では、画素領域20を中心として、画素領域20の上端側に増幅回路が複数並列配置され、画素領域20の下端側に増幅回路が複数並列配置される。

【0095】

画素領域20の下端側の増幅回路は、並列配置される第1及び第2の素子領域を有し、ゲート長寸法が同一の第1のトランジスタを使用している。画素領域20の上端側の増幅回路は、並列配置される第1及び第2の素子領域を有し、ゲート長寸法が第1のトランジスタのゲート長寸法と同一の第1のトランジスタを使用している。第1及び第2のトランジスタは、例えばカレントミラー回路、差動対、及び定電流源に適用される。

10

【0096】

第1のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤと、第2のトランジスタを構成する素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤとは、線対称に配置され、同一パターンレイアウトを有する。

【0097】

第1のトランジスタは、並列配置される第1及び第2の素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。第1の素子領域の上端部にドレインが設けられ、下端部にソースが設けられる。第2の素子領域の上端部にソースが設けられ、下端部にドレインが設けられる。第1の素子領域でのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、上側から下側方向である。第2の素子領域でのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、下側から上側方向である。

20

【0098】

第2のトランジスタは、並列配置される第1及び第2の素子領域が垂直方向に配置され、ゲート電極が水平方向に配置される。第1の素子領域の上端部にソースが設けられ、下端部にドレインが設けられる。第2の素子領域の上端部にドレインが設けられ、下端部にソースが設けられる。第1の素子領域でのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、下側から上側方向である。第2の素子領域でのドレインからソース方向に表示されるチャンネル長方向(図中矢印表示)は、上側から下側方向である。

30

【0099】

この結果、画素領域20の上端側の増幅回路を構成する第2のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路を構成する第1のトランジスタのチャンネル長方向に対して同一に設定されることとなる。

【0100】

なお、並列配置され、寸法幅が同一な第1及び第2の素子領域を有するトランジスタを上下方向に線対称配置しているが、左右方向に線対称配置、上下方向に点对称配置、或いは左右方向に点对称配置してもよい。また、並列配置され、寸法幅が同一な第1及び第2の素子領域を有するトランジスタの代わりに、並列配置され、寸法幅が同一な4つ以上の偶数個の素子領域を有するトランジスタを使用してもよい。

40

【0101】

上述したように、本実施例の半導体集積回路装置では、中央部に設けられる画素領域20の上端側に並列配置される複数の増幅回路は、画素領域20の下端側に設けられる並列配置される複数の増幅回路に対して対称配置される。増幅回路を構成するトランジスタは、垂直方向に並列配置される同一寸法幅の第1及び第2の素子領域を有し、第2の素子領域のチャンネル長寸法が第1の素子領域のチャンネル長寸法が同一に設定される。第2の素子領域のチャンネル長方向が第1の素子領域のチャンネル長方向の逆方向に設定される。上端側のトランジスタの第1の素子領域のチャンネル長寸法が下端側のトランジスタの第1の素子

50

領域のチャンネル長寸法の逆方向に設定される。上端側のトランジスタの第2の素子領域のチャンネル長寸法が下端側のトランジスタの第2の素子領域のチャンネル長寸法の逆方向に設定される。画素領域20の上端側の増幅回路のトランジスタのチャンネル長方向は、画素領域20の下端側の増幅回路のトランジスタのチャンネル長方向と同一に設定される。

【0102】

このため、ウエーハの面方位や製造工程中でのイオン注入などの影響を大幅に抑制することができる。したがって、増幅回路を構成するトランジスタの閾値電圧のバラツキを大幅に抑制することができ、オフセット電圧を大幅に低減できる。また、差動バラツキによる出力電流のバラツキを大幅に低減できる。

【0103】

本発明は、上記実施例に限定されるものではなく、発明の趣旨を逸脱しない範囲で、種々、変更してもよい。

【0104】

実施例では、対称配置される差動型増幅回路に適用しているが、対称配置されるコンパレータ、カレントミラー回路、カスコード型増幅回路、或いはミキサ回路などにも適用することができる。また、アナログ回路ばかりでなく、対称配置され、正確な遅延量を要求される論理ゲートなどから構成される遅延回路などにも適用することができる。

【0105】

本発明は、以下の付記に記載されているような構成が考えられる。

(付記1) 第1の絶縁ゲート型電界効果トランジスタを有する第1の回路と、前記第1の絶縁ゲート型電界効果トランジスタと離間して対称配置され、前記第1の絶縁ゲート型電界効果トランジスタと同一チャンネル型でチャンネル長方向が同一方向に設定される第2の絶縁ゲート型電界効果トランジスタを有し、前記第1の回路と離間し、少なくとも素子領域、ゲート電極、コンタクト、及び1層目配線のレイヤが線対称或いは点对称に配置される第2の回路とを具備する半導体集積回路装置。

【0106】

(付記2) 前記第1及び第2の絶縁ゲート型電界効果トランジスタは、ゲート長寸法が同一で、並列配置される偶数個のフィンガーを有する付記1に記載の半導体集積回路装置。

【0107】

(付記3) 前記第1及び第2の絶縁ゲート型電界効果トランジスタは、並列配置され、寸法幅が同一の第1及び第2の素子領域を有し、前記第2の素子領域のチャンネル長方向が前記第1の素子領域のチャンネル長方向とは逆方向に設定される付記1に記載の半導体集積回路装置。

【0108】

(付記4) 前記第1及び第2の絶縁ゲート型電界効果トランジスタは、MOSトランジスタ或いはMISトランジスタである付記1乃至3のいずれかに記載の半導体集積回路装置。

【符号の説明】

【0109】

- 1 a ~ 1 d 画素
- 2 a、2 b 増幅部
- 3 垂直走査回路
- 4 a、4 b、13 a、13 b 定電流源
- 11 a、11 b カレントミラー回路
- 12 a、12 b 差動対
- 70 固体撮像装置
- A M P 1 a、A M P 1 b、A M P 2 a、A M P 2 b 増幅回路
- C 1 a ~ C 3 a、C 1 b ~ C 3 b 信号保持容量
- F D 1 フォトダイオード

10

20

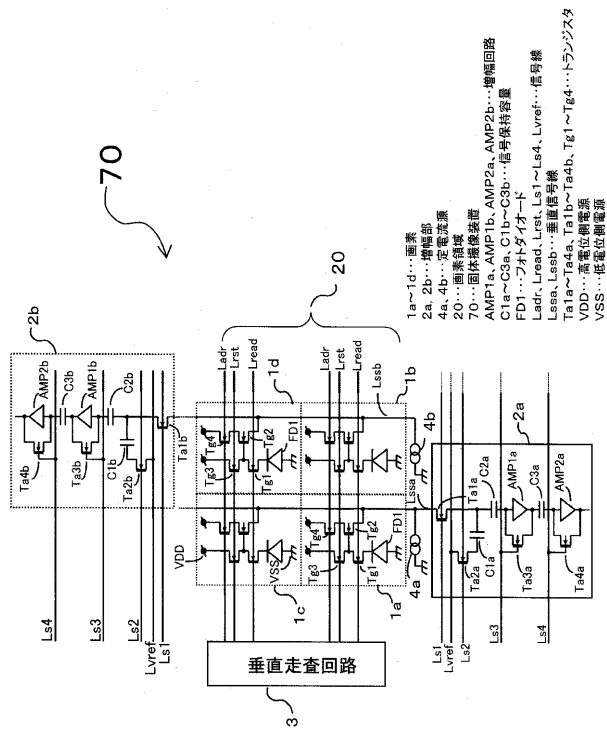
30

40

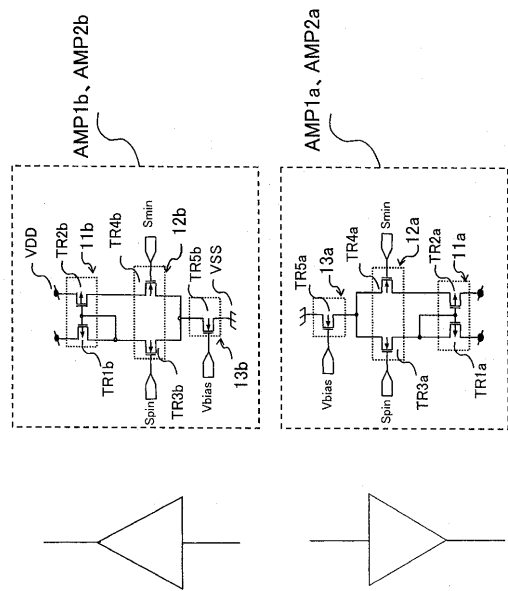
50

Ladr、Lread、Lrst、Ls1~Ls4、Lvref 信号線
 Lssa、Lssb 垂直信号線
 Smin、Spin 入力信号
 Ta1a~Ta4a、Ta1b~Ta4b、Tg1~Tg4、TR1a~TR5a、TR1b~TR5b トランジスタ
 Vbias バイアス電圧
 VDD 高電位側電源
 VSS 低電位側電源

【図1】



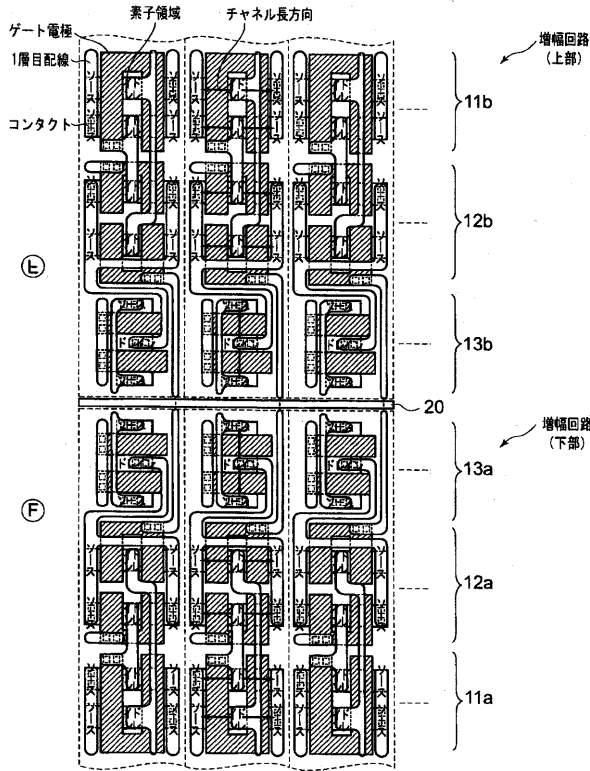
【図2】



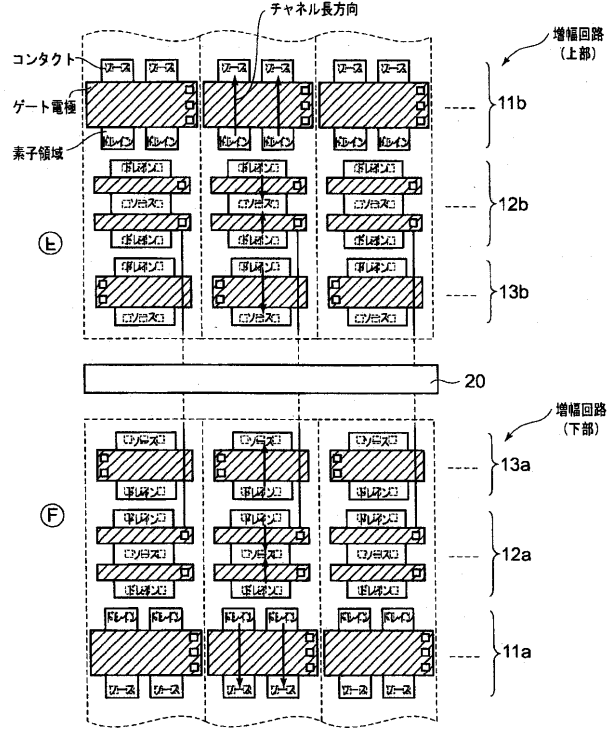
12a, 12b...差動対
 TR1a~TR5a, TR1b~TR5b...トランジスタ

11a, 11b...カレントミラー回路
 13a, 13b...定電流源
 Smin, Spin...入力信号
 Vbias...バイアス電圧

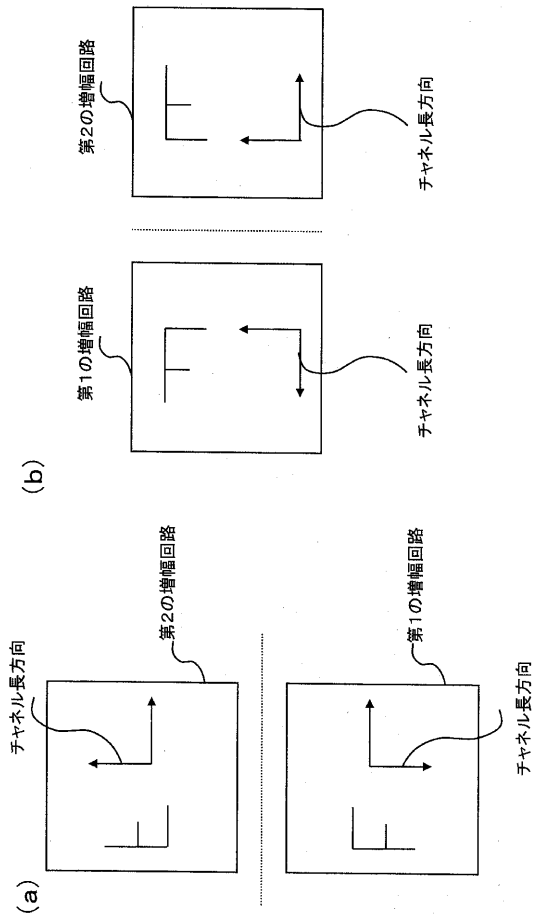
【図3】



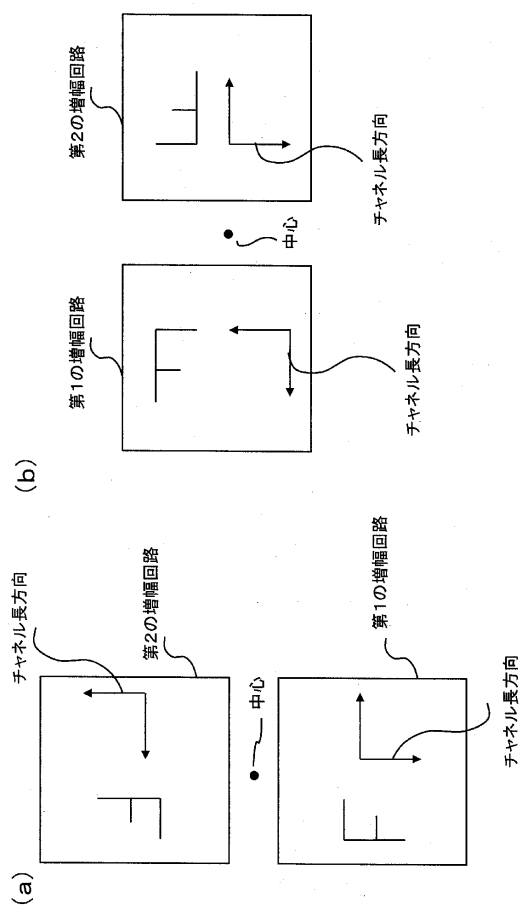
【図4】



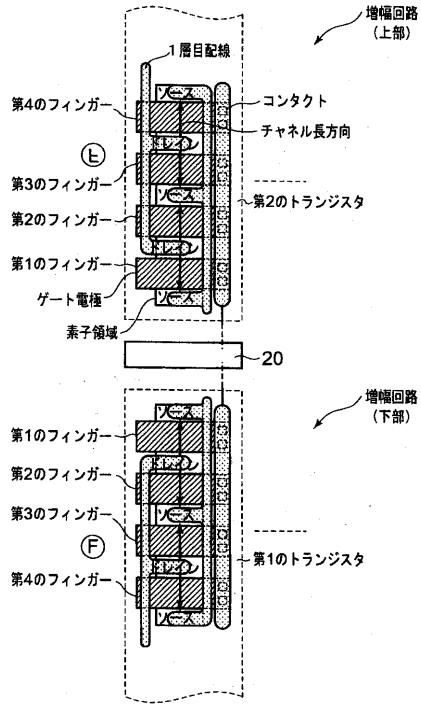
【図5】



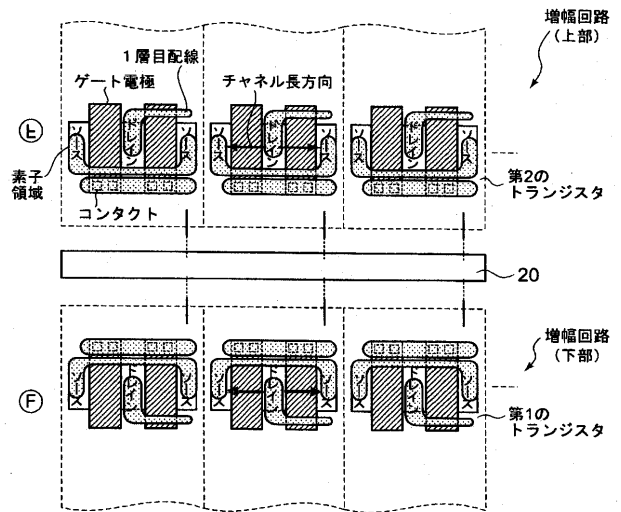
【図6】



【 図 7 】



【 図 8 】



【 図 9 】

