

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-189404

(P2007-189404A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl. F I テーマコード(参考)  
 H03L 7/093 (2006.01) H03L 7/08 E 5J106  
 H03L 7/095 (2006.01) H03L 7/08 B

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2006-4715 (P2006-4715)  
 (22) 出願日 平成18年1月12日(2006.1.12)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100075812  
 弁理士 吉武 賢次  
 (74) 代理人 100088889  
 弁理士 橘谷 英俊  
 (74) 代理人 100082991  
 弁理士 佐藤 泰和  
 (74) 代理人 100096921  
 弁理士 吉元 弘  
 (74) 代理人 100103263  
 弁理士 川崎 康

最終頁に続く

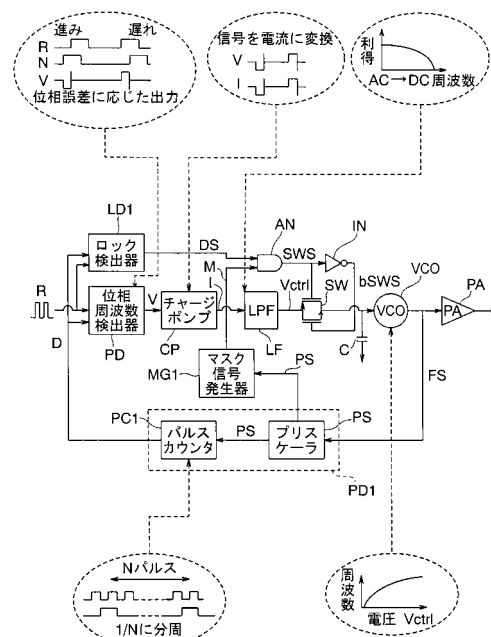
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スプリアス成分を低減させることが可能な半導体装置を提供することを目的とする。

【解決手段】 位相周波数検出器PD、チャージポンプCP、ループフィルタLF、電圧制御発振器VCO、分周器PD1とを有する位相ロックループ回路と、位相比較を行うタイミングをマスクするマスク信号を生成するマスク信号発生器MG1と、ロック状態を検出してロック検出信号を出力するロック検出器LD1と、ロック状態においてマスク信号を通過させる論理回路ANと、ループフィルタの出力端子と電圧制御発振器の入力端子との間に設けられマスク信号に基づいてオン、オフが制御されるスイッチング素子SWとを備え、ロック状態でかつ位相比較時に制御電圧が電圧制御発振器に与えられないようにループフィルタと電圧制御発振器との間が分離されることを特徴とする半導体装置。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

参照信号と分周信号とを与えられ、位相比較を行って位相差検出信号を出力する位相周波数検出器と、

前記位相差検出信号を与えられて電圧の変化を電流の変化に変換したチャージポンプ信号を出力するチャージポンプと、

前記チャージポンプ信号を与えられて所定周波数以下の成分を通過させて制御電圧を出力するループフィルタと、

前記制御電圧に基づく周波数を有する周波数信号を出力する電圧制御発振器と、

前記周波数信号を与えられ、周波数をカウントして分周を行い前記分周信号を出力する少なくとも 1 段のカウンタを有する分周器とを有する位相ロックループ回路と、

前記電圧制御発振器からの前記周波数信号又は前記分周器において生じた信号に同期して、前記位相周波数検出器が前記分周器からの前記信号と前記参照信号との位相比較を行うタイミングをマスクするマスク信号を生成するマスク信号発生器と、

前記位相ロックループ回路のロック状態を検出してロック検出信号を出力するロック検出器と、

前記マスク信号と前記ロック検出信号とを与えられ、ロック状態において前記マスク信号を通過させる論理回路と、

前記ループフィルタの出力端子と前記電圧制御発振器の入力端子との間に設けられ、前記論理回路から出力された前記マスク信号に基づいてオン、オフが制御されるスイッチング素子と、

を備え、ロック状態でかつ位相比較時に、前記制御電圧が前記電圧制御発振器に与えられないように前記ループフィルタと前記電圧制御発振器との間が分離されることを特徴とする半導体装置。

**【請求項 2】**

前記ロック検出器は、前記分周器において生じた前記信号と前記参照信号とに基づいて、前記位相ロックループ回路のロック状態を検出し前記ロック検出信号を出力することを特徴とする請求項 1 記載の半導体装置。

**【請求項 3】**

前記ロック検出器は、前記ループフィルタから出力された前記制御電圧に基づいて、前記位相ロックループ回路のロック状態を検出し前記ロック検出信号を出力することを特徴とする請求項 1 記載の半導体装置。

**【請求項 4】**

前記分周器は、前記周波数信号を与えられ、周波数をカウントして分周を行い前記分周信号を出力する 1 段のカウンタを有し、

前記マスク信号発生器は、前記電圧制御発振器からの前記周波数信号に同期して前記マスク信号を発生することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 5】**

前記ループフィルタは、前記位相ロックループ回路と同一チップに内蔵されたオンチップ型のループフィルタ、又は前記位相ロックループ回路のチップに外付けされたオフチップ型のループフィルタであることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置に関する。

**【背景技術】****【0002】**

位相ロックループ (Phase Locked Loop、以下 PLL という) 回路によれば、基準となる参照信号と、電圧制御発振器 (Voltage Controlled Oscillator) から出力された周波

10

20

30

40

50

数信号との位相差を位相周波数検出器により検出することで、所望の周波数を有する周波数信号を高精度で得ることができる。

【0003】

周波数信号の出力周波数が安定したロック状態では参照信号と周波数信号の位相は一致しており、理想上は位相周波数検出器からの出力はゼロとなる。

【0004】

しかし、一般に用いられている位相周波数検出器では、参照信号を入力するフリップフロップと周波数信号を入力するフリップフロップのそれぞれの出力に基づいて、これらの二つのフリップフロップをリセットする構成を備えている。このため、実際にはロック状態であっても位相周波数検出器からは出力信号が発生することになる。

10

【0005】

このようなロック状態で位相周波数検出器から発生した信号は、次段のチャージポンプ回路において電流に変換され、周期的な変動成分を含む制御電圧を発生させることになる。この制御電圧が電圧制御発振器により周波数変換されて、出力周波数にスプリアス成分を生じさせていた。

【0006】

以下に、従来 of PLL 回路を開示した文献名を記載する。

【特許文献1】特開2001-119297号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

本発明は上記事情に鑑み、スプリアス成分を低減させることが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様による半導体装置は、参照信号と分周信号とを与えられ、位相比較を行って位相差検出信号を出力する位相周波数検出器と、前記位相差検出信号を与えられて電圧の変化を電流の変化に変換したチャージポンプ信号を出力するチャージポンプと、前記チャージポンプ信号を与えられて所定周波数以下の成分を通過させて制御電圧を出力するループフィルタと、前記制御電圧に基づく周波数を有する周波数信号を出力する電圧制御発振器と、前記周波数信号を与えられ、周波数をカウントして分周を行い前記分周信号を出力する少なくとも1段のカウンタを有する分周器とを有する位相ロックループ回路と、前記電圧制御発振器からの前記周波数信号又は前記分周器において生じた信号に同期して、前記位相周波数検出器が前記分周器からの前記信号と前記参照信号との位相比較を行うタイミングをマスクするマスク信号を生成するマスク信号発生器と、前記位相ロックループ回路のロック状態を検出してロック検出信号を出力するロック検出器と、前記マスク信号と前記ロック検出信号とを与えられ、ロック状態において前記マスク信号を通過させる論理回路と、前記ループフィルタの出力端子と前記電圧制御発振器の入力端子との間に設けられ、前記論理回路から出力された前記マスク信号に基づいてオン、オフが制御されるスイッチング素子と、を備え、ロック状態でかつ位相比較時に、前記制御電圧が前記電圧制御発振器に与えられないように前記ループフィルタと前記電圧制御発振器との間が分離されることを特徴とする。

30

40

【発明の効果】

【0009】

本発明の半導体装置によれば、位相比較を行う際に発生するスプリアスを低減することが可能である。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について図面を参照して説明する。

【0011】

50

### 実施の形態 1

図 1 に、実施の形態 1 による半導体装置の構成を示す。さらに、同半導体装置における後述する制御電圧  $V_{ctrl}$ 、ロック検出信号  $DS$ 、プリスケアラ信号  $PS$ 、分周信号  $D$ 、参照信号  $R$ 、マスク信号  $M$  の波形を図 2 のタイミングチャートに示す。このタイミングチャートでは、制御電圧  $V_{ctrl}$  をある電圧からより高い電圧へ遷移させたときの一例を表している。

#### 【0012】

この半導体装置は、位相周波数検出器  $PD$ 、チャージポンプ  $CP$ 、ループフィルタ  $LF$ 、電圧制御発振器  $VCO$ 、プログラマブル分周器  $PD1$ 、プリアンプ  $PA$  を備えた  $PLL$  回路に、さらにロック検出器  $LD1$ 、マスク信号発生器  $MG1$ 、スイッチング素子  $SW$ 、アンド回路  $AN$ 、インバータ  $IN$  を備えたものとなっている。

10

#### 【0013】

位相周波数検出器  $PD$  に分周信号  $D$  と参照周波数を有する参照信号  $R$  とが入力され、参照信号  $R$  に対する分周信号  $D$  の位相の遅れ、一致、あるいは進みに応じた位相差検出信号  $V$  が出力される。

#### 【0014】

チャージポンプ  $CP$  において、位相差検出信号  $V$  の電圧の変化が電流の変化に変換されたチャージポンプ信号  $I$  として出力される。

#### 【0015】

ループフィルタ  $LF$  にチャージポンプ信号  $I$  が入力され、所定の周波数以上の周波数成分が減衰されて制御電圧  $V_{ctrl}$  が出力される。

20

#### 【0016】

スイッチング素子  $SW$  は  $AND$  回路  $AN$  からのスイッチング信号  $SW_S$ 、及びインバータ  $IN$  によりスイッチング信号が反転された反転スイッチング信号  $bSW_S$  を与えられてオン/オフ動作が制御され、制御電圧  $V_{ctrl}$  を通過あるいは遮断する。

#### 【0017】

スイッチング素子  $SW$  を通過した制御電圧  $V_{ctrl}$  は、容量  $C$  により高調波ノイズ成分が除去された後、電圧制御発振器  $VCO$  に入力される。

#### 【0018】

電圧制御発振器  $VCO$  は、制御電圧  $V_{ctrl}$  の電圧値に対応した周波数を有する周波数信号  $FS$  を発生し、プログラマブル分周器  $PD1$  及びプリアンプ  $PA$  へ出力する。

30

#### 【0019】

プリアンプ  $PA$  は、周波数信号に所定の増幅を行って図示されていない後段の回路へ出力する。

#### 【0020】

プログラマブル分周器  $PD1$  は、周波数信号  $FS$  を 1 段目の高速カウンタに相当するプリスケアラ  $PS$  により周波数をある程度低下させてプリスケアラ信号  $PS$  を出力し、次に 2 段目のカウンタに相当するパルスカウンタ  $PC1$  によりプリスケアラ信号  $PS$  における  $N$  ( $N$  は 2 以上の整数) パルス毎に 1 パルスを発生させて分周信号  $D$  を出力させる。

#### 【0021】

さらにロック検出器  $LD1$  において、分周信号  $D$  と参照信号  $R$  とを比較することで、周波数信号  $FS$  の周波数が安定したロック状態にある場合にはハイレベルのロック検出信号  $DS$  を出力し、ロック状態にない場合はローレベルの信号を出力する。

40

#### 【0022】

また、マスク信号発生器  $MG1$  において、位相周波数検出器  $PD$  が分周信号  $D$  の位相と参照信号  $R$  の位相とを比較するタイミングを包括 (マスク) するように所定パルス幅を有するマスク信号  $M$  を出力する。比較対象となる分周信号  $D$  は、プリスケアラ  $PS$  から出力されたプリスケアラ信号  $PS$  から生成されるので、このプリスケアラ信号  $PS$  の立ち上がり又は立ち下がりエッジを覆うような信号を生成することで、マスク信号  $M$  を出力することができる。このマスク信号  $M$  は、ループフィルタ  $LF$  から出力された制御電圧  $V_{ctrl}$

50

1を電圧制御発振器VCOから分離するための信号である。

【0023】

ロック検出信号DSとマスク信号MとがAND回路ANに入力される。PLL回路がロック状態にあることを示すハイレベルのロック検出信号DSと、位相周波数検出器PDが分周信号Dの位相と参照信号Rの位相とを比較するタイミングを包括するハイレベルのマスク信号とが入力された場合に、ハイレベルのスイッチング信号SWSが出力される。

【0024】

スイッチング信号SWSがハイレベルにある場合に、この信号をゲートに入力されるPチャンネルトランジスタと、反転された反転スイッチング信号bSWSがゲートに入力されるNチャンネルトランジスタとを有するスイッチング素子SWがオフする。これにより、ループフィルタLFから出力された制御電圧Vctrlはスイッチング素子SWにより遮断されて電圧制御発振器VCOには出力されない。

10

【0025】

逆に、PLL回路がロック状態にはないことを示すローレベルのロック検出信号DSと、位相周波数検出器PDが分周信号Dの位相と参照信号Rの位相とを比較するタイミングをマスクするマスク信号がハイレベルにない場合の少なくともいずれか一方が成立する場合に、AND回路ANからローレベルのスイッチング信号SWSが出力される。これにより、スイッチング素子SWがオンする。この場合は、ループフィルタLFから出力された制御電圧Vctrlはスイッチング素子SWを通過し、電圧制御発振器VCOに出力される。

20

【0026】

このように、分周信号Dの位相が参照信号Rの位相と一致していない場合は、マスク信号Mをロック検出信号DSと共にAND回路ANにおいてAND演算を行うことでキャンセルしてスイッチング素子SWをオン状態にし、ループフィルタLFから出力された制御電圧Vctrlを通常動作と同様に電圧制御発振器VCOに与えることができる。

【0027】

これにより、ロック状態においてのみ、位相比較を行う瞬間に制御電圧Vctrlが電圧制御発振器VCOに与えられないように分離することで、スプリアス成分の発生を抑制することができる。

【0028】

ところで、電圧制御発振器VCOの入力端子と接地端子との間には容量Cが設けられている。この容量Cは、スイッチング素子SWがスイッチングする際の電荷の移動による制御電圧Vctrlの変動を抑えるために設けられている。

30

【0029】

スイッチング素子SWを構成するトランジスタのサイズをある程度小さくすることで、3次フィルタを組む場合と比較して容量Cの大きさを小さく抑えることができ、また抵抗素子を設ける必要性も排除することが可能となる。

【0030】

また、ロック状態で位相比較時においてのみ制御電圧Vctrlを電圧制御発振器VCOに与えないように分離することにより、位相比較時における変動成分を含む制御電圧Vctrlを電圧制御発振器VCOに常時与える場合と比較し、ループ帯域を一定に保ったまま(RC=一定)でループフィルタを構成する容量を小さくすることができるので回路面積を低減させることが可能となる。

40

【0031】

参考例1

上記実施の形態1と比較するため、参考例1による半導体装置について、その構成を示した図3を用いて説明する。

【0032】

この装置は、位相周波数検出器PD100、チャージポンプCP100、ローパスフィルタLF100、電圧制御発振器VCO100、プリアンプPA100、プログラマブル

50

分周器 P D 1 0 0 を備え、P L L 回路として動作する。

【 0 0 3 3 】

この参考例 1 は、上記実施の形態 1 における、ロック状態において位相比較時に制御電圧 V c t r l を電圧制御発振器 V C O に与えないように分離する構成を備えていない。

【 0 0 3 4 】

図 4 に、位相周波数検出器 P D の一般的な構成を示す。フリップフロップ F F 1、F F 2 にそれぞれハイレベルの信号 I ' b 1 がデータ端子 D に入力され、参照信号 R、分周信号 D がクロック端子に入力される。それぞれの出力端子 Q は周波数を上げるためのアップ信号 U P、周波数を下げるためのダウン信号 D O W N として出力され、またフリップフロップ F F 1、F F 2 をリセットするために N A N D 回路 N A に入力され、その出力がそれぞれのリセット端子に入力される。

10

【 0 0 3 5 】

図 5 に示された ( 1 ) の場合のように、参照信号 R より分周信号 D の方が遅れている場合アップ信号 U P が出力され、( 3 ) の場合のように、参照信号 R より分周信号 D の方が進んでいる場合、ダウン信号 D O W N が出力される。

【 0 0 3 6 】

さらに、( 2 ) のように両者が一致している場合、理想的には位相周波数検出器からの出力はゼロであるが、フリップフロップ F F 1、F F 2 をリセットするために図示されたようにアップ信号 U P 及びダウン信号 D O W N が共に生じる。

【 0 0 3 7 】

このように、通常用いられている位相周波数検出器では、ロック状態であっても出力信号が発生することになる。この定常状態で発生した信号は、チャージポンプ回路 C P において電流に変換されてチャージポンプ信号 I として出力される。

20

【 0 0 3 8 】

チャージポンプ回路 C P は、図 6 に示されるように、電源端子と接地端子との間に電流源 C S 1、P チャネルトランジスタ P T 1、N チャネルトランジスタ N T 1、電流源 C S 2 が直列に接続されており、通常はさらにチャージポンプ C P 1 0 0 の出力端子と電圧制御発振器 V C O 1 0 0 との間にループフィルタ L F 1 0 0 が設けられている。

【 0 0 3 9 】

この様に位相比較器やその他の回路での理想的でない動作によって、図 7 において示されたように周期的な制御電圧 V c t r l の電位変動を発生させる。これが電圧制御発振器 V C O により周波数変換されて、図 8 において示されたように、スプリアス成分として発生させることになる。

30

【 0 0 4 0 】

参考例 2

図 9 に示されたように、このようなスプリアス成分を低減する機能が加えられた構成を有するものとして、参考例 2 による半導体装置について説明する。

【 0 0 4 1 】

チャージポンプ C P 1 0 0 の出力端子とノード P x、N x との間に、演算増幅器 O P、スイッチング素子 S W 1 0 0、S W 1 0 1 が設けられている。P チャネルトランジスタ P T 1 がオフするときスイッチング素子 S W 1 0 0 がオンしてノード P x が制御電圧 V c t r l と同電位となり、P チャネルトランジスタ P T 1 がオンするときはスイッチング素子 S W 1 0 0 がオフする。N チャネルトランジスタ N T 1 がオフするときスイッチング素子 S W 1 0 1 がオンしてノード N x が制御電圧 V c t r l と同電位となり、N チャネルトランジスタ N T 1 がオンするときはスイッチング素子 S W 1 0 1 がオフする。

40

【 0 0 4 2 】

理想的には、トランジスタ P T 1、N T 1 がオンするときだけ電流源 C S 1、C S 2 からの電流が流れることでスプリアス成分は発生しない。しかし、実際の電流源は M O S F E T で構成されている。これにより、オペアンプ O P、スイッチング素子 S W 1 0 0、S W 1 0 1 から成るスプリアス低減機能がない場合に、トランジスタ P T 1、N T 1 がオフ

50

の間、ノード P x、N x の電位はそれぞれ電流源 C S 1、C S 2 を構成するトランジスタのソース電位となる。このため、トランジスタ P T 1 又は N T 1 がオンした瞬間に電荷が流れて、制御電圧 V c t r l の電位が変化することになる。この電荷の流れや、電流源 C S 1、C S 2 に存在する電流オフセット等が原因となって、制御電圧 V c t r l の変動を招くこととなる。

【 0 0 4 3 】

この参考例 2 では、このような変動を低減するために、制御電圧 V c t r l を P チャネルトランジスタ P T 1、N チャネルトランジスタ N T 1 のソース側にフィードバックして、位相比較の瞬間、即ちトランジスタ P T 1 又は N T 1 のいずれかがオンする瞬間における電流の流れを少なくすることで、スプリアス成分を抑えている。

10

【 0 0 4 4 】

しかしながら、この参考例 2 においては、制御電圧 V c t r l の電位をトランジスタ P T 1、N T 1 のソース側が維持するために、位相比較の瞬間以外にも電流を消費し続けることになり、消費電流の増加を招く。

【 0 0 4 5 】

参考例 3

図 1 0 に、参考例 3 による半導体装置に施された他のスプリアス低減手法を示す。

【 0 0 4 6 】

上述したように、位相比較の瞬間において P チャネルトランジスタ P T 1、N チャネルトランジスタ N T 1 のいずれかがオンして、これらのトランジスタ P T 1、N T 1 のドレインが接続された出力端子から電圧制御発振器 V C O の入力端子に向けて流れる電流の変動がスプリアス成分を発生させる。

20

【 0 0 4 7 】

そこで参考例 3 では、図 1 1 に示されたように位相比較を行うタイミングを規定するサンプルホールド信号 S / H に同期して、チャージポンプ C P 1 0 0 の出力端子と電圧制御発振器 V C O の入力端子との間のスイッチング素子 S W 1 0 0 のオン・オフを制御する。

【 0 0 4 8 】

位相比較を行う瞬間に、スイッチング素子 S W 1 0 0 をオフして、トランジスタ P T 1、N T 1 のドレイン側を電圧制御発振器 V C O の入力端子から電氣的に分離する。このスイッチング素子 S W 1 0 0 がオフしている間、電流変動成分は容量 C 1 0 0 に充電あるいは放電される。充電と放電とが繰り返し行われることで、容量 C 1 0 0 に充電される電荷が平均化され、ほぼゼロとなる。

30

【 0 0 4 9 】

位相比較が終了した時点でスイッチング素子 S W 1 0 0 をオンして、チャージポンプ C P 1 0 0 の出力端子と電圧制御発振器 V C O の入力端子とを接続することで、スプリアス成分を減らすというものである。

【 0 0 5 0 】

しかし、この場合には容量値の大きい容量 C 1 0 0 を付加させなければならず、装置面積の増加を招くことになる。

【 0 0 5 1 】

参考例 4

参考例 4 による半導体装置の構成を図 1 2 に示す。

【 0 0 5 2 】

この参考例 4 では、チャージポンプ C P 1 0 0 の出力パッド O U T 1 0 0 に、ループフィルタ L F 1 0 0 を接続している。このループフィルタ L F 1 0 0 によって、チャージポンプ C P 1 0 0 において発生した高周波の電位変動成分を除去するというものである。

【 0 0 5 3 】

しかし、チャージポンプ C P 1 0 0 の出力側から外付けのループフィルタ L F 1 0 0 までの配線経路には、寄生インダクタンス成分 L 1 0 0 が存在する。この寄生インダクタンス成分 L 1 0 0 によって、高周波成分がループフィルタ L F 1 0 0 へ流れることができず

40

50

にフィルタとして作用できず、高調波ノイズ成分を含んだ状態で制御電圧  $V_{ctrl}$  が電圧制御発振器  $VCO100$  に与えられ、スプリアス成分を生じさせることになる。

【0054】

以上のように、上記参考例 1 ~ 4 ではいずれもスプリアス成分を十分に除去することができないという問題がある。

【0055】

これに対し上述した実施の形態 1 によれば、ロック状態において位相比較を行う瞬間に制御電圧  $V_{ctrl}$  を電圧制御発振器  $VCO$  に与えないように分離することで、位相制御に支障を与えることなくスプリアス成分を大幅に抑制することが可能である。

【0056】

#### 実施の形態 2

本発明の実施の形態 2 による半導体装置について、図 13 にその構成を示し説明する。

【0057】

本実施の形態 2 では、ロック検出器  $LD2$  がロック状態か否かを検出するために入力する信号が上記実施の形態 2 におけるロック検出器  $LD1$  と異なる。

【0058】

他の構成は上記実施の形態 1 と同様であり、同一の構成要素には同一の番号を付して説明を省略する。

【0059】

ロック検出器  $LD2$  は、ループフィルタ  $LF$  から出力された制御電圧  $V_{ctrl}$  を与えられる。この制御電圧  $V_{ctrl}$  は、図 2 に示されたようにロック状態では電圧が安定状態にあるので、この制御電圧  $V_{ctrl}$  をモニタすることによりロック状態か否かを検出することができる。

【0060】

#### 実施の形態 3

図 14 に、本発明の実施の形態 3 による半導体装置の構成を示す。

【0061】

本実施の形態 3 は、電圧制御発振器  $VCO$  から出力された周波数信号  $FS$  がアナログ波形ではなくデジタル方形波である場合に好適なものである。この場合には、電圧制御発振器  $VCO$  からの出力を分周する際に、プリスケータを用いることなく 1 段で構成されたパルスカウンタ  $PC2$  により直接分周することができる。

【0062】

また、マスク信号発生器  $MG2$  には電圧制御発振器  $VCO$  から出力された周波数信号  $FS$  が直接与えられ、この出力に同期してマスク信号  $M$  が生成される。

【0063】

このように本実施の形態 3 によれば、デジタル回路内で用いられる  $PLL$  回路にも本発明を適用し、位相比較時におけるスプリアス成分の発生を低減することができる。

【0064】

尚、図 14 に示された構成では、ロック検出器  $LD1$  は上記実施の形態 1 と同様に参照信号  $R$  と分周信号  $D$  とを用いてロック状態を検出している。しかし、上記実施の形態 2 と同様に、ループフィルタ  $LF$  から出力された制御電圧  $V_{ctrl}$  を用いるロック検出器  $LD2$  に置き換えてもよい。

【0065】

#### 実施の形態 4

本発明の実施の形態 4 による半導体装置の構成を図 15 に示す。

【0066】

本実施の形態 4 は、上記実施の形態 1 の構成において、ループフィルタ  $LF$  をオンチップ型のループフィルタ  $LF1$  に限定したものに相当する。

【0067】

ループフィルタ  $LF1$  は所定の周波数以上の成分を減衰させるために、 $1/CR$  値を確

10

20

30

40

50

保する必要がある。しかし、オンチップ型の場合には容量値Cに面積的な制約があるため、抵抗値Rを大きくせざるを得ない。この結果、オンチップ型ループフィルタLF1において、同じ電流変化でも電位変動が大きくなり、制御電圧V<sub>ctrl</sub>の変動成分が大きくなる傾向がある。

【0068】

しかし、上記実施の形態1と同様に本実施の形態4においても、位相比較時のタイミングをマスクするマスク信号Mとロック検出信号DSとで、アンド回路ANによりAND演算を行い、ループフィルタLF1と電圧制御発振器VCOとの間のスイッチング素子SWのオン/オフを制御する。これにより、ロック状態における位相比較時の制御電圧V<sub>ctrl</sub>を分離して電圧制御発振器VCOに与えないことで、オンチップ型ループフィルタLF1を用いた場合にも、ループ帯域を保持したままフィルタを構成する抵抗値Rを大きくし、代わりに容量Cを減らすことで、装置面積を小さくするとともに、スプリアス信号を抑制することができる。

10

【0069】

ここで、上記実施の形態1と同様に参照信号Rと分周信号Dとを用いてロック状態を検出するロック検出器LD1、あるいは上記実施の形態2と同様に、ループフィルタLFから出力された制御電圧V<sub>ctrl</sub>を用いるロック検出器LD2のいずれを用いてもよい。また、マスク信号発生器MGは、上記実施の形態1、2のようにプリスケアラPSから出力されたプリスケアラ信号を用いるマスク信号発生器MG1、あるいは上記実施の形態3のように電圧制御発振器VCOから出力された周波数信号FSを用いるマスク信号発生器MG2であってもよい。

20

【0070】

#### 実施の形態5

本発明の実施の形態5による半導体装置について、その構成を示した図16を用いて説明する。

【0071】

本実施の形態5では、上記実施の形態4と異なりオフチップ型のループフィルタLF2を用いている。

【0072】

チップ外部にオフチップ型のループフィルタLF2を設ける場合には、チャージポンプCPの出力端子から出力パッドOUT1を経てループフィルタLF2に至るまでの配線経路に、寄生インダクタンス成分Lが存在する。従って、このオフチップ型のループフィルタLF2を用いる場合には、チャージポンプCPから出力された制御電圧V<sub>ctrl</sub>に含まれる高調波ノイズ成分が寄生インダクタンスLによりループフィルタLF2によって十分に除去することができない現象が起こる。

30

【0073】

しかし本実施の形態5によれば、上記実施の形態1において説明した場合と同様に、ロック状態における位相比較時の制御電圧V<sub>ctrl</sub>を電圧制御発振器VCOに与えないことで、オフチップ型ループフィルタLF2を用いた場合であってもスプリアス信号を抑制することができる。

40

【0074】

上記実施の形態1と同様に参照信号Rと分周信号Dとを用いてロック状態を検出するロック検出器LD1、又は上記実施の形態2と同様にループフィルタLFから出力された制御電圧V<sub>ctrl</sub>を用いるロック検出器LD2のいずれを用いてもよい。さらに、マスク信号発生器MGは、上記実施の形態1、2のようにプリスケアラPSから出力されたプリスケアラ信号を用いるマスク信号発生器MG1、又は上記実施の形態3のように電圧制御発振器VCOから出力された周波数信号を用いるマスク信号発生器MG2であってもよい。

【0075】

上述した実施の形態はいずれも一例であって、本発明を限定するものではなく、技術的

50

範囲内において様々に変形することが可能である。

【図面の簡単な説明】

【0076】

【図1】本発明の実施の形態1による半導体装置の構成を示したブロック図。

【図2】同半導体装置における各信号の動作波形を示したタイミングチャート。

【図3】参考例1による半導体装置における各信号の入出力波形を示したタイミングチャート。

【図4】同半導体装置における位相周波数検出器の構成を示したブロック図。

【図5】同位相周波数検出器の入出力信号の波形を示したタイミングチャート。

【図6】同半導体装置におけるチャージポンプの出力端子周辺の構成を示したブロック図 10

【図7】同半導体装置における各信号の入出力波形を示したタイミングチャート。

【図8】同半導体装置における出力周波数信号の波形を示したグラフ。

【図9】参考例2による半導体装置におけるチャージポンプの出力端子周辺の構成を示したブロック図。

【図10】参考例3による半導体装置におけるチャージポンプの出力端子周辺の構成を示したブロック図。

【図11】同半導体装置における各信号の入出力波形を示したタイミングチャート。

【図12】参考例4による半導体装置におけるチャージポンプの出力端子周辺の構成を示したブロック図。 20

【図13】本発明の実施の形態2による半導体装置の構成を示したブロック図。

【図14】本発明の実施の形態3による半導体装置の構成を示したブロック図。

【図15】本発明の実施の形態4による半導体装置の構成を示したブロック図。

【図16】本発明の実施の形態5による半導体装置の構成を示したブロック図。

【符号の説明】

【0077】

P D 位相周波数検出器

C P チャージポンプ

L F ループフィルタ

L F 1 オンチップループフィルタ 30

L F 2 オフチップループフィルタ

S W スイッチング素子

V C O 電圧制御発振器

P D 1、P D 2 プログラマブル分周器

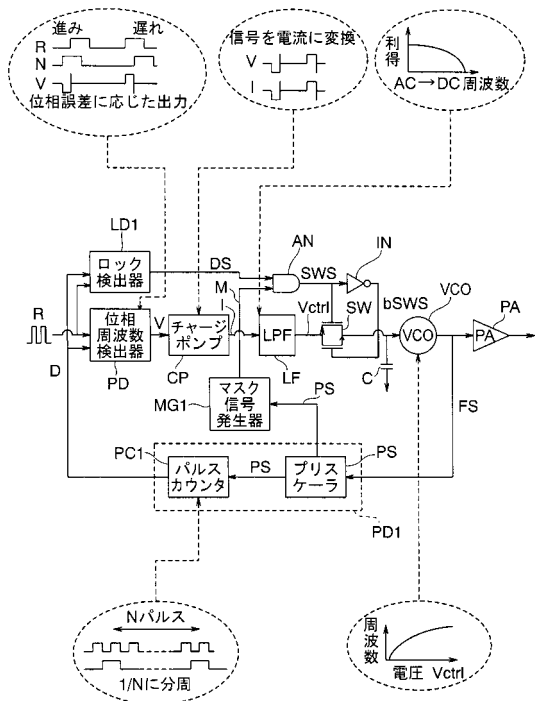
L D 1、L D 2 ロック検出器

P S プリスケーラ

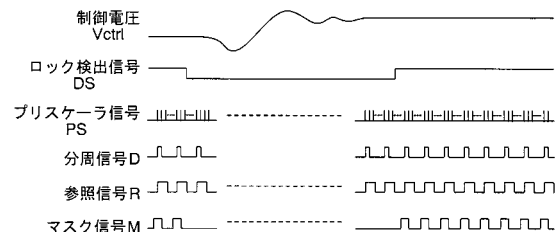
P C 1、P C 2 パルスカウンタ

M G 1、M G 2 マスク信号発生器

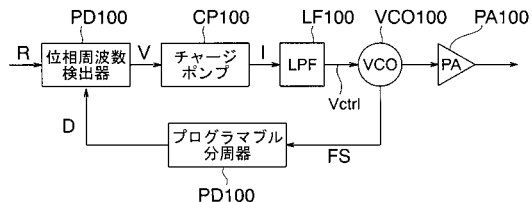
【 図 1 】



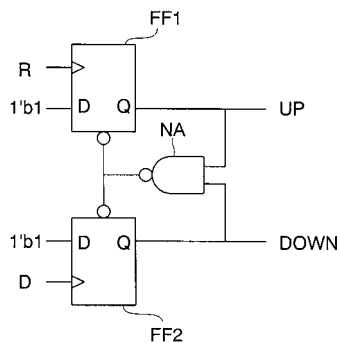
【 図 2 】



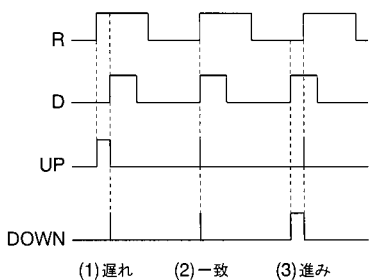
【 図 3 】



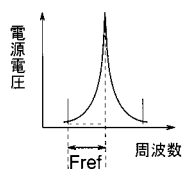
【 図 4 】



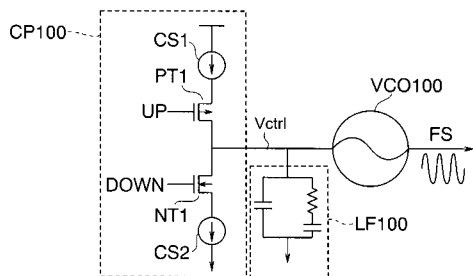
【 図 5 】



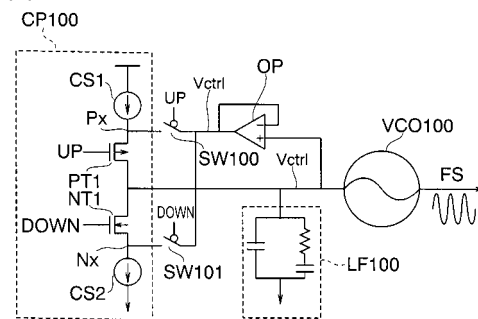
【 図 8 】



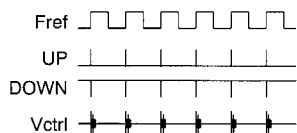
【 図 6 】



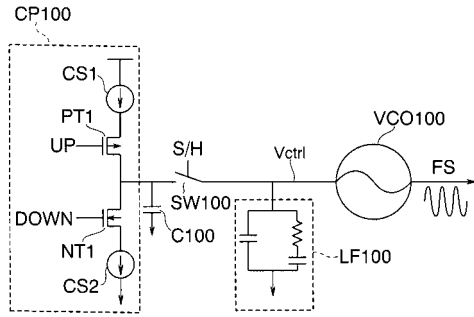
【 図 9 】



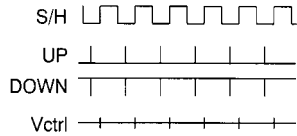
【 図 7 】



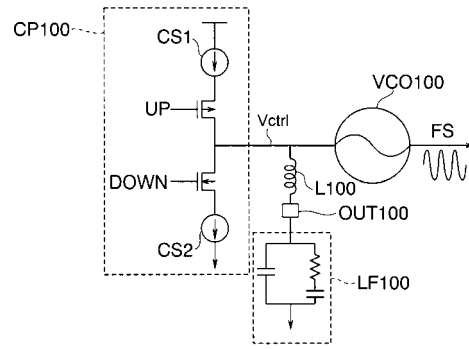
【図10】



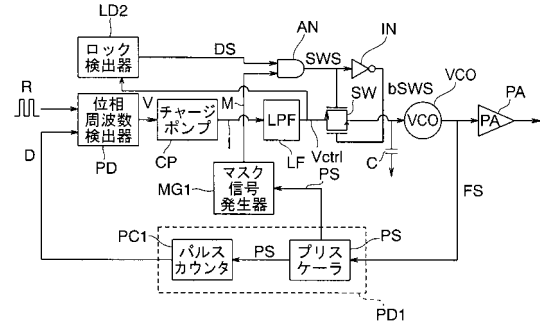
【図11】



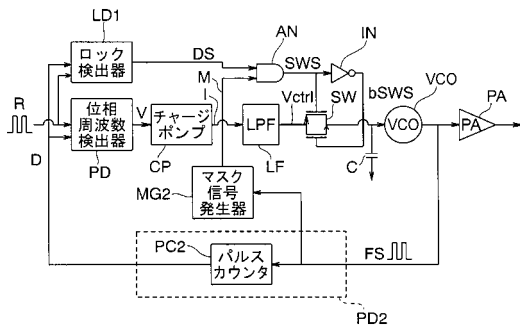
【図12】



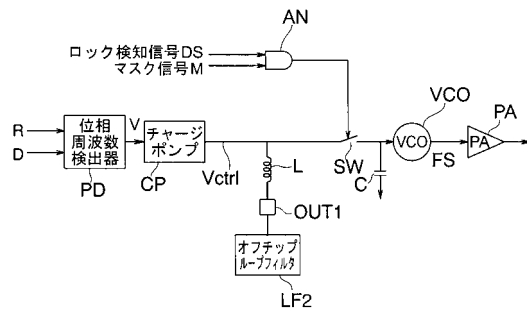
【図13】



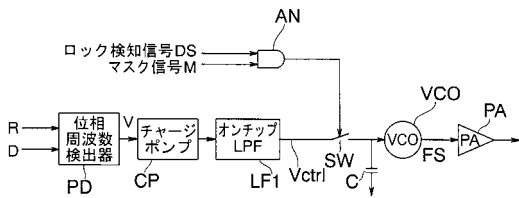
【図14】



【図16】



【図15】



---

フロントページの続き

(72)発明者 小林 弘 幸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
Fターム(参考) 5J106 CC01 CC21 CC41 DD08 DD32 KK26