



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I506743 B

(45) 公告日：中華民國 104 (2015) 年 11 月 01 日

(21) 申請案號：102132928

(22) 申請日：中華民國 102 (2013) 年 09 月 12 日

(51) Int. Cl. : **H01L23/34 (2006.01)**

(30) 優先權：2012/10/04 美國 13/644,399

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：江宗憲 CHIANG, TSUNG HSIEN (TW)；曾明鴻 TSENG, MING HUNG (TW)；陳承先 CHEN, CHEN SHIEN (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 8106497B2 US 2011/0316147A1

US 2012/0020028A1 US 2012/0049347A1

審查人員：周楷智

申請專利範圍項數：11 項 圖式數：8 共 23 頁

(54) 名稱

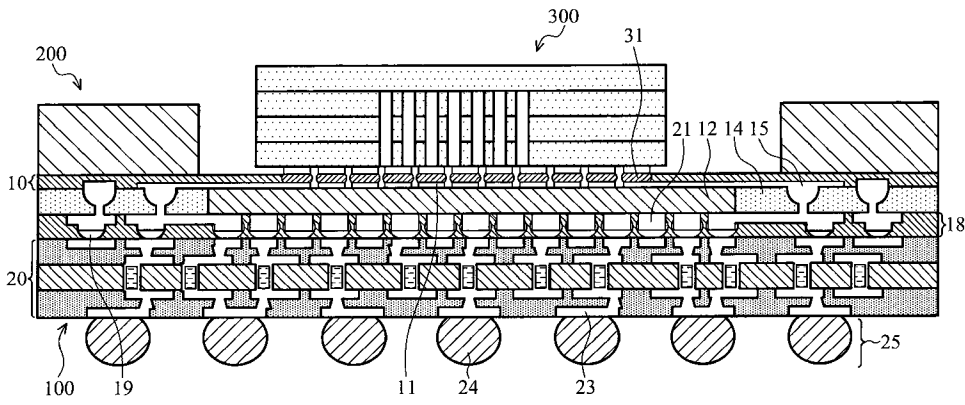
半導體裝置的熱能管理結構及其製造方法

THERMAL MANAGEMENT STRUCTURE OF SEMICONDUCTOR DEVICE AND METHODS FOR FORMING THE SAME

(57) 摘要

本發明揭露一種應用於多晶片及堆疊封裝結構的熱能管理改善方法及結構。一第一基板貼附於較小的一第二基板，其中第二基板被貼附於第一基板的一熱能環所圍繞。熱能環包括導熱材料，且具有散熱效率良好的幾何形狀。第一基板包括一發熱晶片，第二基板包括一感熱晶片。本發明提供一種使組裝結構的感熱晶片增加散熱的方法。

A method and structure for providing improved thermal management in multichip and package on package (PoP) applications. A first substrate attached to a second smaller substrate wherein the second substrate is encircled by a heat ring attached to the first substrate, the heat ring comprising heat conducting materials and efficient heat dissipating geometries. The first substrate comprises a heat generating chip and the second substrate comprises a heat sensitive chip. A method is presented providing the assembled structure with increased heat dissipation away from the heat sensitive chip.



第3圖

- 10 . . . 上重佈線層
- 11、23 . . . 焊球墊
- 12 . . . 積體電路晶粒
- 14 . . . 模塑成型材料
- 15 . . . 通孔電極
- 18 . . . 下重佈線層
- 19 . . . 焊料凸塊
- 20 . . . 基板
- 21 . . . 焊料凸塊墊
- 24、31 . . . 焊球
- 25 . . . 球柵陣列結構
- 100 . . . 底部封裝結構
- 200 . . . 熱能環
- 300 . . . 頂部封裝結構

發明摘要

※ 申請案號：102132928

※ 申請日：102.9.12

※ IPC 分類：(H01L23/13) 2006.01

【發明名稱】 半導體裝置的熱能管理結構及其製造方法
THERMAL MANAGEMENT STRUCTURE OF
SEMICONDUCTOR DEVICE AND METHODS
FOR FORMING THE SAME

【中文】

本發明揭露一種應用於多晶片及堆疊封裝結構的熱能管理改善方法及結構。一第一基板貼附於較小的一第二基板，其中第二基板被貼附於第一基板的一熱能環所圍繞。熱能環包括導熱材料，且具有散熱效率良好的幾何形狀。第一基板包括一發熱晶片，第二基板包括一感熱晶片。本發明提供一種使組裝結構的感熱晶片增加散熱的方法。

【英文】

A method and structure for providing improved thermal management in multichip and package on package (PoP) applications. A first substrate attached to a second smaller substrate wherein the second substrate is encircled by a heat ring attached to the first substrate, the heat ring comprising heat conducting materials and efficient heat dissipating geometries. The first substrate comprises a heat generating chip and the second substrate comprises a heat sensitive chip. A method is

presented providing the assembled structure with increased heat dissipation away from the heat sensitive chip.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

- 10 上重佈線層
- 11、23 焊球墊
- 12 積體電路晶粒
- 14 模塑成型材料
- 15 通孔電極
- 18 下重佈線層
- 19 焊料凸塊
- 20 基板
- 21 焊料凸塊墊
- 24、31 焊球
- 25 球柵陣列結構
- 100 底部封裝結構
- 200 熱能環
- 300 頂部封裝結構

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體裝置的熱能管理結構及其製造方法
THERMAL MANAGEMENT STRUCTURE OF
SEMICONDUCTOR DEVICE AND METHODS
FOR FORMING THE SAME

【技術領域】

【0001】 本發明係有關於一種熱能管理技術，特別為有關於多晶片及堆疊封裝結構的熱能管理改善方法、結構及其製造方法。

【先前技術】

【0002】 隨著縮小電子產品的要求增加，半導體產業不斷尋求將用於電子產品的積體電路的尺寸縮小的方法。因此，已發展及使用了三維 (three-dimensional) 類型的積體電路封裝技術。

【0003】 已發展出的一種封裝技術為堆疊封裝(package on package, PoP)技術。如其名，堆疊封裝技術為一種半導體封裝的創新，包括將一封裝結構堆疊於另一封裝結構的頂部上。一堆疊封裝裝置可結合垂直分散記憶體及邏輯球柵陣列(ball grid array, BGA)封裝結構。在堆疊封裝的封裝設計中，可透過周圍的焊球，將上部封裝結構內連接於下部封裝結構。

【0004】 上述多晶片封裝技術的應用很多，由於通常使用某些類型的專用裝置，因此經常需要將這些裝置設置在一起，以完成特定用途的功能設計。結合微處理器裝置與程式記憶體儲存裝置(例如，快閃記憶體(FLASH)或電子抹除式可複寫唯讀

記憶體 (electrically-erasable programmable read-only memory, EEPROM)裝置), 及結合微處理器與專用處理器(例如, 基頻收發器(baseband transceivers)、繪圖處理器、快取記憶體裝置、記憶體管理裝置及數位類比轉換器(analog to digital converter))皆為實用及常用的配置, 且提供以下所述結構的應用。

【0005】 上述多晶片封裝技術通常具有封裝結構之間的熱耦接。很多裝置的效能對於溫度很敏感, 且當溫度增加時會降低效能。此外, 很多處理單元(例如, 加速處理單元(accelerated processing units, APUs))會產生熱。因此, 多晶片封裝技術的應用需要考量晶片元件之間及晶片封裝結構之間熱耦接的熱管理。

【發明內容】

【0006】 本發明係提供一種半導體裝置的熱能管理結構, 包括一第一基板。一第二基板電性耦接第一基板, 使第一基板的一第一部分水平延伸出第二基板的邊緣之外。一熱能環耦接對應第一部分的第二基板。

【0007】 本發明係提供另一種半導體裝置的熱能管理結構, 包括一第一結構, 其包括一第一晶粒。一第二結構包括一第二晶粒, 第二結構電性耦接第一結構。一散熱結構物理連接第一結構中用以連接第二結構的一相同表面。

【0008】 本發明係提供一種半導體裝置的熱能管理結構的製造方法, 包括: 提供一第一基板及一第二基板。將第一基板貼附至第二基板。提供一散熱結構, 貼附於第一基板中用以貼

附第二基板的一相同表面。

【圖式簡單說明】

【0009】

第 1 圖係繪示出本發明一實施例之底部封裝結構的剖面示意圖。

第 2 圖係繪示出本發明一實施例之底部封裝結構及熱能環的剖面示意圖。

第 3 圖係繪示出本發明一實施例之堆疊封裝結構的剖面示意圖。

第 4A 至 4D 圖係繪示出本發明各種實施例之熱能環的配置方式的平面示意圖。

第 5 圖係繪示出本發明另一實施例之堆疊封裝結構的剖面示意圖。

第 6 圖係繪示出本發明又另一實施例之堆疊封裝結構的剖面示意圖。

第 7 圖係繪示出本發明又另一實施例之堆疊封裝結構的剖面示意圖。

第 8A 及 8B 圖係繪示出本發明各種實施例之各種熱能環的結構的剖面示意圖。

【實施方式】

【0010】 以下說明本發明實施例之製作與使用。然而，可輕易了解本發明實施例提供許多合適的發明概念而可實施於廣泛的各種特定背景。所揭示的特定實施例僅僅用於說明以特定方法製作及使用本發明，並非用以侷限本發明的範圍。

【0011】 爲了解決常見於多晶片或封裝系統中的熱耦接問題，以下實施例揭示了可降低上述系統中的熱能的裝置。本發明實施例也揭示了熱能環的各種設計。本發明實施例的熱能環用於示範在多晶片及多封裝結構的系統中降低熱能的實施例，以改善熱敏感系統(例如，記憶體晶片)的效能。

【0012】 第1圖係繪示出本發明一實施例之底部封裝結構100的剖面示意圖。底部封裝結構100包括一上重佈線層(redistribution layer, RDL)10、被模塑成型材料14圍繞的一積體電路晶粒12(例如，加速處理單元)、一下重佈線層18及一基板20。上重佈線層10包括焊球墊11，用以接收一頂部封裝結構(未繪示，例如，另一基板、一晶粒、一封裝結構或類似的結構)。上重佈線層10提供從焊球墊11至通孔電極15的電性連接，其中通孔電極15可包括各種類型(例如，模塑成型通孔電極(through molding vias, TMVs) 或佈線通孔電極(through assembly vias, TAVs))。通孔電極15提供穿過模塑成型材料14至下重佈線層18的電性連接。下重佈線層18提供通孔電極15及積體電路晶粒12之間及/或通孔電極15及基板20上的接觸窗之間的電性連接。透過焊料凸塊19，焊料凸塊墊21將下重佈線層18連接至基板20。

【0013】 在一實施例中，基板20包括一(1-2-1)層壓基板，如第1圖所示。在本實施例中，基板20可包括一層或多層結構，焊接在兩金屬芯(core)的每一側上，兩金屬芯連接下重佈線層18至位於下重佈線層18的相對側上的焊球墊23。在其他實施例中，基板20可包括不同類型的基板(例如，轉接板、矽轉接板、

有機基板或類似的基板)。

【0014】 焊球 24 提供底部封裝結構 100 連接一個或一個以上的額外基板，且可更改為球柵陣列結構 25。

【0015】 需注意的是，上述底部封裝結構 100 的描述，僅作為說明，可用其他結構/裝置代替底部封裝結構 100。舉例來說，底部封裝結構 100 不限定於上述實施例，底部封裝結構 100 可包括基板、轉接板或類似的結構。

【0016】 在上述實施例中，會產生大量的熱能。舉例來說，在一實施例中，積體電路晶粒 12 包括加速處理單元，積體電路晶粒 12 可能產生大量的熱能。當積體電路晶粒 12 的要求及效能增加，產生的熱能也隨之增加。熱能會通過底部封裝結構 100 傳遞至其他貼附的元件(例如，晶粒、基板、封裝結構或類似的元件)內，且可能降低貼附的元件的效能。積體電路晶粒 12 也可為任何適合類型的晶粒，且不限定於加速處理單元。

【0017】 第 2 圖係繪示出本發明一實施例之在貼附或形成熱能環 200 後的底部封裝結構 100 的剖面示意圖。特別的是，本實施例包括如第 1 圖所示的底部封裝結構 100，具有與其貼附的熱能環 200。熱能環 200 包括一種或一種以上的導熱材料，且用以轉移底部封裝結構 100 及任何其他基板或其他元件(例如，加速處理單元)的熱能。在一實施例中，熱能環 200 包括一金屬(例如，銀、銅、鋁、金或其他導熱材料)。在另一實施例中，熱能環 200 包括一非金屬(例如，複合高分子材料或鑽石)。熱能環 200 設置於圍繞焊球墊 11 的區域內，使得熱能環 200 圍繞貼附於焊球墊 11 的裝置(將於後續作說明)。

【0018】 第3圖係繪示出本發明一實施例之頂部封裝結構300貼附於底部封裝結構100且被熱能環200圍繞的剖面示意圖。透過焊球墊11上的焊球31，頂部封裝結構300貼附於底部封裝結構100。然而，也可使用其他適合類型的連接結構(例如，銅/錫銀柱凸塊(pillar bumps)或銅/錫銀凸塊導線直連接點(bump on trace joints)上)。在一實施例中，頂部封裝結構300包括一記憶體晶片。在更進一步的實施例中，頂部封裝結構300包括具有多個記憶體晶片的記憶體晶片堆疊結構。然而，在其他實施例中，頂部封裝結構300可包括一個或一個以上的晶粒、封裝結構、基板或類似的結構。

【0019】 在一實施例中，底部封裝結構100包括加速處理單元，且頂部封裝結構300包括具有一個或一個以上的記憶體晶片的記憶體晶片堆疊結構，而加速處理單元可能產生大量的熱能。記憶體晶片堆疊結構的效能與溫度有關，在高溫時，記憶體晶片堆疊結構的效能可能會降低。因此，發熱元件(例如，加速處理單元)設置於記憶體晶片堆疊結構附近並不利於熱能管理。然而，此種類型的結構的集積度高而較常使用。為了解決裝置的集積度與散熱之間的牴觸關係，而提供了熱能環200。如第3圖所示，頂部封裝結構300(例如，記憶體晶片堆疊結構)小於底部封裝結構100，進而在圍繞頂部封裝結構300且可貼附散熱結構(例如，熱能環200)的區域內所對應的底部封裝結構100表面上提供空間。熱能環200轉移加速處理單元產生的熱能並遠離記憶體晶片堆疊結構，使得記憶體晶片堆疊結構可貼附於會產生熱能的加速處理單元附近，而不會產生由於高溫

造成效能降低的問題。

【0020】 在本實施例中，底部封裝結構100具有球柵陣列結構25，位於可貼附其他晶粒、基板或封裝結構的底部表面上。因此，本實施例可為具有多基板或多封裝結構貼附於底部封裝結構100下方的一完整系統或更大的系統中的一部分。在另一實施例中，底部封裝結構100可包括任何類型的發熱晶片，而不限定於加速處理單元。

【0021】 在一實施例中，熱能環200包括一連續環，完整環繞頂部封裝結構300。在另一實施例中，熱能環200可斷開分成數個部份而具有位於散熱結構之間的小間隙，。在一實施例中，熱能環200覆蓋底部封裝結構100的整個表面至頂部封裝結構300所佔區域。一般而言，熱能環200未實體接觸頂部封裝結構300，因為熱能環的目的為將底部封裝結構100產生的熱能散出，而遠離頂部封裝結構300。熱能環200與頂部封裝結構300實體接觸，可能造成熱能轉移至頂部封裝結構300。在另一實施例中，熱能環200可僅覆蓋環繞頂部封裝結構300的底部封裝結構100的表面上一部分的區域。

【0022】 第4A至4D圖係繪示出本發明各種實施例之熱能環200的配置方式的平面示意圖。熱能環200包括各種形狀，貼附於底部封裝結構100且位於底部封裝結構100的表面上的一區域內，該區域圍繞貼附於底部封裝結構100的頂部封裝結構300。第4A圖係繪示出矩形的熱能環200。第4B圖係繪示出橢圓形的熱能環200。第4C圖係繪示出六角形的熱能環200。第4D圖係繪示出加號(plus)形狀的熱能環200。在一實施例中，頂部

封裝結構300為一封裝裝置(例如，先前所述的記憶體晶片堆疊結構)，而底部封裝結構100包括加速處理單元。在另一實施例中，頂部封裝結構300為晶粒垂直堆疊結構的一部分，而熱能環200為堆疊結構內的一層，其貼附於另一基板的頂部及底部封裝結構100的底部。接著，底部封裝結構100可貼附於另外的下方基板。

【0023】 第5圖係繪示出本發明另一的實施例，其中熱能環200延伸出的高度相同於頂部封裝結構300的上表面。在本實施例中，透過使用焊球31，將底部封裝結構100貼附於頂部封裝結構300。熱能環200圍繞頂部封裝結構300。頂部封裝結構300及熱能環200的高度相同，相對而言，第3圖的實施例中，熱能環200的高度較低。在一實施例中，頂部封裝結構300及熱能環200的上表面可貼附於另外的基板。在另一實施例中，頂部封裝結構300及熱能環200的上表面可貼附於一封裝結構。

【0024】 第6圖係繪示出本發明又另一實施例之熱能環200貼附於底部封裝結構100，且延伸出頂部封裝結構300的上表面。透過焊球31，頂部封裝結構300貼附於底部封裝結構100。熱能環200延伸至一結構400。結構400可包括另外的基板，其中基板400形成或貼附於熱能環200的上表面。在另一實施例中，結構400可包括一晶片堆疊結構，其表面貼附於熱能環200的上表面。在另一實施例中，底部封裝結構100及頂部封裝結構300可包括晶片堆疊結構，且熱能環200可延伸及貼附至裝置外殼400(例如，特定用途的外罩或外蓋，例如，手機外殼、電腦外殼、相機外殼或類似的用途)。在本實施例中，熱能環200

提供外部環境的界面的散熱路徑。

【0025】 第7圖係繪示出本發明又另一實施例之包括類似鰭片結構設計的熱能環200。在本實施例中，透過焊球31，底部封裝結構100貼附於頂部封裝結構300。熱能環200也貼附於底部封裝結構100。然而，不同於第1至3圖的實施例具有實心的剖面，熱能環200具有多個散熱鰭片205。相較於實心剖面，鰭片205提供較大的表面面積。散熱鰭片205貼附於一底板210。底板210貼附於底部封裝結構100。

【0026】 第8A及8B圖係繪示出其他熱能環200的設計的剖面示意圖。第8A圖係繪示出熱能環200包括貼附於底板210的鰭片205，其中鰭片205從底板210向外延伸。相較於第7圖的實施例具有垂直的鰭片結構，鰭片205的表面面積較大。第8B圖係繪示出熱能環200包括多層的鰭片205。下層的鰭片205的底部表面連接底板210。中間層的鰭片205連接中間板215。上層的鰭片205的底部連接中間板215，而頂部未連接中間板215。

【0027】 在一實施例的製造方法中，各種結構設計及尺寸的熱能環可分別形成於一模塑成型材料或鑄模內。可透過包括各步驟(例如，蝕刻製程、沉積製程、金屬化製程、基板接合製程等)的習知方法，形成一底部基板。接著，可透過一導熱附著材料，將熱能環貼附於底部基板。在一實施例中，貼附熱能環後，熱能環會圍繞頂部基板，而可在此之前，將小於底部基板的頂部基板貼附於底部基板的表面。在另一實施例中，可在貼附熱能環後，將頂部基板貼附於底部基板的表面。在另一實施例中，熱能環可貼附於頂部基板的一表面，接著，熱能環

與頂部基板可貼附於底部基板。

【0028】 配合本發明一實施例之一種半導體裝置的熱能管理結構，包括一第一基板。一第二基板電性耦接第一基板，使第一基板的一第一部分水平延伸出第二基板的邊緣之外。一熱能環耦接對應第一部分的第一基板。

【0029】 配合本發明另一實施例之一種半導體裝置的熱能管理結構，包括一第一結構，其包括一第一晶粒。一第二結構包括一第二晶粒，第二結構電性耦接第一結構。一散熱結構物理連接第一結構中用以連接第二結構的一相同表面。

【0030】 配合本發明一實施例之一種半導體裝置的熱能管理結構的製造方法，包括：提供一第一基板及一第二基板。將第一基板貼附至第二基板。提供一散熱結構，貼附於第一基板中用以貼附第二基板的一相同表面。

【0031】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作更動、替代與潤飾。舉例來說，任何所屬技術領域中具有通常知識者可輕易理解此處所述的方法可在本發明的範圍內作更動。

【0032】 再者，本發明之保護範圍並未侷限於說明書內所述特定實施例中的結構、方法及步驟，任何所屬技術領域中具有通常知識者可從本發明揭示內容中理解現行或未來所發展出的製程或步驟，只要可以在此處所述實施例中實施大體相同功能或獲得大體相同結果皆可使用於本發明中。因此，本發明之保護範圍包括上述製程或步驟。

【符號說明】**【0033】**

- 10 上重佈線層
- 11、23 焊球墊
- 12 積體電路晶粒
- 14 模塑成型材料
- 15 通孔電極
- 18 下重佈線層
- 19 焊料凸塊
- 20 基板
- 21 焊料凸塊墊
- 24、31 焊球
- 25 球柵陣列結構
- 100 底部封裝結構
- 200 熱能環
- 205 鰭片
- 210 底板
- 215 中間板
- 300 頂部封裝結構
- 400 結構/基板/裝置外殼

申請專利範圍

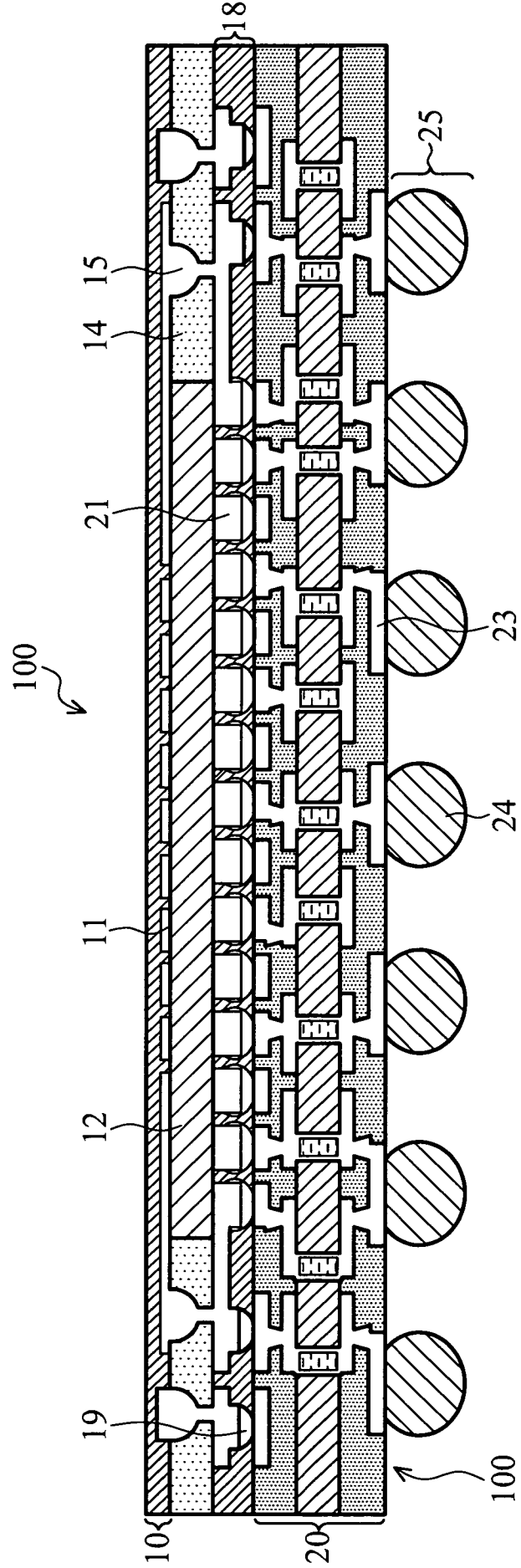
1. 一種半導體裝置的熱能管理結構，包括：
 - 第一基板；
 - 第二基板，電性耦接該第一基板，使該第一基板的第一部分水平延伸出該第二基板的邊緣之外，其中該第二基板經由朝向該第一基板的一表面電性耦接該第一基板；以及
 - 熱能環，耦接該第一部分內的該第一基板。
2. 如申請專利範圍第 1 項所述之半導體裝置的熱能管理結構，其中該熱能環延伸出該第二基板的一高度上方或延伸及熱耦接至一外殼。
3. 如申請專利範圍第 1 項所述之半導體裝置的熱能管理結構，其中該熱能環包括一實心結構或包括一或多層的鰭片。
4. 如申請專利範圍第 1 項所述之半導體裝置的熱能管理結構，其中該第一基板包括水平包覆於一模塑成型材料內的一晶粒，及延伸穿過該模塑成型材料的一或多個連接窗，其中該晶粒包括一加速處理單元。
5. 如申請專利範圍第 1 項所述之半導體裝置的熱能管理結構，其中該第一基板包括一第一封裝結構或一轉接板，且該第二基板包括一第二封裝結構。
6. 一種半導體裝置的熱能管理結構，包括：
 - 第一結構，包括一第一晶粒；
 - 第二結構，包括一第二晶粒，該第二結構經由位於該第一晶粒與該第二晶粒之間的連接結構電性耦接該第一結

構；以及

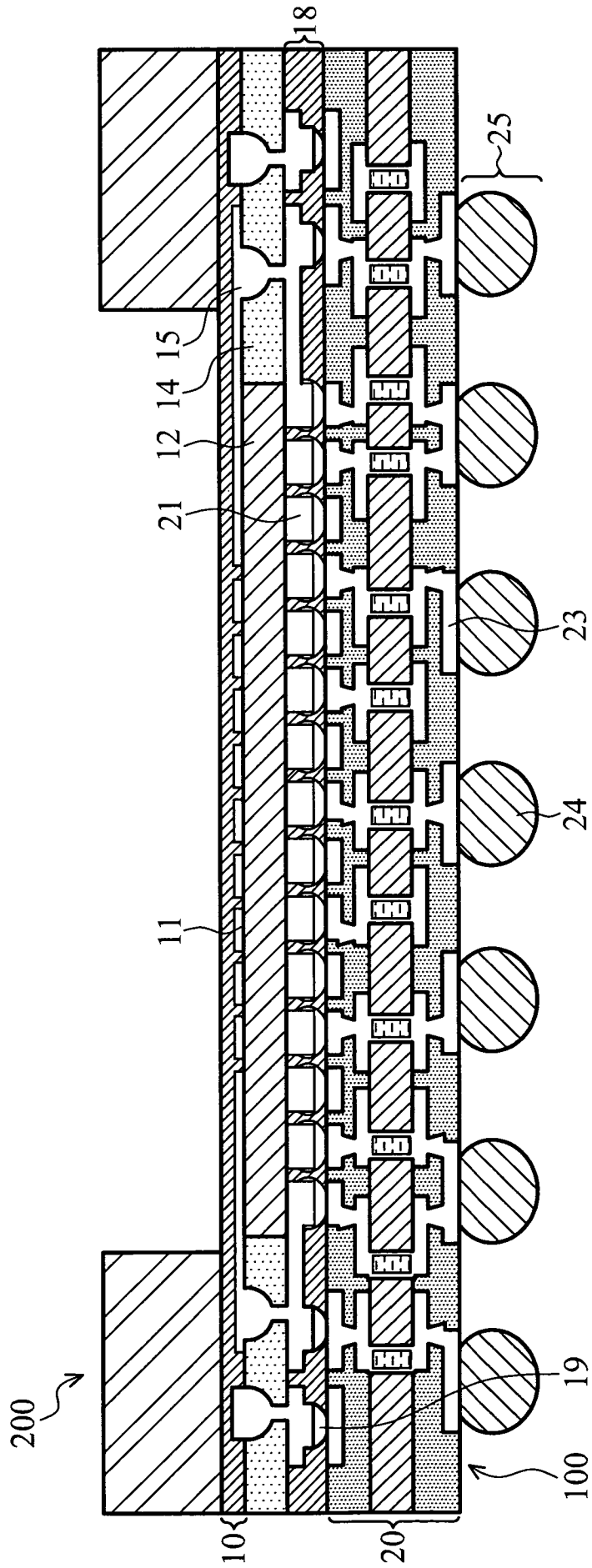
一散熱結構，物理連接該第一結構中用以連接該第二結構的一相同表面。

7. 如申請專利範圍第 6 項所述之半導體裝置的熱能管理結構，其中該散熱結構延伸出該第二結構的一高度上方或延伸且熱耦接至一外殼。
8. 如申請專利範圍第 6 項所述之半導體裝置的熱能管理結構，其中該散熱結構包括一實心結構或包括一或多層的散熱鰭片。
9. 如申請專利範圍第 6 項所述之半導體裝置的熱能管理結構，其中該第一晶粒電性耦接一轉接板，且其中該半導體裝置為堆疊封裝結構。
10. 一種半導體裝置的熱能管理結構的製造方法，包括：
 - 提供包括一第一晶粒的一第一基板；
 - 提供一第二基板；
 - 將該第一基板貼附至該第二基板，使得該第二基板具有朝向該第一晶粒的一表面，其中該第一基板及該第二基板經由該表面電性連接；以及
 - 提供一散熱結構，貼附於該第一基板中用以貼附該第二基板的一相同表面。
11. 如申請專利範圍第 10 項所述之半導體裝置的熱能管理結構的製造方法，其中該散熱結構圍繞該第二基板且包括一金屬，且其中該裝置為堆疊封裝結構。

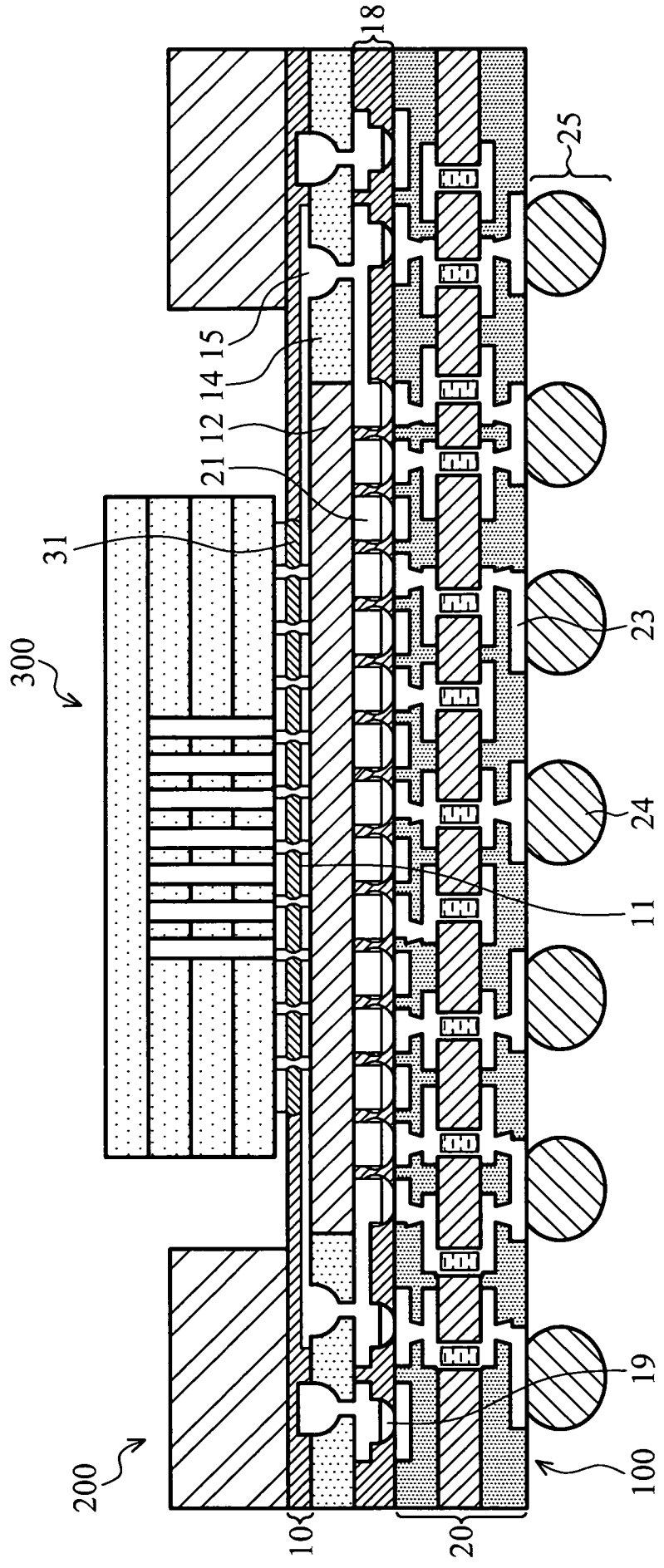
圖式



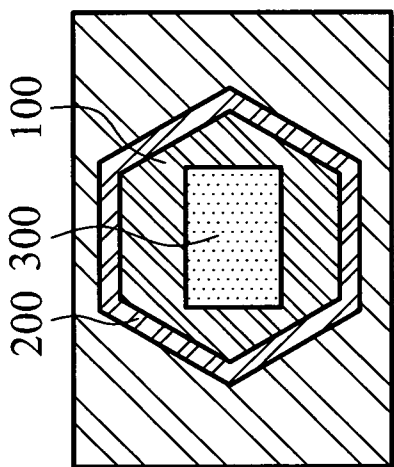
第 1 圖



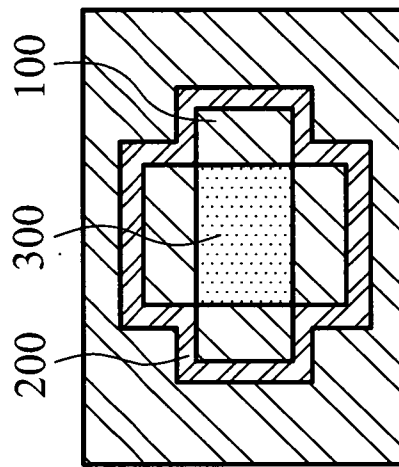
第 2 圖



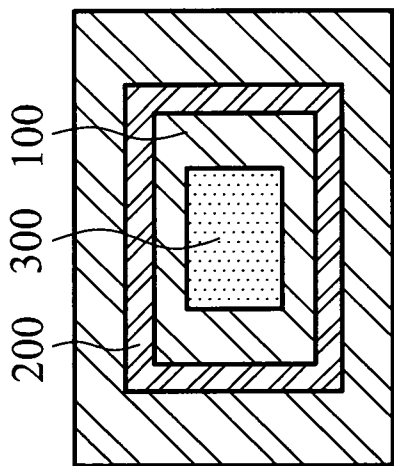
第3圖



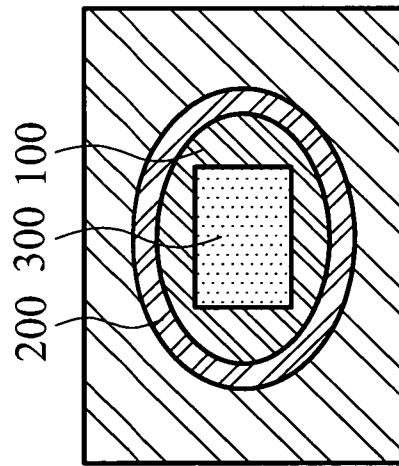
第 4B 圖



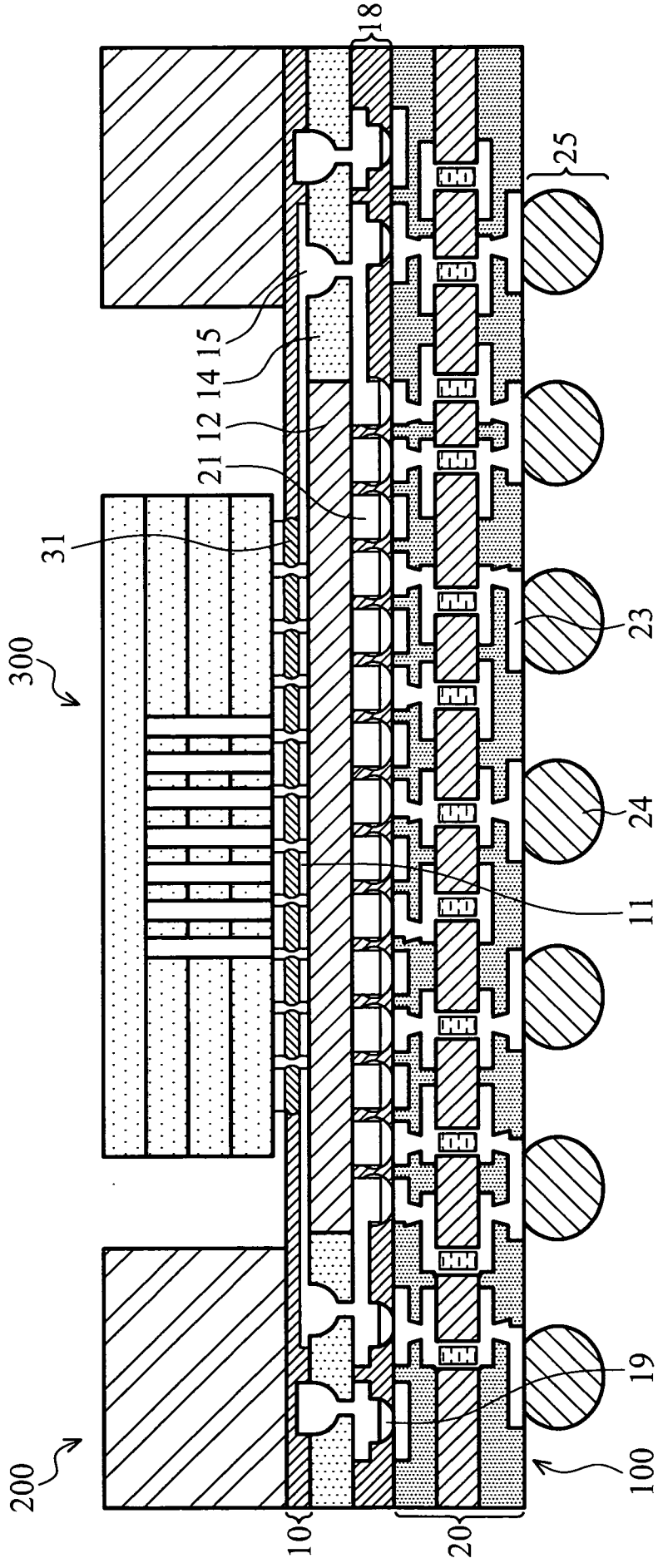
第 4D 圖



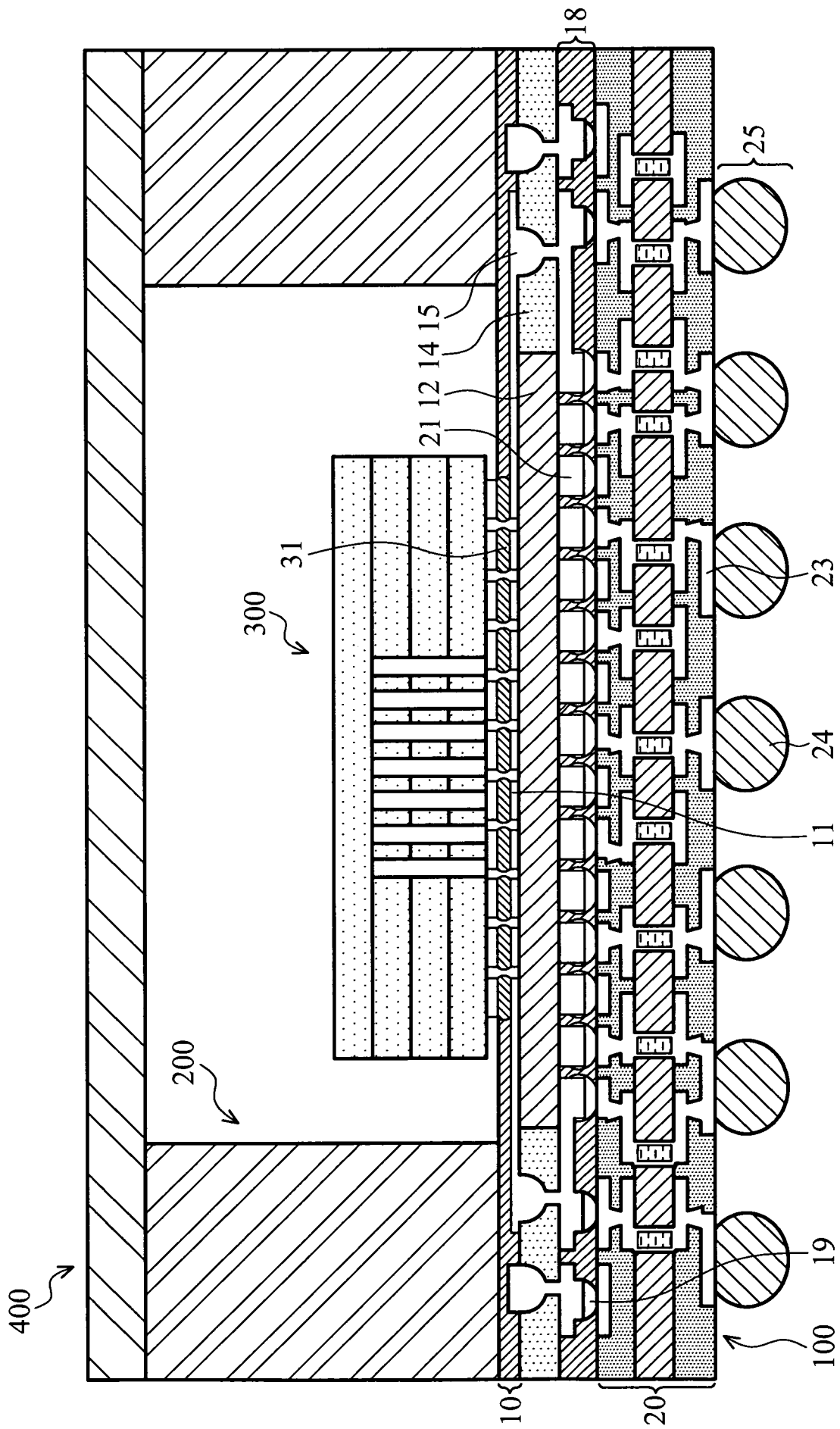
第 4A 圖



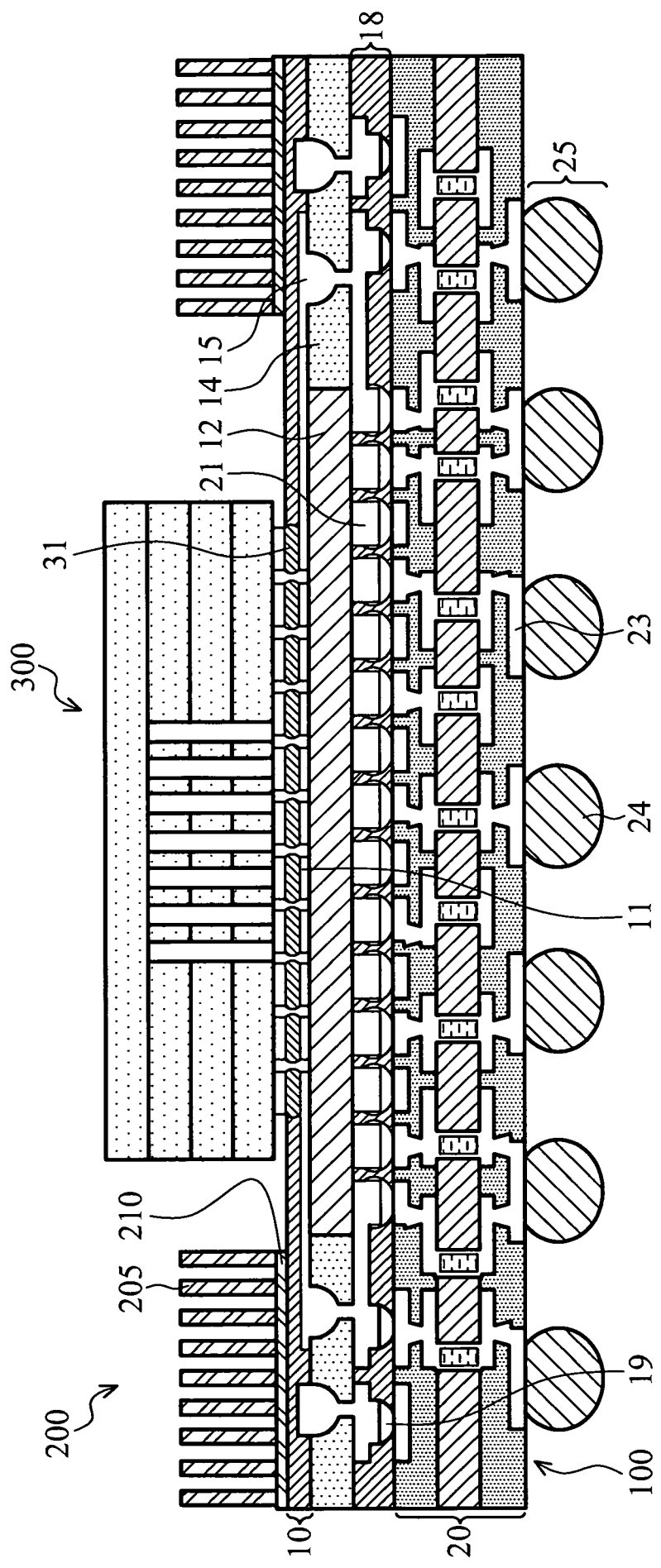
第 4C 圖



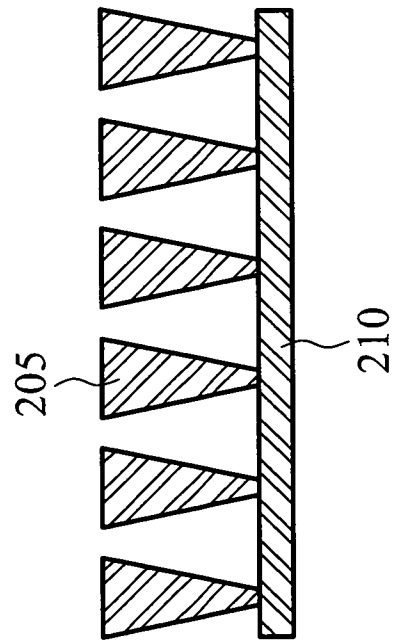
第 5 圖



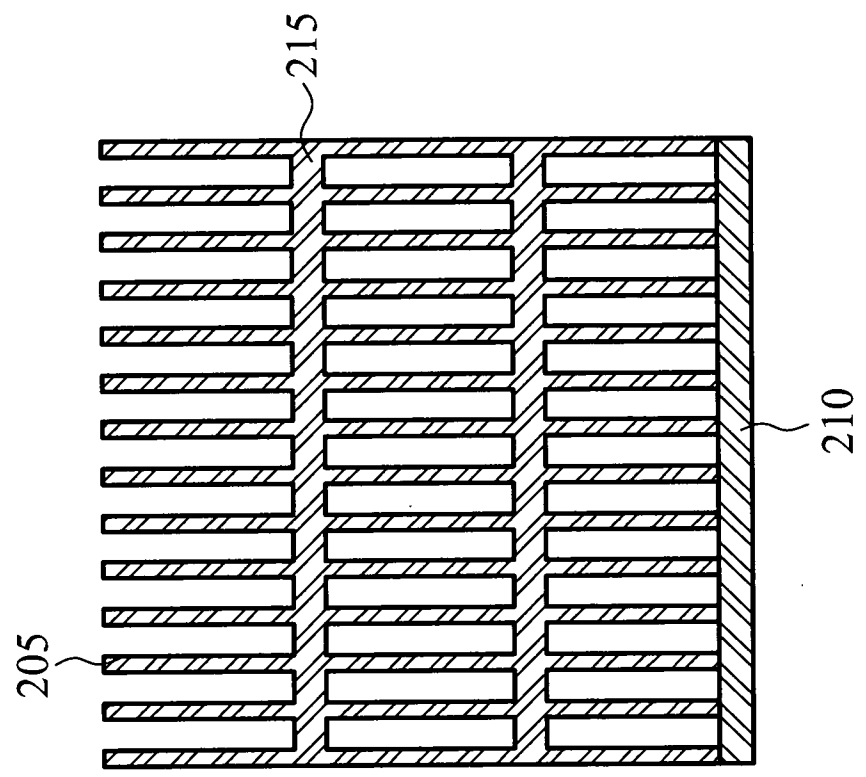
第6圖



第 7 圖



第 8A 圖



第 8B 圖