



# (12) 发明专利

(10) 授权公告号 CN 112017974 B

(45) 授权公告日 2023. 01. 13

(21) 申请号 201910454084.9

H01L 23/31 (2006.01)

(22) 申请日 2019.05.28

H01L 23/64 (2006.01)

(65) 同一申请的已公布的文献号

H01L 25/065 (2006.01)

申请公布号 CN 112017974 A

审查员 颜琳淑

(43) 申请公布日 2020.12.01

(73) 专利权人 开元通信技术(厦门)有限公司

地址 361026 福建省厦门市海沧区海沧大道555号厦门中心大厦E栋19楼

(72) 发明人 王伟 李平 彭彦豪 胡念楚 贾斌

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

专利代理师 周天宇

(51) Int. Cl.

H01L 21/56 (2006.01)

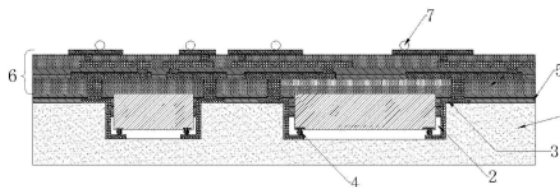
权利要求书2页 说明书8页 附图5页

(54) 发明名称

一种芯片封装结构及封装方法

(57) 摘要

一种芯片封装结构及封装方法,结构包括:晶圆(1),晶圆(1)中设置有凹槽(2);第一金属线(3),设置在凹槽(2)和晶圆(1)的表面;金属焊球(4),设置在第一金属线(3)或芯片的金属pad上,用于将芯片的金属pad焊接至第一金属线(3),以将芯片倒装至凹槽(2)中;第一塑封膜(5),覆盖在晶圆(1)、芯片、第一金属线(3)的上表面,并进入芯片功能区四周与第一金属线(3)之间的缝隙中,以在晶圆(1)、凹槽(2)和芯片之间形成密闭空腔;电感结构(6),设置在第一塑封膜(5)的上表面和/或晶圆(1)的下表面,并通过第一金属线(3)连接至芯片;焊盘(7),设置在电感结构(6)上。



1. 一种芯片封装结构,包括:

晶圆(1),所述晶圆(1)中设置有凹槽(2);

第一金属线(3),设置在所述凹槽(2)的侧表面、底部表面两侧以及所述晶圆(1)的上表面;

金属焊球(4),设置在所述第一金属线(3)或所述芯片的金属pad上,用于将所述芯片的金属pad焊接至所述第一金属线(3),以将所述芯片倒装至所述凹槽(2)中;

第一塑封膜(5),覆盖在所述晶圆(1)、芯片、第一金属线(3)的上表面,并进入所述芯片功能区四周与第一金属线(3)之间的缝隙中,以在所述晶圆(1)、凹槽(2)和芯片之间形成密闭空腔;

电感结构(6),设置在所述第一塑封膜(5)的上表面和/或所述晶圆(1)的下表面,并通过所述第一金属线(3)连接至所述芯片;

焊盘(7),设置在所述电感结构(6)上。

2. 根据权利要求1所述的芯片封装结构,其中,所述电感结构(6)由一组及以上的第二塑封膜(8)、第二金属线(9)和第三金属线(10)组成,所述第三金属线(10)按照预设形状设置在所述第二塑封膜(8)的第一表面,所述第二金属线(9)穿过所述第二塑封膜(8)的空窗,以依次连接每一组的所述第三金属线(10)。

3. 根据权利要求2所述的芯片封装结构,其中,所述电感结构(6)设置在所述第一塑封膜(5)的上表面,所述第一表面为上表面,所述第二金属线(9)穿过所述第一塑封膜(5)的空窗,以将第一组的所述第三金属线(10)连接至所述第一金属线(3)。

4. 根据权利要求2所述的芯片封装结构,其中,第一金属线引出线(3')穿过所述晶圆(1)的空窗并连接至所述第一金属线(3),所述电感结构(6)设置在所述晶圆(1)的下表面,并位于所述第一金属线引出线(3')的下表面,所述第一表面为下表面,第一组的所述第二金属线(9)与所述第一金属线引出线(3')连接,以将第一组的所述第三金属线(10)连接至所述第一金属线(3)。

5. 根据权利要求2所述的芯片封装结构,其中,所述芯片对应两个所述电感结构(6),分别设置在所述第一塑封膜(5)的上表面和所述晶圆(1)的下表面;

设置在所述第一塑封膜(5)上表面的电感结构(6)对应的所述第一表面为上表面,其第一组的所述第二金属线(9)穿过所述第一塑封膜(5)的空窗,以将其第一组的所述第三金属线(10)连接至所述第一金属线(3);

设置在所述晶圆(1)下表面的电感结构(6)对应的所述第一表面为下表面,第一金属线引出线(3')穿过所述晶圆(1)的空窗并连接至所述第一金属线(3),该电感结构(6)位于所述第一金属线引出线(3')的下表面,其第一组的所述第二金属线(9)与所述第一金属线引出线(3')连接,以将其第一组的所述第三金属线(10)连接至所述第一金属线(3)。

6. 根据权利要求1所述的芯片封装结构,其中,所述第一金属线(3)上表面的第一塑封膜(5)的厚度为20-50 $\mu\text{m}$ 。

7. 一种芯片封装方法,包括:

S1,在晶圆(1)中制备凹槽(2);

S2,在所述凹槽(2)的侧表面、底部表面两侧以及所述晶圆(1)的上表面制备第一金属线(3);

S3,在所述第一金属线(3)或所述芯片的金属pad上制备金属焊球(4),并通过所述金属焊球(4)将所述芯片的金属pad焊接至所述第一金属线(3)上,以将所述芯片倒装至所述凹槽(2)中;

S4,在所述晶圆(1)、芯片、第一金属线(3)的上表面制备第一塑封膜(5),使其进入所述芯片功能区四周与第一金属线(3)之间的缝隙中,以在所述晶圆(1)、凹槽(2)和芯片之间形成密闭空腔;

S5,在所述第一塑封膜(5)的上表面和/或所述晶圆(1)的下表面制备电感结构(6),并将所述电感结构(6)连接至所述第一金属线(3);

S6,在所述电感结构(6)上制备焊盘(7)。

8.根据权利要求7所述的芯片封装方法,所述电感结构(6)设置在所述第一塑封膜(5)的上表面,所述步骤S5包括:

S51,在所述第一塑封膜(5)的上表面制备第二塑封膜(8);

S52,对所述第二塑封膜(8)进行开窗;

S53,对所述第一塑封膜(5)进行开窗,以露出所述第一金属线(3);

S54,在开窗后的空窗中制备第二金属线(9),并按照预设形状在所述第二塑封膜(8)的上表面制备第三金属线(10);

S55,按照预设次数重复执行步骤S51、S52、S54。

9.根据权利要求7所述的芯片封装方法,所述电感结构(6)设置在所述晶圆(1)的下表面,所述步骤S5包括:

S51,对所述晶圆(1)的下表面进行开窗,以露出所述第一金属线(3),在所述晶圆(1)的空窗中制备第一金属引出线(3');

S52,在所述第一金属引出线(3')的下表面制备第二塑封膜(8);

S53,对所述第二塑封膜(8)进行开窗;

S54,在所述第二塑封膜(8)的空窗中制备第二金属线(9),并按照预设形状在所述第二塑封膜(8)的下表面制备第三金属线(10);

S55,按照预设次数重复执行步骤S52、S53、S54。

10.根据权利要求7所述的芯片封装方法,所述芯片对应两个所述电感结构(6),分别设置在所述第一塑封膜(5)的上表面和所述晶圆(1)的下表面,所述步骤S5包括:

S51,对所述晶圆(1)的下表面进行开窗,以露出所述第一金属线(3),在所述晶圆(1)的空窗中制备第一金属引出线(3');

S52,分别在所述第一塑封膜(5)的上表面和所述第一金属引出线(3')的下表面制备第二塑封膜(8);

S53,对所述第二塑封膜(8)进行开窗;

S54,对所述第一塑封膜(5)进行开窗;

S55,在开窗后的空窗中制备第二金属线(9),并按照预设形状分别在所述上、下表面的第二塑封膜(8)上制备第三金属线(10);

S56,按照预设次数重复执行步骤S52、S53、S55。

## 一种芯片封装结构及封装方法

### 技术领域

[0001] 本公开涉及半导体技术领域,具体地,涉及一种芯片封装结构及封装方法。

### 背景技术

[0002] 通信中的滤波器主要分为声表面波滤波器(Surface Acoustic Wave,SAW)和体声波滤波器(Bulk Acoustic Wave,BAW),BAW和SAW需要保证芯片功能区域不能接触任何杂质,即需要在滤波器上表面封装形成空腔结构。传统SAW通常在裸晶片上生长金属凸点,并倒焊于陶瓷基板上,再使用金属帽盖、顶部密封或包膜工艺密封模块,以形成空腔结构,但是陶瓷基板使得焊接成本高、封装体积大,器件安装的不稳定性使得器件性能不一。此外,还可以将SAW正面向下覆盖在印制电路板(Printed Circuit Board,PCB)基板上表面,通过金球将SAW与PCB基板电连接,环氧树脂封装膜覆盖在SAW与PCB基板的上部,以形成空腔结构,但是环氧树脂膜可能会被热压进芯片金属凸点内部,其覆盖面积会影响封装尺寸和封装强度,并且对SAW热压压力有极高的要求。BAW芯片的晶圆封装通常采用晶圆级封装(Wafer-level packaging,WLP)方案,但是WLP工艺过程复杂,需要两片晶圆键合,成本极高,并且还涉及到穿透硅通孔刻蚀、金金键合等复杂工艺,容易因工艺问题造成芯片失效,并且WLP不能直接进行多芯片集成封装。

[0003] 为了满足产品愈加复杂的系统功能,多芯片互联集成的封装技术发展较快,目前主流方案为:多个芯片水平并排分布并通过凸块焊接至基板,通过基板内部线路实现芯片间的信号互联,并对芯片进行塑封保护,将模块整体焊接至PCB,以实现产品的互联集成。该方法需要通过多层的布线转接以实现芯片间互联,并且基板金属层与介电层较厚而导致信号传输延迟、封装厚度厚、封装成本高等问题。

### 发明内容

[0004] (一)要解决的技术问题

[0005] 本公开提供了一种芯片封装结构及封装方法,以至少解决以上技术问题。

[0006] (二)技术方案

[0007] 本公开提供了一种芯片封装结构,包括:晶圆,所述晶圆中设置有凹槽;第一金属线,设置在所述凹槽的侧表面、底部表面两侧以及所述晶圆的上表面;金属焊球,设置在所述第一金属线或所述芯片的金属pad上,用于将所述芯片的金属pad焊接至所述第一金属线,以将所述芯片倒装至所述凹槽中;第一塑封膜,覆盖在所述晶圆、芯片、第一金属线的上表面,并进入所述芯片功能区四周与第一金属线之间的缝隙中,以在所述晶圆、凹槽和芯片之间形成密闭空腔;电感结构,设置在所述第一塑封膜的上表面和/或所述晶圆的下表面,并通过所述第一金属线连接至所述芯片;焊盘,设置在所述电感结构上。

[0008] 可选地,所述电感结构由一组及以下的第二塑封膜、第二金属线和第三金属线组成,所述第三金属线按照预设形状设置在所述第二塑封膜的第一表面,所述第二金属线穿过所述第二塑封膜的空窗,以依次连接每一组的所述第三金属线。

[0009] 可选地,所述电感结构设置在所述第一塑封膜的上表面,所述第一表面为上表面,所述第二金属线穿过所述第一塑封膜的空窗,以将第一组的所述第三金属线连接至所述第一金属线。

[0010] 可选地,第一金属线引出线穿过所述晶圆的空窗并连接至所述第一金属线,所述电感结构设置在所述晶圆的下表面,并位于所述第一金属线引出线的下表面,所述第一表面为下表面,第一组的所述第二金属线与所述第一金属线引出线(3')连接,以将第一组的所述第三金属线连接至所述第一金属线。

[0011] 可选地,所述芯片对应两个所述电感结构,分别设置在所述第一塑封膜的上表面和所述晶圆的下表面;设置在所述第一塑封膜上表面的电感结构对应的所述第一表面为上表面,其第一组的所述第二金属线穿过所述第一塑封膜的空窗,以将其第一组的所述第三金属线连接至所述第一金属线;设置在所述晶圆下表面的电感结构对应的所述第一表面为下表面,第一金属线引出线穿过所述晶圆的空窗并连接至所述第一金属线,该电感结构位于所述第一金属线引出线的下表面,其第一组的所述第二金属线与所述第一金属线引出线连接,以将其第一组的所述第三金属线连接至所述第一金属线。

[0012] 可选地,所述第一金属线上表面的第一塑封膜的厚度为20-50 $\mu\text{m}$ 。

[0013] 本公开还提供了一种芯片封装方法,包括:S1,在晶圆中制备凹槽;S2,在所述凹槽的侧表面、底部表面两侧以及所述晶圆的上表面制备第一金属线;S3,在所述第一金属线或所述芯片的金属pad上制备金属焊球,并通过所述金属焊球将所述芯片的金属pad焊接至所述第一金属线上,以将所述芯片倒装至所述凹槽中;S4,在所述晶圆、芯片、第一金属线的上表面制备第一塑封膜,使其进入所述芯片功能区四周与第一金属线之间的缝隙中,以在所述晶圆、凹槽和芯片之间形成密闭空腔;S5,在所述第一塑封膜的上表面和/或所述晶圆的下表面制备电感结构,并将所述电感结构连接至所述第一金属线;S6,在所述电感结构上制备焊盘。

[0014] 可选地,所述电感结构设置在所述第一塑封膜的上表面,所述步骤S5包括:S51,在所述第一塑封膜的上表面制备第二塑封膜;S52,对所述第二塑封膜进行开窗;S53,对所述第一塑封膜进行开窗,以露出所述第一金属线;S54,在开窗后的空窗中制备第二金属线,并按照预设形状在所述第二塑封膜的上表面制备第三金属线;S55,按照预设次数重复执行步骤S51、S52、S54。

[0015] 可选地,所述电感结构设置在所述晶圆的下表面,所述步骤S5包括:S51,对所述晶圆的下表面进行开窗,以露出所述第一金属线,在所述晶圆的空窗中制备第一金属引出线;S52,在所述第一金属引出线的下表面制备第二塑封膜;S53,对所述第二塑封膜进行开窗;S54,在所述第二塑封膜的空窗中制备第二金属线,并按照预设形状在所述第二塑封膜的下表面制备第三金属线;S55,按照预设次数重复执行步骤S52、S53、S54。

[0016] 可选地,所述芯片对应两个所述电感结构,分别设置在所述第一塑封膜的上表面和所述晶圆的下表面,所述步骤S5包括:S51,对所述晶圆的下表面进行开窗,以露出所述第一金属线,在所述晶圆的空窗中制备第一金属引出线;S52,分别在所述第一塑封膜的上表面和所述第一金属引出线的下表面制备第二塑封膜;S53,对所述第二塑封膜进行开窗;S54,对所述第一塑封膜进行开窗;S55,在开窗后的空窗中制备第二金属线,并按照预设形状分别在所述上、下表面的第二塑封膜上制备第三金属线;S56,按照预设次数重复执行步

骤S52、S53、S55。

[0017] (三)有益效果

[0018] 本公开提供的芯片封装结构及封装方法,至少具有以下有益效果:

[0019] (1)通过使用覆膜的方式对倒装焊接后的芯片进行密封以及高温固化,可以避免塑封膜进入芯片功能区,从而形成高可靠的空腔结构,并且可以利用凹槽结构固定芯片,提高了芯片抗机械冲击能力和封装气密性;

[0020] (2)对覆膜后的晶圆进行CMP减薄,可以消除主芯片晶圆在制造过程中薄片操作风险,降低工艺难度;

[0021] (3)通过在塑封后的晶圆表面重新金属布线,可实现电感电路集成,降低成本,并且通过多层金属布线,可以实现各种射频芯片综合阻抗匹配需求,实现集成化制造。

## 附图说明

[0022] 图1示意性示出了本公开实施例提供的芯片封装结构的示意图。

[0023] 图2示意性示出了本公开实施例提供的芯片封装方法的流程图。

[0024] 图3示意性示出了本公开实施例提供的凹槽单元在晶圆上的分布示意图。

[0025] 图4示意性示出了图3沿H-H'的横截面示意图。

[0026] 图5是所述封装方法中步骤S2制备第一金属线3的示意图。

[0027] 图6是所述封装方法中步骤S3制备金属焊球及倒装芯片的示意图。

[0028] 图7A和7B分别是所述封装方法中步骤S4制备第一塑封膜和减薄第一塑封膜的示意图。

[0029] 图8A、8B、8C及8D是所述封装方法中步骤S5和S6制备电感结构和焊盘的示意图。

[0030] 图9是另一种芯片封装结构示意图。

[0031] 图10是另一种芯片封装结构示意图。

[0032] 附图标记说明:

[0033] 1-晶圆;2-凹槽;3-第一金属线;3'-第一金属线引出线;4-金属焊球;5-第一塑封膜;6-电感结构;7-焊盘;8-第二塑封膜;9'-空窗;9-第二金属线;10-第三金属线;20-芯片A凹槽;21-芯片B凹槽;22-芯片C凹槽;23-多芯片凹槽单元;24-芯片A;25-芯片B;26-空腔。

## 具体实施方式

[0034] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明作进一步的详细说明。

[0035] 本公开的第一实施例示出了一种芯片封装结构,参阅图1、图3、图9和图10,对该芯片封装结构进行详细说明。

[0036] 芯片封装结构包括晶圆1、凹槽2、第一金属线3、金属焊球4、第一塑封膜5、电感结构6和焊盘7。

[0037] 晶圆1的材料为硅、玻璃、蓝宝石、陶瓷或以硅、玻璃、蓝宝石、陶瓷为主的混合材料中的一种。凹槽2设置在晶圆1中,进一步地,如图3所示,晶圆1中可以有多组多芯片凹槽单元23,每组多芯片凹槽单元23中可以有多组凹槽,分别用于集成封装不同的芯片 $A_1$ 、 $A_2$ 、…… $A_n$ ,本实施例中仅以每组凹槽单元包含芯片A凹槽20、芯片B凹槽21和芯片C凹槽22为例,可

以理解的是,多芯片凹槽单元23中也可以包含其他尺寸和数量的芯片凹槽。凹槽2的深度不大于其对应的芯片的高度。

[0038] 第一金属线3设置在凹槽2的侧表面、底部表面两侧以及晶圆1的上表面。金属焊球4设置在第一金属线3上或者设置在芯片的金属pad上,具体地,设置在凹槽2底部表面两侧的第一金属线3上或者设置在芯片的金属pad上,金属焊球4应与芯片的金属硅片的管脚(pad)对准,或者金属焊球4应与凹槽2底部表面两侧的第一金属线3对准,使得芯片的金属pad能通过金属焊球4对准焊接至凹槽2底部表面两侧的第一金属线3上,以将芯片倒装至凹槽2中。

[0039] 第一塑封膜5覆盖在晶圆1、芯片、第一金属线3的上表面,并且进入到芯片功能区四周与第一金属线3之间的缝隙中,以在晶圆1、凹槽2和芯片之间形成密闭空腔。第一金属线3上表面的第一塑封膜5的厚度为20-50 $\mu\text{m}$ ,以防止露出第一金属线3。

[0040] 电感结构6设置在第一塑封膜5的上表面和/或晶圆1的下表面,并通过第一金属线3连接至芯片。所述电感结构6由一组及以上的第二塑封膜8、第二金属线9和第三金属线10组成,并且每一组的第三金属线10的形状可以有所区别,以实现相应的滤波效果。电感结构6包含三种结构,分别如图1、图9和图10所示。

[0041] 参阅图1,电感结构6设置在第一塑封膜5的上表面。具体地,第二塑封膜8中设置有穿过其中的空窗,该空窗可露出第三金属线10,并且第一塑封膜5中也设置有穿过其中的空窗,该空窗可露出晶圆1上表面的第一金属线3;第三金属线10按照预设形状设置在第二塑封膜8的上表面;第二金属线9穿过第二塑封膜8的空窗,以依次连接每一组的第三金属线10,并且第一组的第二金属线9还穿过第一塑封膜5的空窗,以将第一组的第三金属线10连接至第一金属线3,从而将电感结构6连接至芯片。

[0042] 参阅图9,电感结构6设置在晶圆1的下表面。具体地,第二塑封膜8中设置有穿过其中的空窗,该空窗可露出第三金属线10,并且晶圆1中也设置有穿过其中的空窗,该空窗可露出凹槽2底部表面两侧的第一金属线3;第三金属线10按照预设形状设置在第二塑封膜8的下表面;第二金属线9穿过第二塑封膜8的空窗,以依次连接每一组的第三金属线10,并且还设置有第一金属线引出线3',该第一金属线引出线3'穿过晶圆1的空窗,第一组的第二金属线9与第一金属线引出线3'连接,以通过第一金属线引出线3'和第二金属线9将第一组的第三金属线10连接至第一金属线3,从而将电感结构6连接至芯片。可以理解的是,此结构下,也可以不用在晶圆1上表面设置第一金属线3,即仅在凹槽2的底部表面两侧设置第一金属线3。

[0043] 参阅图10,为了满足更复杂的电路连接需求,可以在第一塑封膜5的上表面和晶圆1的下表面均设置电感结构6。具体地,晶圆1的下表面设置有第一金属线引出线3',晶圆1下表面设置有穿过其中的空窗,该空窗可露出凹槽2底部表面两侧的第一金属线3;晶圆1下表面的第二塑封膜8中设置有穿过其中的空窗,该空窗可露出晶圆1下表面的第三金属线10,同时也露出晶圆1下表面的第一金属线引出线3';晶圆1上表面(具体为第一塑封膜5上表面)的第二塑封膜8中设置有穿过其中的空窗,晶圆1上表面的第一塑封膜5中也设置有穿过其中的空窗,该空窗可露出晶圆1上表面的第一金属线3;设置在第一塑封膜5上表面的电感结构6中的第三金属线10按照预设形状设置在第二塑封膜8的上表面,设置在晶圆1下表面的电感结构6中的第三金属线10按照预设形状设置在第二塑封膜8的下表面;第二金属线9

穿过第二塑封膜8的空窗,以依次连接每一组的第三金属线10,两个电感结构6中第一组的第二金属线9还分别穿过第一塑封膜5的空窗和第二塑封膜8的空窗,以分别将其第一组的第三金属线10连接至第一金属线3和第一金属线引出线3',从而将两种电感结构6连接至芯片。

[0044] 焊盘7设置在电感结构6上,具体地,设置在电感结构6最后一组的第三金属线10上。

[0045] 本公开的第二实施例示出了一种芯片封装方法,如图2所示,结合图3至图10,对该封装方法进行详细说明,主要包括以下操作:

[0046] S1,在晶圆1中制备凹槽2。

[0047] 晶圆1的材料为硅、玻璃、蓝宝石、陶瓷或以硅、玻璃、蓝宝石、陶瓷为主的混合材料中的一种。本实施例中采用玻璃晶圆作为芯片载板和封装材料,与使用陶瓷基板、塑料基板、硅片金键合晶圆级封装结构相比,极大地降低了材料成本。

[0048] 在晶圆1中制备凹槽2,参阅图3,晶圆1中可以有多组凹槽单元,每组凹槽单元中可以有多组凹槽,分别用于集成封装不同的芯片 $A_1$ 、 $A_2$ 、……、 $A_n$ ,本实施例中仅以每组凹槽单元包含A、B、C三种芯片凹槽为例,可以理解的是,凹槽单元中也可以包含其他尺寸和数量的芯片凹槽。凹槽2的深度不大于其对应的芯片的高度。

[0049] 本实施例中仅以每组凹槽单元包含A、B、C三种芯片为例,并以沿图3中的H-H'方向的横截面为例,其示意图如图4所示,图4中包含多组凹槽单元,每一组凹槽单元中有两个凹槽,分别为芯片A凹槽20和芯片B凹槽21。

[0050] S2,在凹槽2的侧表面、底部表面两侧以及晶圆1的上表面制备第一金属线3。

[0051] 参阅图5,采用金属溅射、光刻、刻蚀或LIF-OFF工艺制备第一金属线3。

[0052] S3,在第一金属线3或芯片的金属pad上制备金属焊球4,并通过金属焊球4将芯片的金属pad焊接至第一金属线3上,以将芯片倒装至凹槽2中。

[0053] 参阅图6,在凹槽2底部表面两侧的第一金属线3上制备金属焊球4。采用超声热压键合或热压键合,将芯片A和芯片B分别倒装至其对应的芯片A凹槽20和芯片B凹槽21,使芯片A和芯片B的金属pad与凹槽2内的金属焊球4对准焊接。

[0054] 此外,也可以在芯片A和芯片B上形成金属焊球4,然后通过金属焊球4将芯片A和芯片B焊接至凹槽2内的金属pad上。

[0055] 可以理解的是,可以依据该操作S3将所有待封装芯片 $A_1$ 、 $A_2$ 、……、 $A_n$ 倒装至凹槽2中。

[0056] S4,在晶圆1、芯片、第一金属线3的上表面制备第一塑封膜5,使其进入芯片功能区四周与第一金属线3之间的缝隙中,以在晶圆1、凹槽2和芯片之间形成密闭空腔26。

[0057] 首先,采用热压方式在晶圆1上、芯片、第一金属线3的上表面贴附封装膜(即第一塑封膜5),该第一塑封膜5可以为一层膜,也可以为多层膜。本实施例中,预先在晶圆1上形成适合各类芯片的凹槽2,并使用覆膜的方式对倒装焊接后的芯片进行密封,同时形成芯片功能区域的空腔结构。通过控制晶圆1凹槽深度和宽度,以及控制精确对准倒装,可以使芯片周围与凹槽2之间预留相对很窄的缝隙,控制操作S4的覆膜压力和温度,可以精确控制塑封膜进入上述缝隙的深度,并完全避免塑封膜进入芯片功能区,形成高可靠的空腔结构。

[0058] 其次,进行高温固化,以在晶圆1中凹槽2表面和芯片功能区之间形成密闭空腔结

构,如图7A所示。操作S4中进行了高温固化,对塑封膜进行了塑封固化,可以将芯片固定在封装结构内,使得芯片在封装结构内不易移动,大大增加了芯片的抗机械冲击能力和封装气密性,提升了芯片的可靠性。

[0059] 然后,对晶圆1的塑封面(即第一塑封膜5)进行CMP减薄,并控制减薄厚度,使减薄停止在晶圆1上表面的第一金属线3之上,优选地,使第一金属线3上预留20—50 $\mu\text{m}$ 厚度的第一塑封膜5,如图7B所示。在各个芯片倒装塑封至晶圆1的凹槽2后,对晶圆1的塑封面进行CMP减薄,可以省去主芯片晶圆在制造过程中的减薄工艺,消除主芯片晶圆在制造过程中薄片操作风险,降低其工艺难度;并且由于限制了凹槽深度,减薄时芯片嵌入凹槽内部,因此可实现超薄封装。

[0060] S5,在第一塑封膜5的上表面和/或晶圆1的下表面制备电感结构6,并将电感结构6连接至第一金属线3。

[0061] 本实施例中的封装方法针对第一实施例中示出的三种芯片封装结构,因此操作S5分为三种情况:

[0062] (1)在第一塑封膜5上表面制备电感结构6,操作S5包括以下子操作:

[0063] S51,在减薄后的第一塑封膜5的上表面覆盖一层第二塑封膜8,并进行高温固化,如图8A所示。

[0064] S52,采用光刻刻蚀工艺,对第二塑封膜8进行开窗。

[0065] S53,采用光刻刻蚀工艺,对第一塑封膜5进行开窗,以露出晶圆1上表面的第一金属线3,如图8B所示。

[0066] S54,采用金属溅射、电镀或蒸镀工艺,在开窗后的空窗9'中形成金属层(即第二金属线9),以引出窗口下面的金属线;然后利用光刻刻蚀工艺或LIFT-OFF工艺在第二塑封膜8上表面进行金属重新布线,以按照预设形状在第二塑封膜8的上表面制备第三金属线10,如图8C所示。

[0067] S55,按照预设次数重复操作S51、S52、S54,以形成多层金属布线,用于制造滤波器电路所需的电感结构。此外,该操作中也可以用沉积介电层来代替操作S51中覆盖第二塑封膜8,如图8D所示。

[0068] (2)在晶圆1下表面制备电感结构6,形成的芯片封装结构如图9所示。操作S5包括以下子操作:

[0069] S51,对晶圆1的下表面进行开窗,以露出第一金属线3,在晶圆1的空窗中制备第一金属线引出线3'。

[0070] S52,在晶圆1的上表面和下表面覆盖一层第二塑封膜8,并进行高温固化。

[0071] S53,采用光刻刻蚀工艺,对晶圆1下表面的第二塑封膜8进行开窗,并露出晶圆1下表面第一金属线引出线3'。

[0072] S54,采用金属溅射、电镀或蒸镀工艺,在开窗后的空窗中形成金属层(即第二金属线9),以引出窗口上面的金属线;然后利用光刻刻蚀工艺或LIFT-OFF工艺在第二塑封膜8下表面进行金属重新布线,以按照预设形状在第二塑封膜8的下表面制备第三金属线10。

[0073] S55,按照预设次数重复操作S52、S53、S54,以形成多层金属布线,用于制造滤波器电路所需的电感结构。此外,该操作中也可以用沉积介电层来代替操作S51中覆盖第二塑封膜8。

[0074] (3) 分别在第一塑封膜5上表面和晶圆1下表面制备电感结构6,形成的芯片封装结构如图10所示。操作S5包括以下子操作:

[0075] S51,对晶圆1的下表面进行开窗,以露出第一金属线3,在晶圆1的空窗中制备第一金属线引出线3'。

[0076] S52,分别在减薄后的第一塑封膜5的上表面和晶圆1的第一金属线引出线3'的下表面覆盖一层第二塑封膜8,并进行高温固化。

[0077] S53,采用光刻刻蚀工艺,分别对上表面和下表面的第二塑封膜8进行开窗,此时,已露出晶圆1下表面的第一金属线引出线3'。

[0078] S54,采用光刻刻蚀工艺,对上表面的第一塑封膜5进行开窗,以露出晶圆1上表面的第一金属线3。

[0079] S55,采用金属溅射、电镀或蒸镀工艺,在开窗后的空窗中形成金属层(即第二金属线9),以分别引出窗口上面和下面的金属线;然后利用光刻刻蚀工艺或LIFT-OFF工艺在第二塑封膜8(该第二塑封膜8位于第一塑封膜5之上)上表面和第二塑封膜8(该第二塑封膜8位于晶圆1下面的第一金属线引出线3'之下)下表面进行金属重新布线,以按照预设形状在第二塑封膜8的上表面(该第二塑封膜8位于晶圆1之下)和第二塑封膜8(该第二塑封膜8位于晶圆1下面的第一金属线引出线3'之下)下表面制备第三金属线10。

[0080] S56,按照预设次数重复操作S52、S53、S55,以形成多层金属布线,用于制造滤波器电路所需的电感结构。此外,该操作中也可以用沉积介电层来代替操作S51中覆盖第二塑封膜8。

[0081] 在操作S5中,在塑封后的晶圆表面重新金属布线,可以实现电感电路集成,从而免去成本高昂、工艺过程复杂的基板制造过程。本实施例中,制备了多芯片凹槽,多芯片塑封后,在晶圆表面进行重新金属布线,可以满足各类不同芯片的集成封装需求,并且可以通过合理的规划以极大减少封装面积,实现极小尺寸超薄封装。

[0082] 此外,在各种不同芯片集成封装后进行多层金属布线,可以实现各种射频芯片综合阻抗匹配需求,实现射频前端芯片模块化、集成化制造,降低用户使用的调试工作。

[0083] 还需要说明的是,本实施例中的第二塑封膜8还可以用环氧树脂黑胶或玻璃膜代替。

[0084] S6,在电感结构6上制备焊盘7。

[0085] 在最后一层金属布线上制备金属凸块或焊盘7,并对晶圆1上的多芯片模块进行划片切割、测试及成品包装。

[0086] 由此,已对本公开提供的芯片封装结构及封装方法进行了详细的说明,其主要适用于多芯片扇出型系统级封装,可以形成性能可靠的空腔封装结构,尤其适用于声波滤波器、麦克风等需要在表面形成空腔结构的微机电系统(Micro-Electro-Mechanical System, MEMS)器件封装。本公开的封装结构和方法还能实现多芯片重新布线,并能实现多芯片系统集成电感布线功能;此外,还能实现多芯片在切割倒装后同时减薄功能,避免了芯片薄片加工风险导致的工艺异常,最终实现超薄封装。

[0087] 以上所述的具体实施例,对本公开的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本公开的具体实施例而已,并不用于限制本公开,凡在本公开的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本公开的保

护范围之内。

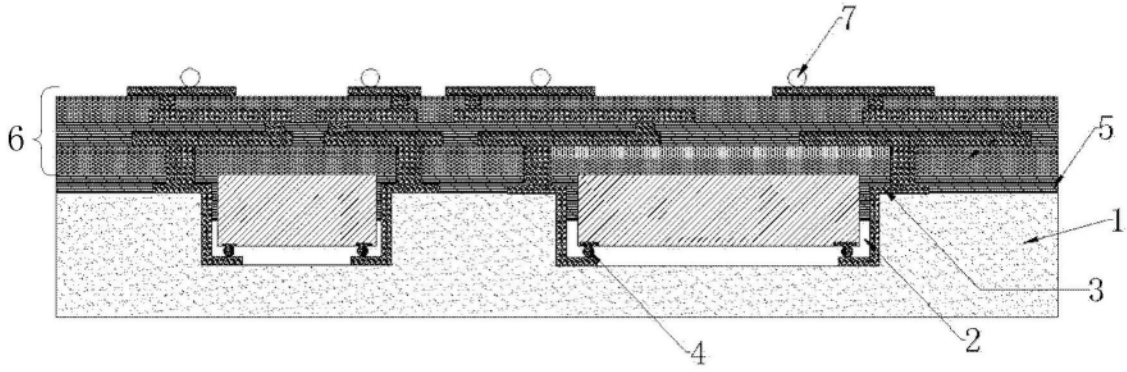


图1

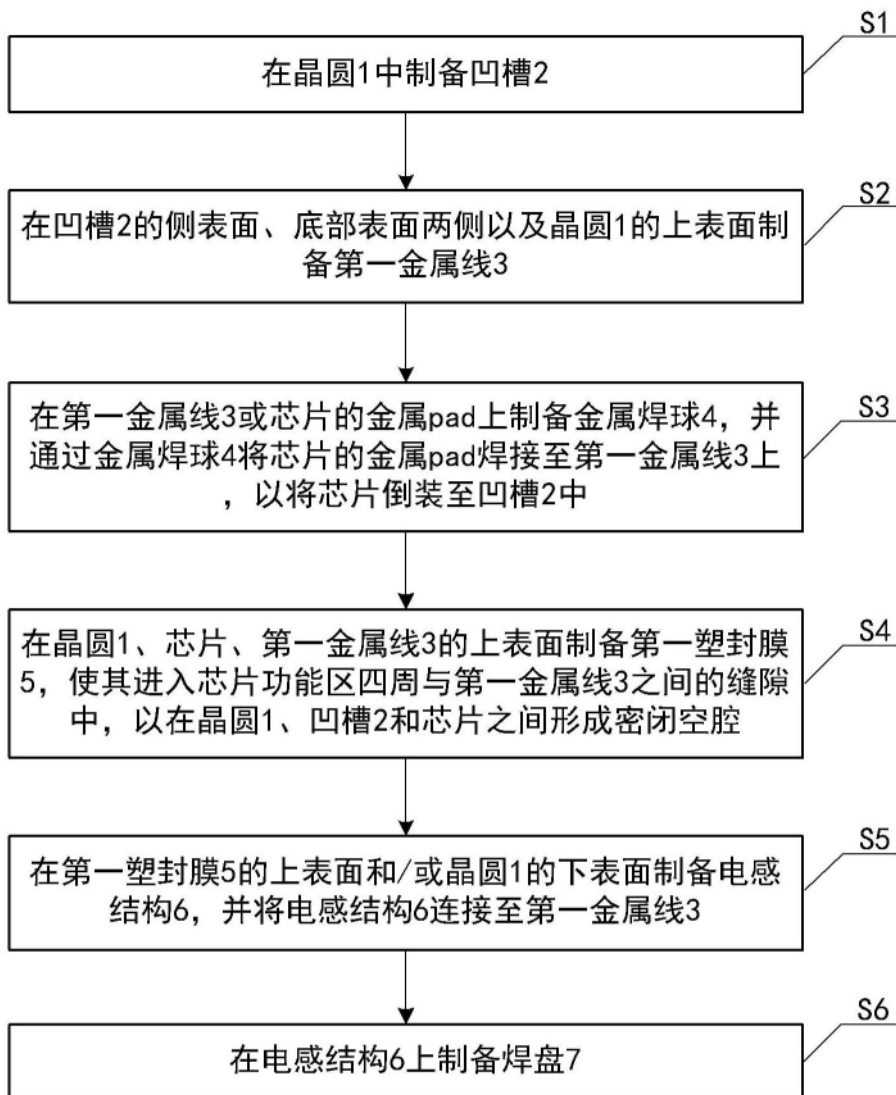


图2

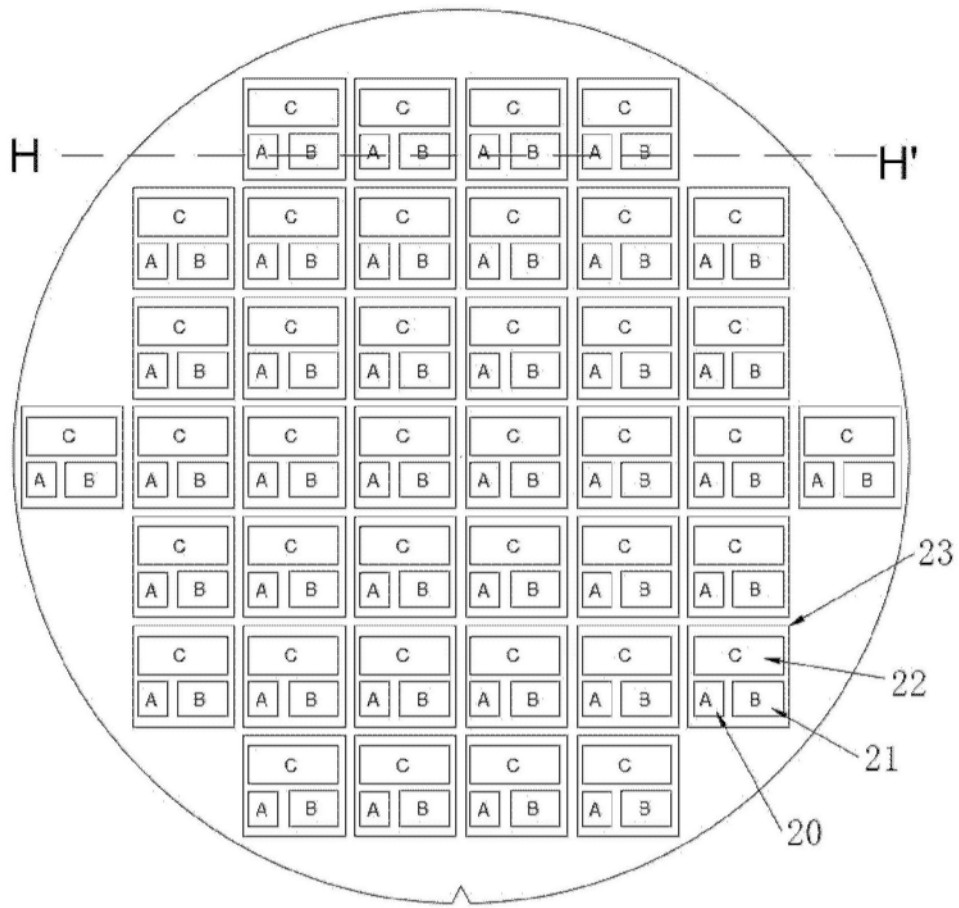


图3

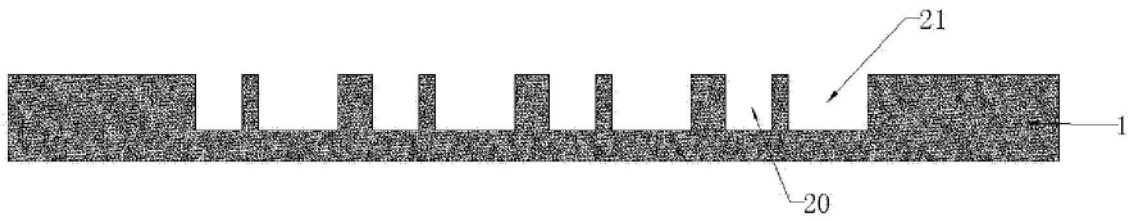


图4

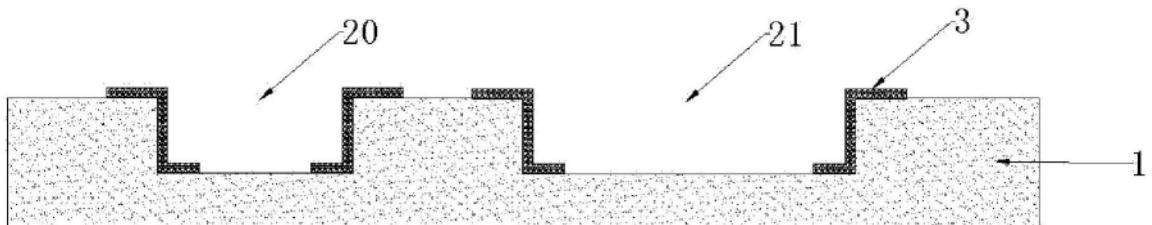


图5

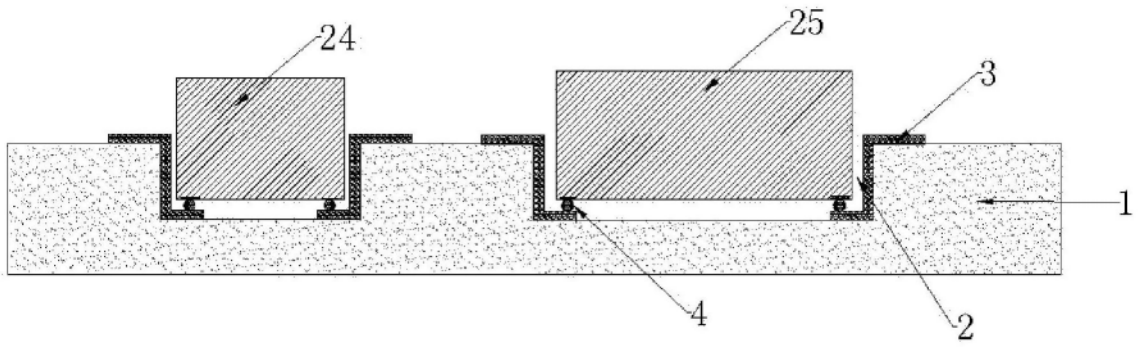


图6

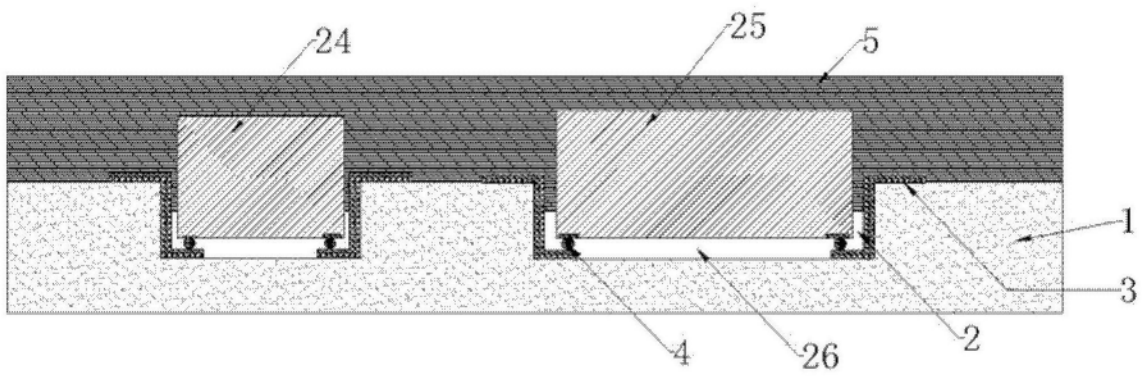


图7A

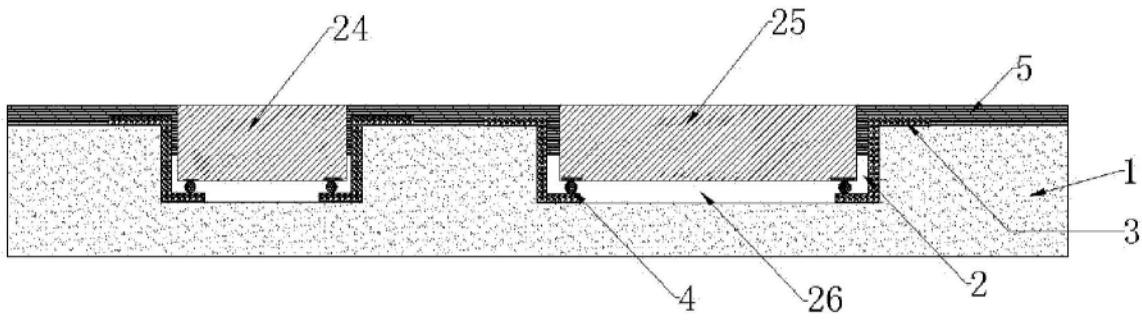


图7B

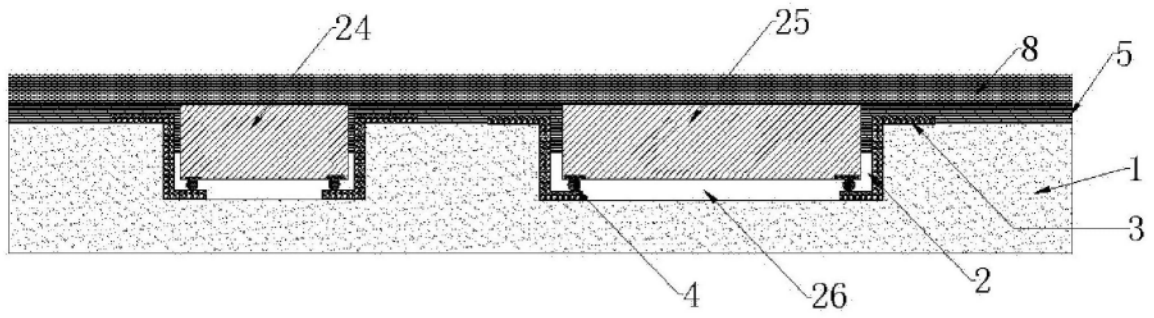


图8A

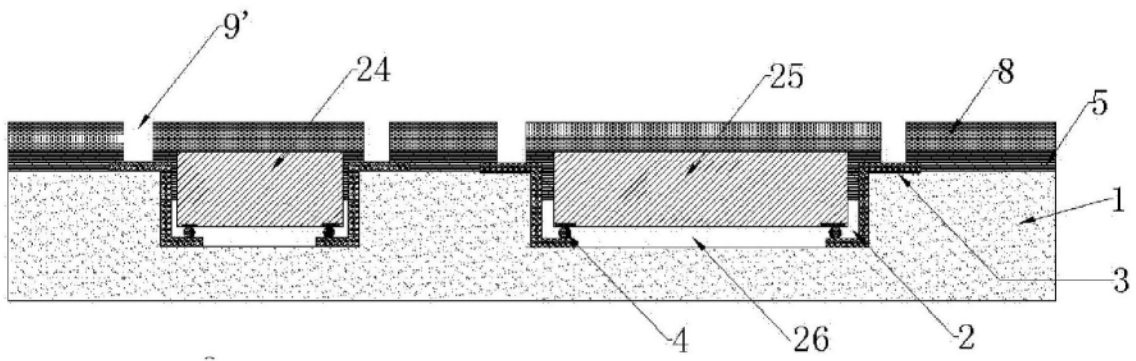


图8B

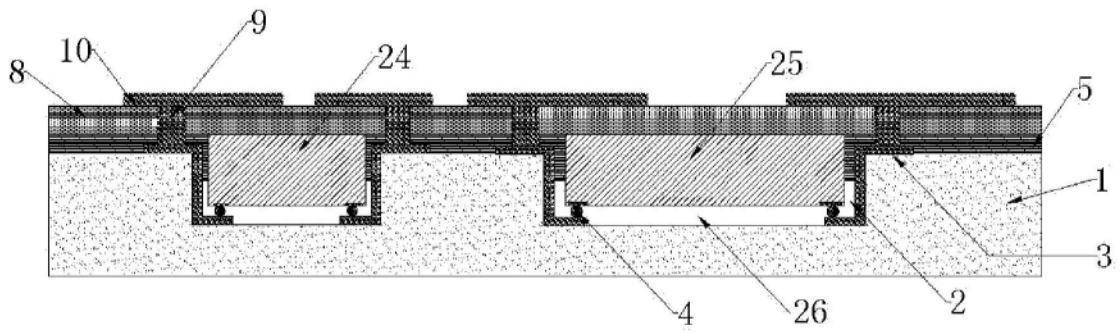


图8C

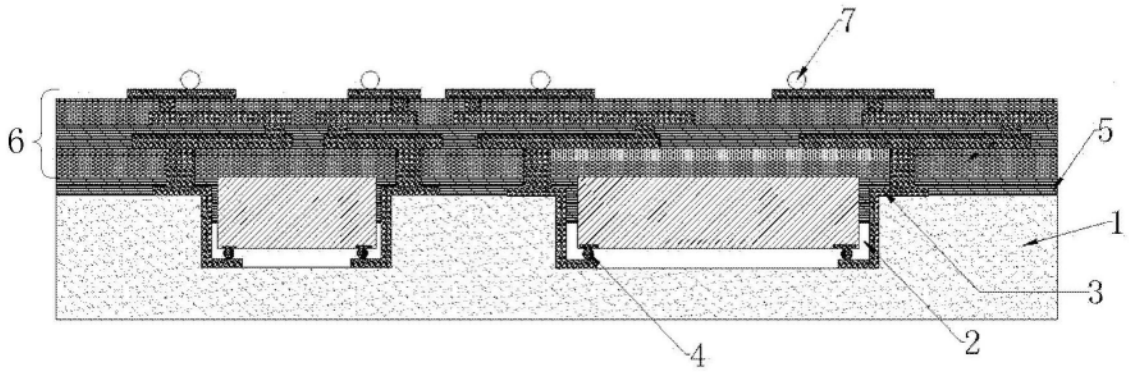


图8D

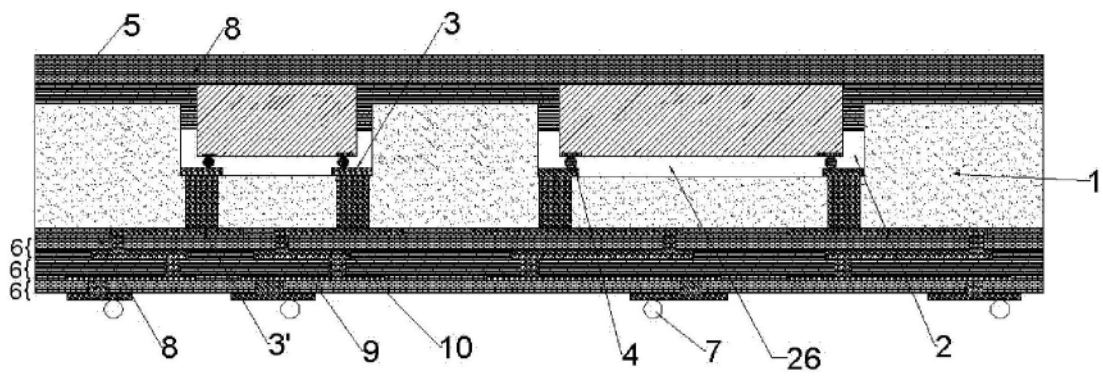


图9

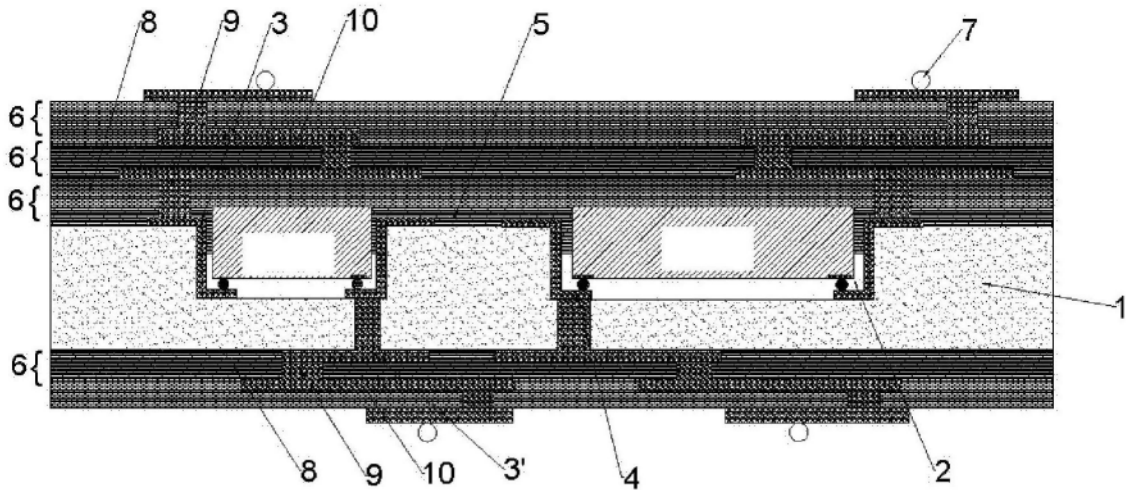


图10