

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096123244

※ 申請日期：96.6.27 ※IPC分類：H01L 29/786 (2006.01)

27/092 (2006.01)

21/8238 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法/ SEMICONDUCTOR DEVICE  
AND MANUFACTURING METHOD OF THE SAME

二、申請人：(共2人)

申請人1.

姓名或名稱：(中文/英文) (簽章)

國立大學法人 東北大學

NATIONAL UNIVERSITY CORPORATION TOHOKU  
UNIVERSITY

代表人：(中文/英文) (簽章) 井上 明久 / INOUE, AKIHISA

住居所或營業所地址：(中文/英文)

日本國宮城縣仙台市青葉區片平二丁目1番1號

1-1, Katahira 2-chome, Aoba-ku, Sendai-shi, Miyagi, Japan

國籍：(中文/英文) 日本 JP

申請人2.

姓名或名稱：(中文/英文) (簽章)

財團法人國際科學振興財團

FOUNDATION FOR ADVANCEMENT OF  
INTERNATIONAL SCIENCE

代表人：(中文/英文) (簽章) 大竹 美喜 / OTAKE, YOSHIKI

住居所或營業所地址：(中文/英文)

日本國茨城縣筑波市赤塚字牛之淵 586-9

586-9, Aza Ushigafuchi, Akatsuka, Tsukuba-shi, Ibaraki, Japan

國籍：(中文/英文) 日本 JP

三、發明人：(共3人)

1.姓名：(中文/英文) 大見 忠弘 / OHMI, TADAHIRO

國籍：(中文/英文) 日本 JP

2.姓名：(中文/英文) 寺本 章伸 / TERAMOTO, AKINOBU

國籍：(中文/英文) 日本 JP

3.姓名：(中文/英文) 程 煒濤 / CHENG, WEITAO

國籍：(中文/英文) 中國 CN

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事  
實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 受理國家(地區)：日本 JP

申請日期：2006年6月27日

申請案號：特願 2006-176945

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明提供一種電晶體，其藉由調整支持 SOI 層的矽基板的雜質濃度，以及控制在與 SOI 層接觸的矽基板表面上所形成的嵌入絕緣層之厚度，而可調整其閾值電壓。

## 六、英文發明摘要：

A transistor is obtained in which a threshold value is adjusted by adjusting an impurity concentration of a silicon substrate supporting a SOI layer and by controlling the thickness of a buried insulating layer formed on a surface of the silicon substrate and contacted with the SOI layer.

七、指定代表圖：

(一)本案指定代表圖為：第( 8 )圖。

(二)本代表圖之元件符號簡單說明：

- 20 P型矽基板
- 22 SOI層
- 24 嵌入絕緣層
- 26 閘極絕緣膜
- 28 閘極電極
- 221 源極區域
- 222 汲極區域
- 223 通道區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於 IC、LSI 等之半導體裝置，尤關於累積型 MOS 電晶體。

### 【先前技術】

有關上述的半導體裝置，在本案發明人等已提出的日本發明專利申請案第 2005-349857 號（專利文獻 1）中有記載此種半導體裝置。在專利文獻 1 中提議一種半導體裝置，其包含具有至少一對不同導電型之電晶體的電路，此對電晶體中的至少一者，係至少包含設於 SOI 基板上的半導體層、覆蓋著該半導體層的表面之至少一部份的閘極絕緣膜、及形成於該閘極絕緣膜上之閘極電極，以形成為常關型（normally-off 型）之累積型（Accumulation），此半導體裝置中，適當選擇閘極電極之材料以及半導體層的雜質濃度，以使藉由閘極電極與半導體層兩者間的功函數差，而形成於半導體層上的空乏層厚度大於半導體層之厚度。

並且，專利文獻 1 中揭露：為使構成 CMOS 電晶體的 p 通道電晶體與 n 通道電晶體之電流驅動能力為相等，藉由使用矽之（110）面，能將 p 通道電晶體之電流驅動能力提高。依此構造，可將 n 通道電晶體與 p 通道電晶體之切換速度為實質相等，同時使通道區域上所形成電極之佔有面積為實質相等。

【專利文獻 1】日本發明專利申請案第 2005-349857 號

### 【發明內容】

#### 發明所欲解決之問題

專利文獻 1 中揭露，藉由閘極電極與 SOI 層之功函數差，使累積型 MOS 電晶體成為常關型。例如，在含有  $10^{20}$

$\text{cm}^{-3}$  以上硼之多晶矽上形成閘極電極時，P+多晶矽之功函數約為  $5.15\text{eV}$ ，且若將 SOI 層係雜質濃度  $10^{17}\text{cm}^{-3}$  的 n 型矽層，其功函數約為  $4.25\text{eV}$ ，因此產生約  $0.9\text{eV}$  的功函數差。此時，空乏層之厚度約為  $90\text{nm}$ ，假設將 SOI 層之厚度設為  $45\text{nm}$ ，SOI 層則完全空乏化而可得常關型的電晶體。

然而，此構造具有一個缺點，則閘極電極所能使用的材料會受限制。例如，欲將 Ta 作為閘極電極之原料，由於其功函數為  $4.6\text{eV}$ ，與 SOI 層之功函數之差為微小，因此難適用之。加上，在累積型 MOS 電晶體中，在電晶體係 On 時，除在累增層的電流外，於 SOI 層整體內會有基板電流流過，因此為使電晶體的電流驅動能力提高，需要將 SOI 層中雜質濃度提高。SOI 層的雜質濃度愈高，則 SOI 層整體的基板電流愈大，且  $1/f$  雜訊也愈低。如此，對累積型 MOS 電晶體而言，使 SOI 層為高雜質濃度為較佳，但是，假設將 SOI 層的雜質濃度增大 1 個位數，空乏層的厚度則會變成  $1/4\sim 1/7$ 。所以，必須將 SOI 層的膜厚減薄，如此又使 SOI 層整體的基板電流降低，結果將閘極電極之材料改為其與 SOI 層之間之功函數差為更大者。如此會使電晶體之閾值電壓為增大，以致難以低電源電壓之下驅動。

本發明係鑑於上述情形而完成的，其目的在於：提供可降低閾值電壓，且可小型化之半導體裝置。

本發明之具體的目的在於：提供累積型半導體裝置，即使使用了其與 SOI 層之間之功函數差不大的閘極電極，仍可使其為常關型之半導體裝置。

本發明的另一個目的在於：提供累積型半導體裝置，其為即使提高了 SOI 層之雜質濃度，也不需要提高閾值電壓而使其為常關型。

本發明的另一個目的在於：提供藉由閘極電極與 SOI 層之間的功函數差除外，能控制 SOI 層之空乏層厚度的新穎方法。

本發明的另一個目的在於：提供能降低閾值電壓之半導體裝置之製造方法。

#### 解決問題之方式

依本發明的第一實施態樣，提供一種由一基板所形成之半導體裝置，該基板至少包含，第一半導體區域、形成於前述第一半導體區域上的嵌入絕緣層、形成於前述嵌入絕緣層上的第二半導體區域，前述第二半導體區域的至少一部份為通道區域，其上面具備閘極絕緣膜以及閘極電極，其中，藉由前述嵌入絕緣層之厚度以及前述第一半導體區域之雜質濃度，以控制前述通道區域的空乏層之厚度。

依本發明之第二實施態樣，提供一種半導體裝置，其具備閾值電壓，該閾值電壓得依賴前述嵌入絕緣層之厚度以及前述第一半導體區域之雜質濃度。

依本發明之第三實施態樣，提供一種半導體裝置，包含源極區域以及汲極區域，其與前述通道區域電連接，其中，前述閘極電極的至少一部份係由與前述通道區域具有不同功函數的材料所構成，且前述通道區域之空乏層的厚度，係取決於前述閘極電極與通道區域的功函數差、前述第一半導體區域的雜質濃度以及由前述嵌入絕緣層之厚度的調整。此時，前述第二半導體區域之雜質濃度為  $10^{17} \text{ cm}^{-3}$  以上為較佳，更佳為  $2 \times 10^{17} \text{ cm}^{-3}$  以上。

依本發明之第四實施態樣，提供一種半導體裝置，其中，前述閾值電壓小於藉由前述閘極電極以及前述通道區域之間功函數差所決定之閾值電壓。

依本發明之第五實施態樣，提供一種半導體裝置，其中，前述第一半導體區域與第二半導體區域互為相反導電型的矽。

依本發明之第六實施態樣，提供一種半導體裝置，其中，前述通道區域、前述源極區域以及前述汲極區域，係由相同導電型之累積型。

依本發明之第七實施態樣，提供一種常關型之半導體裝置。

依本發明的第八實施態樣，提供一種半導體裝置，其中，前述嵌入絕緣層的厚度為 20nm 以下，並且滿足如下式者為較佳。

$$0.56T_{\text{SOI}} < T_{\text{BOX}} < 1.17T_{\text{SOI}}$$

在此， $T_{\text{BOX}}$  表示前述嵌入絕緣層的 EOT (Effective Oxide Thickness, 即是  $\text{SiO}_2$  換算膜厚)， $T_{\text{SOI}}$  則表示前述第二半導體區域之厚度。

依本發明之第九實施態樣，提供一種半導體裝置之製造方法，此半導體裝置形成於具有被嵌入的氧化層之基板上，且具備閘極電極與閾值電壓，其中，藉由調整基板的雜質濃度，以控制前述閾值電壓。

依本發明之第十實施態樣，提供一種半導體裝置之製造方法，其中，前述基板的雜質濃度係藉由離子注入以調整之。

依本發明之其他實施態樣，提供一種半導體裝置，包含閘極電極，其係隔著閘極絕緣膜而形成於具有兩個主面之半導體層的其中一方之主面上，在前述半導體層的另一方主面上，包含隔著嵌入絕緣層所設置之導電層，其中，前述半導體層的至少一部份為通道區域，且前述嵌入絕緣層之厚度為 20nm 以下，藉由前述閘極電極材料與前述半導體層之間的功函數差，以及前述導電層與前述半導體層之間的功函數差，

以使前述通道區域之空乏層的厚度大於前述半導體層之厚度。

### 發明效果

依本發明，提供半導體裝置，其係將嵌入絕緣層的膜厚減薄，使以通道區域之空乏層之厚度減薄，並藉由基板側之半導體區域的雜質濃度予以控制的新穎的半導體裝置。尤其，在累積型的 MOSFET 中，藉由調整基板的雜質濃度，即使未由閘極電極與通道區域之間功函數差以控制，或者與此控制相乘其效果，可以不提高閾值電壓而實現常關型。本發明的優點在於，可提供具備較低的閾值電壓且小型化的半導體裝置。亦即，依本發明能構成高速又低電源電壓之半導體裝置。

### **【實施方式】**

以下將參照圖式詳細說明依本發明的較佳實施形態。

參照圖 1，顯示可適用本發明的累積型 MOS 電晶體以及反型 (Inversion) MOS 電晶體。圖 1 中 (a)、(b) 分別顯示 n 及 p 通道・累積型 MOS 電晶體 (NMOS 電晶體以及 PMOS 電晶體)，而圖 1 中 (c)、(d) 分別顯示 n 及 p 通道/反型 MOS 電晶體。

就圖 1 (a) 所示的 NMOS 電晶體而言，在 p 型矽基板的表面區域內形成嵌入絕緣層 (BOX)，而在該嵌入絕緣層 (BOX) 上形成有 n 型之 SOI (Silicon On Insulator) 層。並且，n 型 SOI 層形成了源極區域、汲極區域以及通道區域。其中，源極區域以及汲極區域具備相較通道區域為高的雜質濃度。又，在源極區域以及汲極區域分別與源極 S 以及汲極 D 相連接。在此，於通道區域上形成有閘極絕緣膜，而在此閘極絕緣膜上設有 p 型多晶矽之閘極電極。

另一方面，就圖 1 (b) 所示之 PMOS 電晶體而言，在 n 型矽基板上形成有嵌入絕緣層 (BOX)，而在此嵌入絕緣層 (BOX) 上形成了構成源極區域、汲極區域以及通道區域之 p 型 SOI 層，此源極區域以及汲極區域具備相較通道區域為高的雜質濃度。另外，於通道區域上，隔著閘極絕緣膜設置 n 型多晶矽之閘極電極。圖 1 (c)、(d) 也如圖所示。

圖 1 (a) 及 (b) 所示的 NMOS 電晶體與 PMOS 電晶體在閘極電壓  $V_g$  為零的時候，空乏層則擴散於 SOI 層整體，其作動係：當對閘極電壓  $V_g$  加壓，空乏層則縮小到通道區域之上面，並且，當閘極電壓  $V_g$  更高時，除了基板電流以外，也流儲蓄電流。

圖 2 (a) ~ (d) 顯示上述累積型 NMOS 電晶體之作動原理。首先，如圖 2 (a) 所示，當閘極電壓  $V_g$  為零時，空乏層 (depletion-layer) 則擴散於 SOI 層整體。接著，如圖 2 (b) 所示，施加閘極電壓  $V_g$  後，空乏層則縮小到通道區域上面，並流基板電流  $I_{bulk}$ 。加上，當閘極電壓  $V_g$  增加時，如圖 2 (c) 以及 (d) 所示，儲蓄電流  $I_{acc}$  也開始流動。

以 NMOS 為例，並參照圖 3 (a) 以及 (b) 對上述的現象詳細地加以說明，則其採用 SOI 構造，使以閘極電極與 SOI 層之間功函數差所產生之空乏層的厚度相較 SOI 層之厚度為大，則能實現如圖 3 (a) 的具有累積型之構造，且常關型之 MOS 電晶體。在此，於圖所示的 NMOS 電晶體中，將  $P^+$  多晶矽 (功函數為  $5.2eV$ ) 用於閘極電極，於 p 通道電晶體中，則將  $n^+$  多晶矽 (功函數為  $4.1eV$ ) 用於閘極電極，藉此產生與 SOI 層之間功函數之差。

為使空乏層相較 SOI 層為厚，而在閘極電壓  $V_g$  為零時實現 off 狀態 (即是常關型之狀態)，需要將閘極電極之功函數的變化相較 SOI 層之功函數為大。但是，依此種方法會產生如上述的問題，尤其，提高 SOI 層的雜質濃度，則有使

閾值電壓提昇之缺點。換言之，依通常的累積型 NMOS 電晶體之製造方法，只能製造閾值電壓頗高的電晶體，這樣的結果，不僅無法使電晶體小型化，亦無法使集積電路低電壓電源化。又，閘極電極不能使用其功函數差為較小的 Ta (4.6 eV)。

本案發明人等製作如圖 1 (a) 及 (b) 所示的 MOS 電晶體 (特別為 NMOS 電晶體)，係一個矽基板與 SOI 層互為逆導電型的，且嵌入絕緣層 (BOX) 的厚度為 100nm 之累積型 NMOS 電晶體，並進行了實驗。此實驗所使用的 NMOS 電晶體的構造，係與專利文獻 1 所載為相同。另外，在實驗中所使用 NMOS 電晶體，其有效通道長度 ( $L_{eff}$ ) 為 45nm，通道寬度為  $1\mu m$ ，在通道區域中雜質濃度為  $2 \times 10^{17} cm^{-3}$ ，作為矽基板，使用了  $1 \times 10^{15} cm^{-3}$  的 p 型矽基板。

閘極絕緣膜的厚度係  $EOT=1nm$ 、使用了  $p^+$  多晶矽 (其功函數為 5.1eV) 作為閘極電極之用。結果發現，若使 SOI 層之厚度減薄至 17nm 左右以下，即使矽基板的雜質濃度為一定之情況下 (如  $1 \times 10^{15} cm^{-3}$ )，也可控制 NMOS 電晶體之閾值電壓。

另外發現，假如使 SOI 層之厚度減薄至有效通道長度  $L_{eff}$  的  $1/3$  (15nm) 程度時，亦可有效地控制短通道效應。即是，藉由控制 SOI 層之厚度，能使累積型 NMOS 電晶體之閾值電壓變化至 0.4~0.5V。

然而，上述構造的 NMOS 電晶體之閾值電壓只依賴閘極電極與 SOI 層之間功函數差，因此，無法將閾值電壓降低到可適用於低電壓電源之程度。也就是說，對使用了 100nm 左右的嵌入絕緣層 (BOX) 的累積型 NMOS 電晶體而言，即使變更矽基板之雜質濃度，也無法變更取決於功函數差的閾值電壓，並且，使用 Ta (其功函數為 4.6 eV) 作為閘極電極，則不能實現常關型的電晶體。

亦即，如先前提議之電晶體般，具備 100nm 左右的嵌入絕緣層（BOX）的情況下，如圖 4 所示般，由於嵌入絕緣層之厚度大，故僅於閘極電極側進行 SOI 層的控制。

相較於此，本案發明人發現一個現象：如圖 5 所示，藉由使嵌入絕緣層（BOX）之厚度減薄，由基板（Base Substrate）側也能控制 SOI 層之電位。

亦即，將嵌入絕緣層（BOX）的厚度（ $T_{\text{BOX}}$ ）減薄至 20nm 以下，對於支持基板亦即矽基板從其表面（其後構成閘極電極的一側）注入離子，並獲致使矽基板的雜質濃度（NBase）變化之 NMOS 電晶體，接著對此電晶體施加 1V 之汲極電壓（Vd），且檢測汲極電流之變化，結果發現，依矽基板的雜質濃度（NBase）之不同，NMOS 電晶體之閾值電壓也隨此變化。

如圖 5 所示，SOI 層與基板互為逆導電型，使嵌入絕緣層（BOX）減薄，藉以基板與 SOI 層之間功函數差使 SOI 層空乏化，其結果，如 Ta 閘極電極般，即使使用與 SOI 層之間功函數差為小的閘極電極也能實現常關狀態（normally-off），又能實現高速以及低電源電壓化。依此構造，藉由調整嵌入絕緣層（BOX）之厚度以及/或 SOI 層之雜質濃度，以有效地控制閾值電壓，又藉由控制支持基板的濃度以對閾值電壓進行微調整。另外，就基板材料而言，亦可使用對 SOI 層之功函數差為較大的導電材料。

在此，假設基板為既定雜質濃度（NBase）的矽，以離子注入之方式導入不純物（雜質）的情況下，在基板的深度方向（x）的雜質濃度  $N(x)$  係由如下式（1）可求得。

【式 1】

$$N(x) = \frac{Q}{\sqrt{2\pi}\Delta R_p} \exp\left\{-\frac{(x-R_p)^2}{2\Delta R_p^2}\right\}$$

在此，Q 係注入量， $R_p$  是投射距離， $\Delta R_p^2$  是標準差。

在上式中，濃度的最大值可由如下的數 2 以表示，且  $N(x)$  需要在  $0.2N_{MAX} \sim 0.5 N_{MAX}$  的範圍內控制。

【式 2】

$$N_{max} = \frac{Q}{\sqrt{2\pi\Delta R_p^2}}$$

依此裝置的離子注入條件， $\Delta R_p$  可近似於  $0.3R_p$ ，因此，可求得  $0.36R_p < x < 0.46R_p$  之關係。由於  $(0.36/0.64) T_{SOI} < T_{BOX} < (0.46/0.54) T_{SOI}$ ，因此可導出  $0.56T_{SOI} < T_{BOX} < 0.85T_{SOI}$  之式。在此， $T_{BOX}$  表示嵌入絕緣層的 EOT (Effective Oxide Thickness，即是  $SiO_2$  換算膜厚)， $T_{SOI}$  則表示 SOI 層的厚度。

圖 6 顯示，在矽基板的 (100) 面上形成有 SOI 層之累積型 NMOS 電晶體之閘極電壓 ( $V_g$ ) - 汲極電流 ( $I_d$ ) (A) 的特性。在此，前述電晶體的有效通道長 ( $L_{eff}$ ) 以及通道寬度 ( $W$ ) 分別係 45nm 以及  $1\mu m$ ，閘極絕緣膜的  $SiO_2$  換算厚度 (EOT) 為 1nm，SOI 層的厚度 ( $T_{SOI}$ ) 為 15nm，又 SOI 層之中，使通道區域之雜質濃度 ( $N_{sub}$ ) 為  $2 \times 10^{17} cm^{-3}$ 。另外，圖 6 亦顯示使用其功函數 (WF) 為 4.6V 的鉭 (Ta) 作為閘極電極，並且對汲極施加 1V 的汲極電壓  $V_d$  時的特性。

圖 6 中，於上述的條件下，使嵌入絕緣層的厚度 ( $T_{BOX}$ ) 及矽支持基板的雜質濃度 ( $N_{Base}$ ) 變化。亦即，曲線 C1 表示  $N_{Base}$  為  $1 \times 10^{18} cm^{-3}$ ，且  $T_{BOX}$  為 12nm 的情況下的閘極電壓-汲極電流之特性，另外，曲線 C2 表示在  $N_{Base}$  為  $1 \times 10^{18} cm^{-3}$ ，且在  $T_{BOX}$  為 15nm 的情況下的閘極電壓-汲極電流之特性。

又，曲線 C3 表示  $N_{Base}$  為  $1 \times 10^{18} cm^{-3}$ ，且  $T_{BOX}$  為 20nm 的情況下的閘極電壓-汲極電流之特性，同樣地，曲線

C4 以及 C5 表示 TBOX 為 20nm，N Base 分別為  $1 \times 10^{17} \text{ cm}^{-3}$ ， $1 \times 10^{16} \text{ cm}^{-3}$  的情況下的閘極電壓-汲極電流之特性。

由曲線 C1~C5 得知，在嵌入絕緣層的厚度 (TBOX) 為 20nm 以下的範圍內，隨著支持基板的矽基板之雜質濃度 (NBase)，也會使閘極電壓-汲極電流之特性變化。結果，使用 Ta 閘極電極的情況下，也能實現常關型。又依賴嵌入絕緣層的厚度 (TBOX)，將閘極電壓-汲極電流特性以及閾值電壓 (以定電流法，將電流為  $1 \mu\text{A}$  時的閘極電壓定義為閾值電壓) 控制於 0.05~0.2V 之範圍內。另外，由曲線 C1 以及 C5 得知，當嵌入絕緣層 (TBOX) 為 20nm 以下時，依矽基板的雜質濃度 (NBase)，可使 NMOS 電晶體的閾值電壓變化，且由 C1~C3 得知，使嵌入絕緣層的厚度 (TBOX) 變化，藉以使閾值電壓可變化。另外，藉由調整支持基板的濃度，可對閾值電壓進行微調整。

另一方面，當嵌入絕緣層的厚度 (TBOX) 為 20nm 時，如曲線 C3~C5 顯示，依矽基板的雜質濃度 (NBase) 來對閾值電壓進行微調整，但若相較上述厚度為厚時，則不再依賴矽基板之雜質之濃度。

總而言之，如上述說明，藉由調整矽基板之雜質濃度 (NBase)，以對閾值電壓進行微調整。

另外，如圖 7 顯示，當矽基板之雜質濃度 (NBase) 為一定的狀態下使 SOI 層的雜質濃度 (Nsub) 以及嵌入絕緣層厚度 (TBOX) 變化時的閘極電壓-汲極電流特性。在此，對象累積型 NMOS 電晶體，係如同圖 6，分別具有 45nm 以及  $1 \mu\text{m}$  的有效通道長度 ( $L_{\text{eff}}$ ) 以及通道寬度 ( $W$ )，同時，具備 1nm 的閘極絕緣膜之  $\text{SiO}_2$  換算厚度 (EOT)、15nm 的 SOI 層厚度 (TSOI)。又，矽基板的雜質濃度 (NBase) 為  $1 \times 10^{18} \text{ cm}^{-3}$ ，且使用其功函數 (WF) 為 4.6V 的鈿 (Ta) 以做為閘極電極。在圖 7 中，對汲極施加 1V 的汲極電壓  $V_d$ 。

圖 7 所示的曲線 C6 以及 C7 表示，嵌入絕緣層厚度 (TBOX) 係 12nm 時的特性，另外，曲線 C8 以及 C9 表示，嵌入絕緣層厚度 (TBOX) 係 15nm 時的特性。又，曲線 C6 以及 C8 表示 SOI 層之雜質濃度 ( $N_{sub}$ ) 係  $5 \times 10^{17} \text{ cm}^{-3}$  時的特性，而曲線 C7 以及 C9 表示 SOI 層之雜質濃度 ( $N_{sub}$ ) 係為  $2 \times 10^{17} \text{ cm}^{-3}$  時的特性。

將曲線 C6 及 C7，和曲線 C8 及 C9 做比較得知，當嵌入絕緣層厚度 (TBOX) 為一定時，SOI 層的雜質濃度 ( $N_{sub}$ ) 愈高，則在低閘極電壓  $V_g$  之下具有較大的汲極電流  $I_d$ 。另一方面，當 SOI 層的雜質濃度 ( $N_{sub}$ ) 為一定時，嵌入絕緣層厚度 (TBOX) 愈厚，電流則愈大。

因此，藉由對 SOI 層之雜質濃度 ( $N_{sub}$ ) 做調整，或對嵌入絕緣層厚度 (TBOX) 做調整，均能控制閾值電壓。

接著，參照圖 8 依本發明之半導體裝置的具體例子加以說明。圖所示的半導體裝置係，使用在 P 型矽基板 20 上隔著嵌入絕緣層 24 所形成之 SOI 層 22 的累積型 NMOS 電晶體，其中，於 P 型矽基板 20 表面上形成了厚度 (TBOX) 為 12nm，由  $\text{SiO}_2$  所構成的嵌入絕緣層 24。又，對 P 型矽基板 20 中，經由嵌入絕緣層 24，打入離子以摻雜雜質，並且將其表面雜質濃度 ( $N_{base}$ ) 調整在  $1 \times 10^{18} \text{ cm}^{-3}$ 。亦即，圖所示的半導體裝置，係藉由追加經由嵌入絕緣層 24 打入離子的步驟來製造的。

另一方面，SOI 層 22 係與其厚度 (TSOI) 為 15nm 的矽基板 20 為相反導電型的 N 型層，而在此 SOI 層 22 上形成有源極區域 221、汲極區域 222 以及通道區域 223。其中，通道區域 223 的雜質濃度 ( $N_{sub}$ ) 為  $2 \times 10^{17} \text{ cm}^{-3}$ ，源極區域 221 及汲極區域 222 則具有相較通道區域 223 為高的雜質濃度。又，通道區域 223 之有效長度 ( $L_{eff}$ ) 以及寬度 ( $W$ ) 分別係 45nm 以及  $1 \mu\text{m}$ 。

進一步，於通道區域 223 上形成有其  $\text{SiO}_2$  換算厚度 (EOT) 為 1nm 的閘極絕緣膜 26，此閘極絕緣膜 26 上設有閘極電極 28，其係由功函數 (WF) 為 4.6V 的 Ta 材料所形成的。前述閘極電極 28 之長度 (L) 係 0.045 $\mu\text{m}$ ，寬度 (W) 係 1 $\mu\text{m}$ 。另外，嵌入絕緣層 24 亦可以由其 EOT 為 12nm 的，如  $\text{Si}_3\text{N}_4$  等之其他材料所構成。

圖 8 所示的累積型 NMOS 電晶體會顯示如圖 6 中曲線 C1 所示的閘極電壓-汲極電流特性，因此，可使用其功函數 (WF) 為較低的 Ta 以形成閘極電極 28，其結果能獲致閾值電壓為較低的電晶體。如此，圖所示的 NMOS 電晶體亦可適用於具備低電壓源之電路。

上述所說明的實施態樣，係僅對於累積型 NMOS 電晶體加以說明，但亦可以適用於累積型 PMOS 電晶體。

另外，假如將本發明適用在圖 1 (c) 及 (d) 所示的 n 及 P 通道反型 MOS 電晶體，藉由控制 BOX 層的厚度、基板雜質濃度、SOI 層的雜質濃度，亦可從下方將 SOI 層的通道區域之空乏層予以控制，以調整閾值電壓。亦即，可利用基板雜質濃度所引起的基板偏壓效果。

#### 產業上利用可能性

在本發明中僅對於單一的累積型 MOS 電晶體加以說明，亦可將其導電型為相反的不同累積型 MOS 電晶體加以組合，以構成 CMOS，本發明亦可以適用於反型 MOS 電晶體，或在累積型 MOS 電晶體與反型 MOS 電晶體的組合中，將本發明適用於其中之一或兩者。

#### 【圖式簡單說明】

圖 1 中 (a)、(b)、(c) 以及 (d) 分別顯示適用本發明之 NMOS 以及 PMOS 電晶體之構造剖面的示意圖。

圖 2 中 (a)、(b)、(c) 以及 (d) 說明依本發明之 NMOS 電晶體之作動原理。

圖 3 中 (a) 及 (b) 說明累積型 NMOS 電晶體中的能帶構造與其剖面之間關係。

圖 4 說明習知電晶體中的能帶構造圖。

圖 5 說明本發明的電晶體的能帶構造圖。

圖 6 顯示在使嵌入絕緣層之厚度 (TBOX) 以及矽基板中雜質濃度變化時，閘極電壓 ( $V_g$ ) - 汲極電流 ( $I_d$ ) 特性之變化的圖表。

圖 7 顯示在使 SOI 層中雜質濃度 ( $N_{sub}$ ) 以及嵌入絕緣層之厚度 (TBOX) 變化時，閘極電壓 ( $V_g$ ) - 汲極電流 ( $I_d$ ) 特性之變化的圖表。

圖 8 顯示依本發明之實施態樣的累積型 NMOS 電晶體之構造的剖面圖。

#### 【主要元件符號說明】

- 20 P 型矽基板
- 22 SOI 層
- 24 嵌入絕緣層
- 26 閘極絕緣膜
- 28 閘極電極
- 221 源極區域
- 222 汲極區域
- 223 通道區域

## 十、申請專利範圍：

1.一種半導體裝置，藉由一基板所形成，該基板至少包含第一半導體區域、及形成於該第一半導體區域之上方的嵌入絕緣層、以及形成於該嵌入絕緣層之上方的第二半導體區域，以該第二半導體區域的至少一部份為通道區域，並在該通道區域上具有閘極絕緣膜以及閘極電極，其特徵為：

在該嵌入絕緣層的厚度為 20nm 以下時，至少藉由該第一半導體區域的雜質濃度，以控制電晶體閾值電壓；

具有該通道區域之空乏層之厚度，係取決於該嵌入絕緣層的厚度以及該第一半導體區域的雜質濃度；

該半導體裝置係常關型。

2.如申請專利範圍第 1 項之半導體裝置，更包含與該通道區域電連接的源極區域以及汲極區域，其中，該閘極電極的至少一部份係使用具有與該通道區域不同功函數的材料所構成，並且該通道區域之空乏層的厚度係就該閘極電極與該通道區域之間的功函數之差、該第一半導體區域之雜質濃度以及該嵌入絕緣層的厚度加以調整而決定。

3.如申請專利範圍第 2 項之半導體裝置，其中，該閾值電壓小於由該閘極電極與該通道區域兩者之功函數差所決定之閾值電壓。

4.如申請專利範圍第 1 項之半導體裝置，其中，該第一半導體區域和第二半導體區域係為相反導電型之矽。

5.如申請專利範圍第 4 項之半導體裝置，其中，該通道區域、該源極區域以及該汲極區域，係相同導電型之累積型。

6.如申請專利範圍第 1 項之半導體裝置，其中，該第二半導體區域之雜質濃度為  $1 \times 10^{17} \text{ cm}^{-3}$  以上。

7.如申請專利範圍第 1 項之半導體裝置，其中，該嵌入絕緣層之厚度係滿足下式：

$$0.56T_{\text{SOI}} < T_{\text{BOX}} < 0.85T_{\text{SOI}}$$

於此， $T_{\text{BOX}}$  係指該嵌入絕緣層的 EOT， $T_{\text{SOI}}$  係指該第二半導體區域之厚度。

8. 如申請專利範圍第 7 項之半導體裝置，其中，在施加電源電壓於該汲極區域，且閘極電極為 0V 時，該通道區域的源極區域側端部，係在厚度方向整體空乏化。

102年10月28日修正替換頁  
096123244 (無劃線)

十一、圖式：



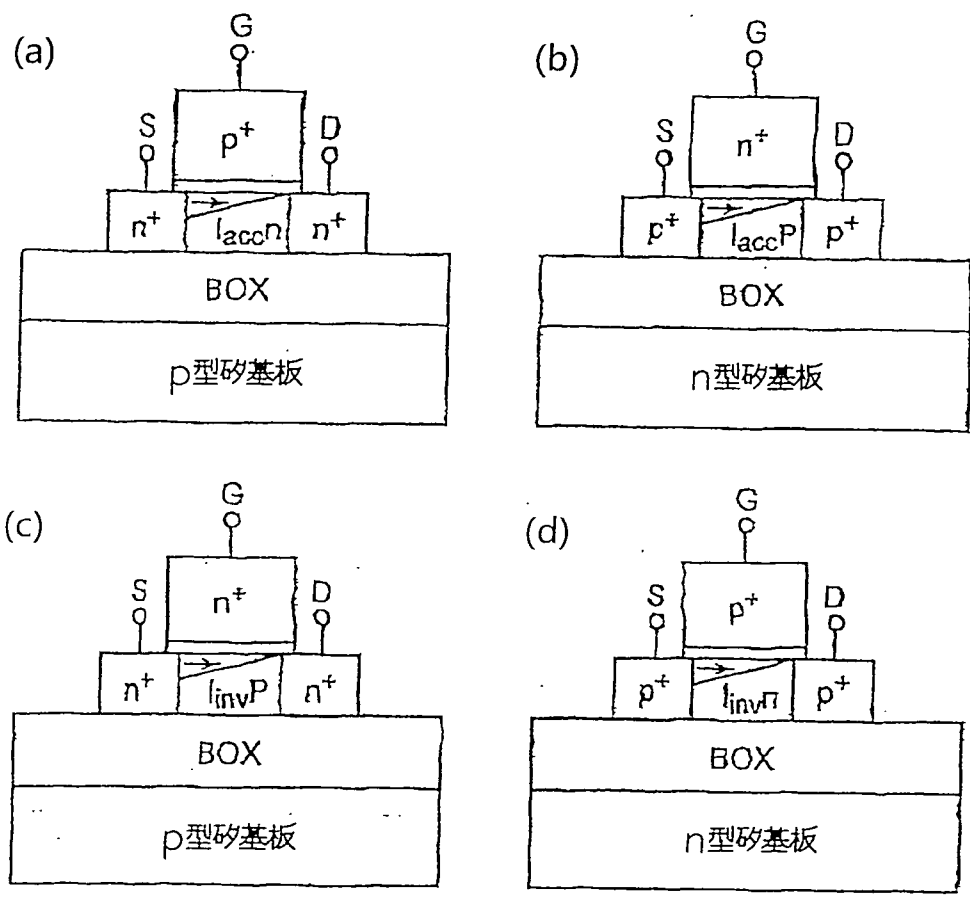


圖 1

圖式

圖 2(a)

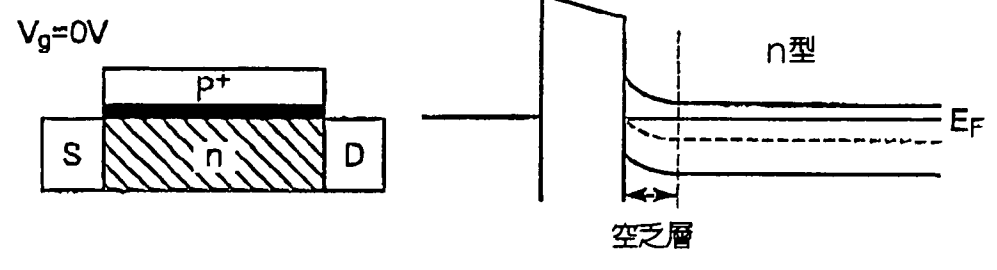


圖 2(b)

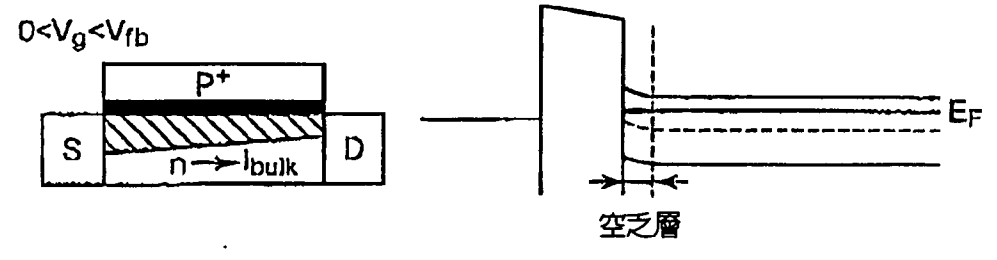


圖 2(c)

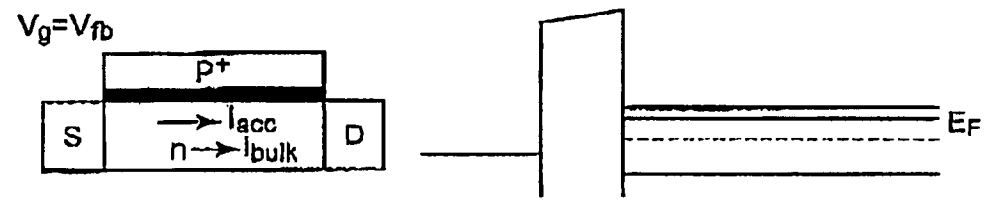
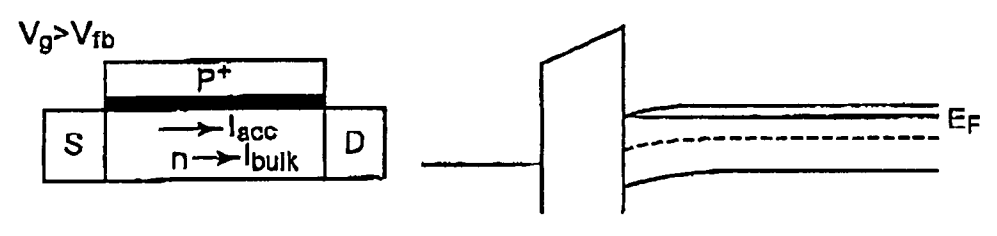


圖 2(d)



圖式

圖 3(a)

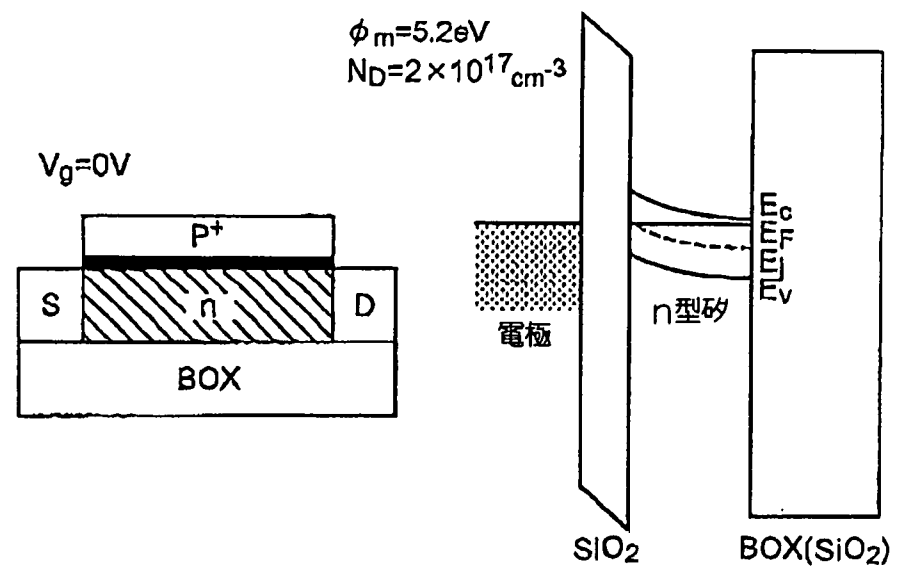
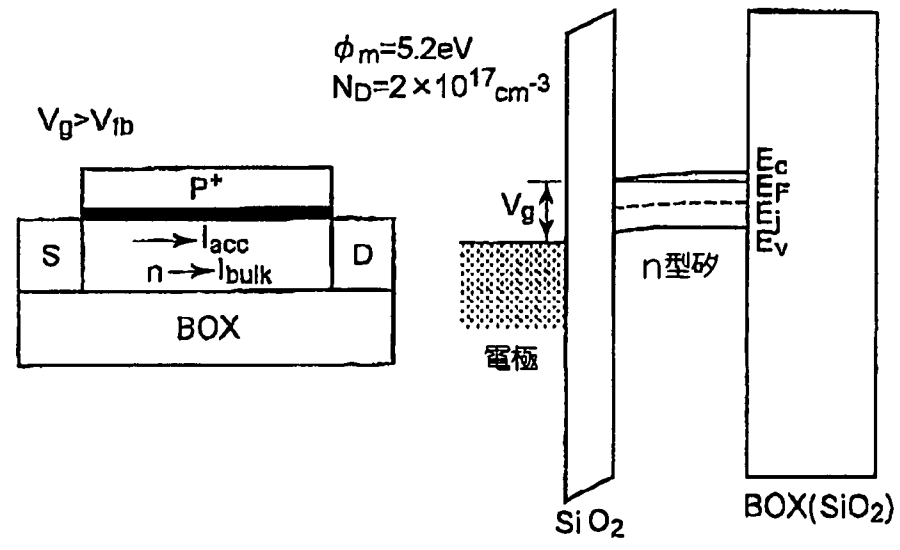
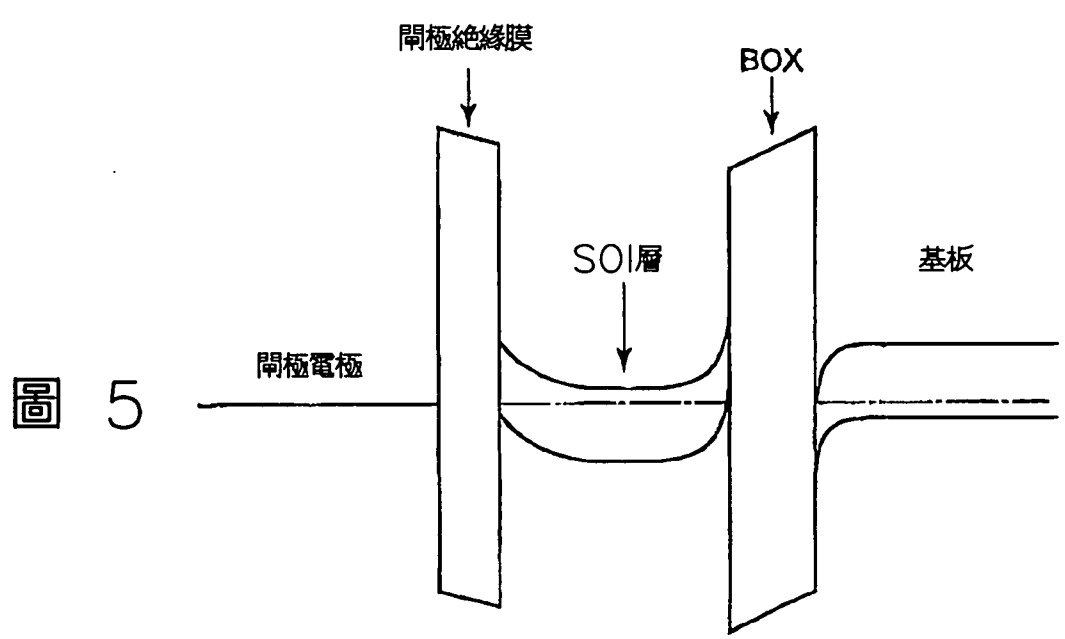
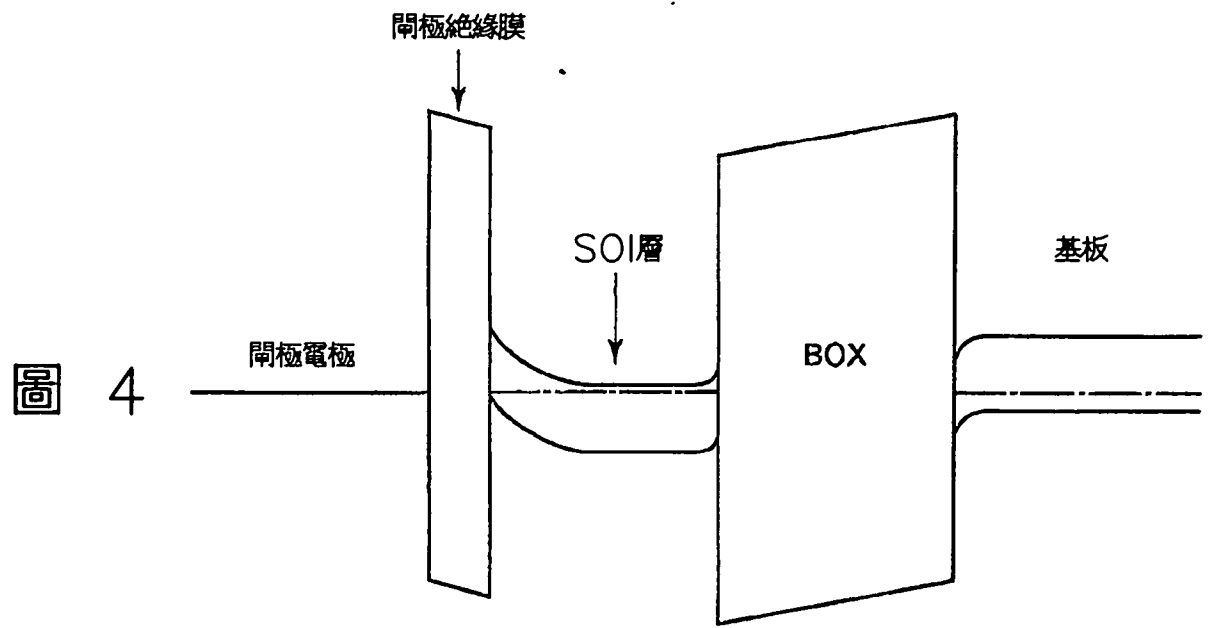


圖 3(b)



圖式



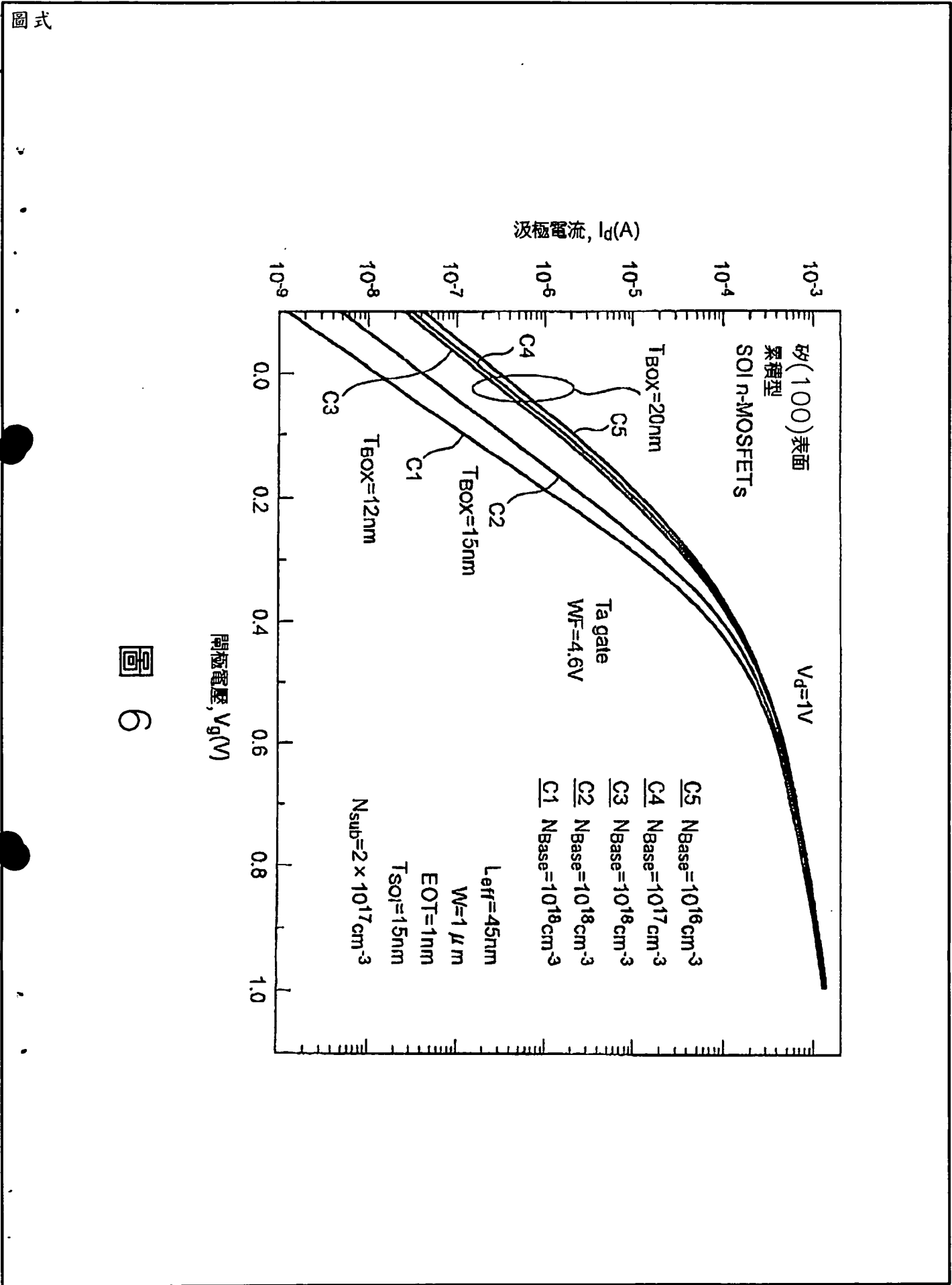


圖 6

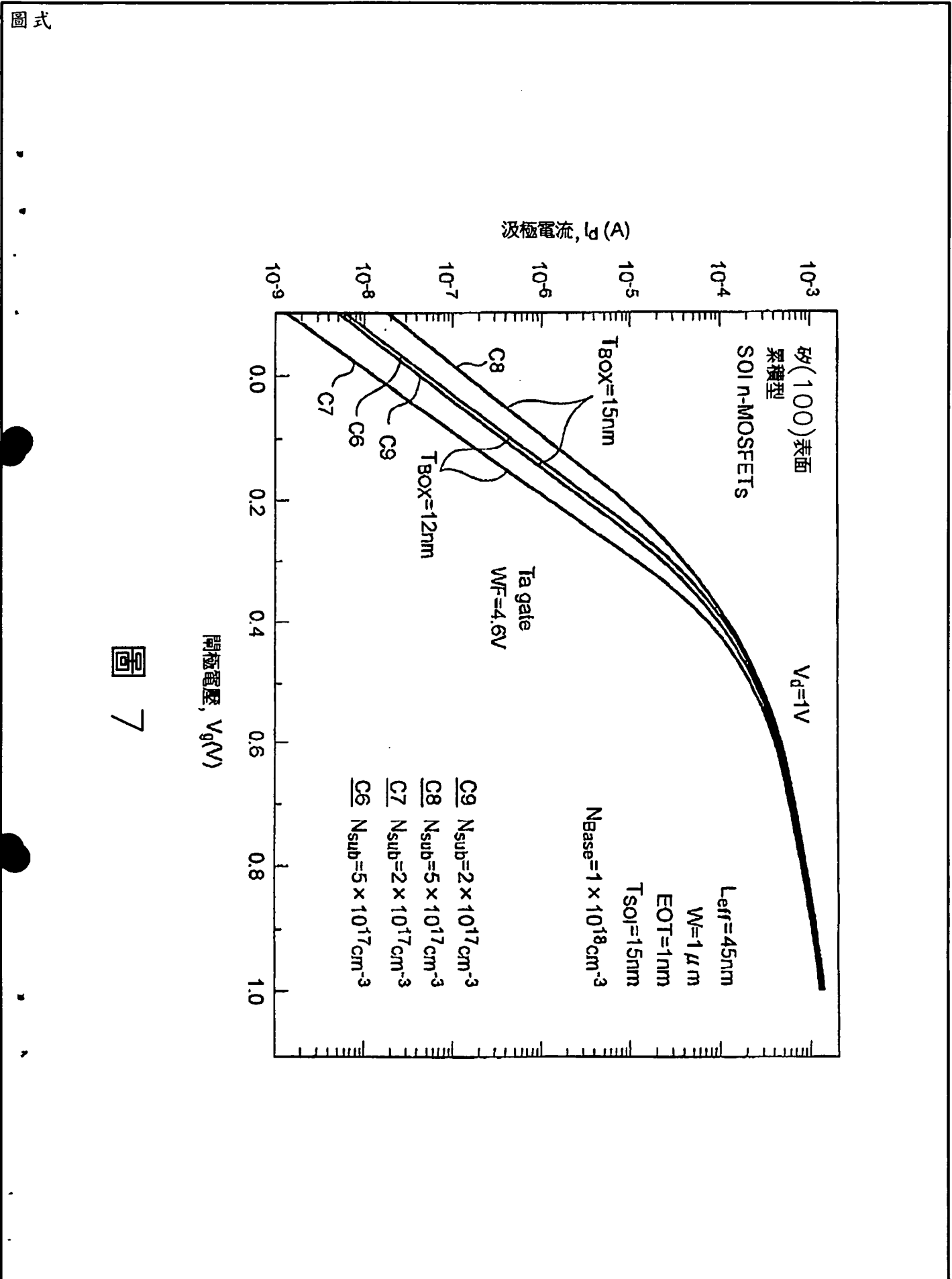
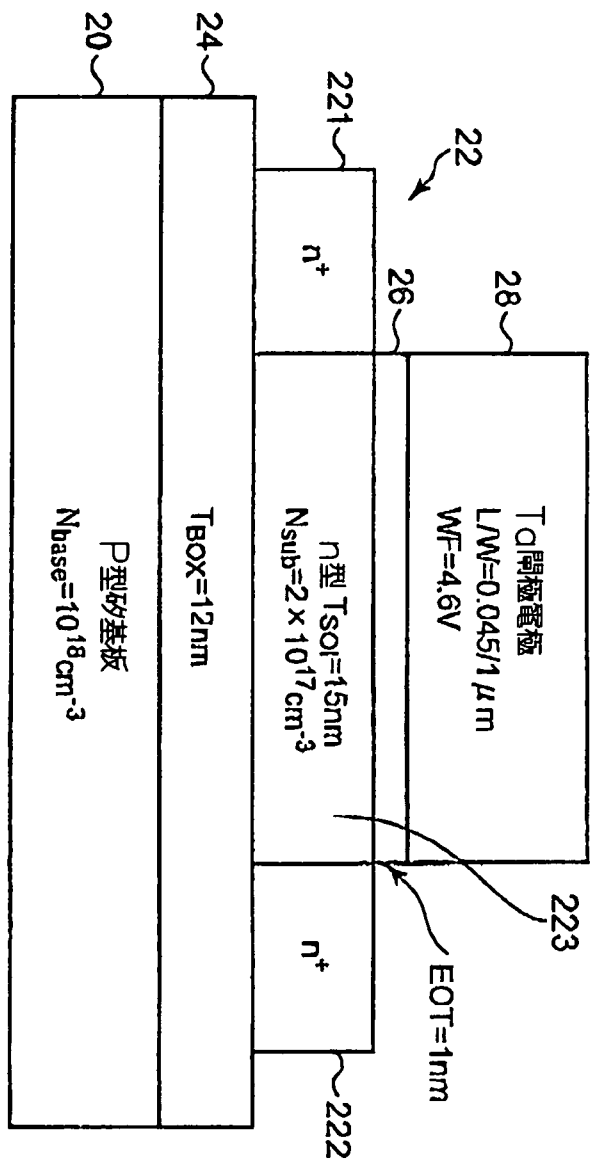


圖 7

圖式



8