

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294360

(P2005-294360A)

(43) 公開日 平成17年10月20日(2005.10.20)

| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
|----------------------------|----------------------|-------------|
| HO 1 L 21/336 | HO 1 L 29/78 3 O 1 P | 4 M 1 O 4 |
| HO 1 L 21/28 | HO 1 L 21/28 B | 5 F O 4 8 |
| HO 1 L 21/8238 | HO 1 L 21/28 3 O 1 S | 5 F 1 4 O |
| HO 1 L 27/092 | HO 1 L 29/50 M | |
| HO 1 L 29/417 | HO 1 L 29/58 G | |

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2004-104041 (P2004-104041)
 (22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (72) 発明者 松田 友子
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 4M104 BB01 BB21 CC01 CC05 DD02
 DD55 DD78 DD81 DD84 FF14
 GG09 GG10 GG14 HH20
 5F048 AC03 BA01 BB04 BB08 BB12
 BC06 BF06 BG13 DA23

最終頁に続く

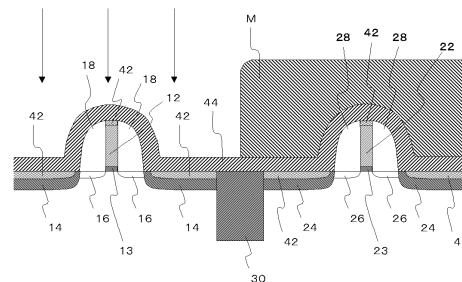
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 NiSi膜のダイシリサイド化を抑制することのできる半導体装置の製造方法を提供する。

【解決手段】 P-MOSトランジスタ10およびN-MOSトランジスタ20双方のゲート電極12, 22およびソース・ドレイン領域14, 24上にNiSi膜42を形成する(シリサイド膜形成工程)。次に、NiSi膜42を含めた表面全体にダイレクト窒化膜44を形成する(窒化膜形成工程)。続いて、NiSi膜42の耐熱温度を高める元素をNiSi膜42に注入する(元素注入工程)。これにより、NiSi膜42の耐熱性が向上し、後工程における熱処理によりNiSi膜42がダイシリサイド化することを抑制することができる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

M O S トランジスタを備える半導体装置を製造する方法であって、

前記 M O S トランジスタのゲート電極およびソース・ドレイン領域の少なくとも一方の上に N i S i 膜を形成するシリサイド膜形成工程と、

前記 N i S i 膜のダイシリサイド化を抑制する反応抑制元素を前記 N i S i 膜に注入する元素注入工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

前記 N i S i 膜上に層間窒化膜を形成する窒化膜形成工程を含み、

前記元素注入工程においては、前記元素が前記 N i S i 膜に到達するように、前記層間窒化膜上から前記元素を注入することを特徴とする半導体装置の製造方法。

10

【請求項 3】

請求項 2 に記載の半導体装置の製造方法であって、

前記半導体装置は、P - M O S トランジスタおよび N - M O S トランジスタを備え、

前記層間窒化膜はテンサイル応力を持つものであり、

前記元素注入工程においては、前記 P - M O S トランジスタおよび前記 N - M O S トランジスタのうち前記 P - M O S トランジスタに形成された前記 N i S i 膜にのみ前記元素を注入することを特徴とする半導体装置の製造方法。

20

【請求項 4】

請求項 2 に記載の半導体装置の製造方法であって、

前記半導体装置は、P - M O S トランジスタおよび N - M O S トランジスタを備え、

前記層間窒化膜はコンプレッション応力を持つものであり、

前記元素注入工程においては、前記 P - M O S トランジスタおよび前記 N - M O S トランジスタのうち前記 N - M O S トランジスタに形成された前記 N i S i 膜にのみ前記元素を注入することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 ~ 4 の何れか一項に記載の半導体装置の製造方法であって、

前記反応抑制元素は、G e、N、F、O および C からなる群より選ばれる 1 または 2 以上の元素であることを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関するものである。

【背景技術】

【0002】

従来半導体装置の製造方法としては、例えば特許文献 1 に開示されたものがある。同文献に記載の製造方法は、素子の寄生抵抗を低減するために、M O S トランジスタのゲート電極上およびソース・ドレイン電極上に N i S i からなるモノシリサイド膜を形成する工程を含んでいる。

40

【特許文献 1】特開平 5 - 9 0 2 9 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記製造方法においては、後工程における熱処理により N i S i 膜がダイシリサイド化するおそれがある。N i S i 膜がダイシリサイド化した場合、M O S トランジスタの寄生抵抗の増大等につながってしまう。

【0004】

本発明は、上記課題に鑑みてなされたものであり、半導体装置に用いられる N i S i 膜

50

の耐熱性を高め、ダイシリサイド化を抑制し、これにより半導体装置の性能を向上させることを目的とする。

【課題を解決するための手段】

【0005】

上記課題を解決する本発明によれば、MOSトランジスタを備える半導体装置を製造する方法であって、前記MOSトランジスタのゲート電極およびソース・ドレイン領域の少なくとも一方の上にNiSi膜を形成するシリサイド膜形成工程と、前記NiSi膜のダイシリサイド化を抑制する反応抑制元素を前記NiSi膜に注入する元素注入工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0006】

この製造方法においては、元素注入工程において、NiSi膜のダイシリサイド化を抑制する反応抑制元素がNiSi膜中に導入される。これにより、NiSi膜の耐熱性が向上し、後工程における熱処理によりNiSi膜がダイシリサイド化するのを抑制することができる。

【0007】

NiSi膜上にダイレクト窒化膜を形成する窒化膜形成工程を含み、元素注入工程においては、元素がNiSi膜に到達するように、ダイレクト窒化膜上から上記元素を注入してもよい。この場合、ダイシリサイド化の抑制とともに、ダイレクト窒化膜の応力を緩和することが可能となる。

【0008】

本発明において、半導体装置は、P-MOSトランジスタおよびN-MOSトランジスタを備え、ダイレクト窒化膜はテンサイル応力を持つものであり、元素注入工程においては、P-MOSトランジスタおよびN-MOSトランジスタのうちP-MOSトランジスタに形成されたNiSi膜にのみ上記元素を注入してもよい。ダイレクト窒化膜がテンサイル応力を持つ場合、N-MOSトランジスタのオン電流が向上する一方で、P-MOSトランジスタのオン電流は低下してしまう。したがって、元素注入工程においてP-MOSトランジスタ側にのみ元素注入を行うことにより、テンサイル応力が緩和され、P-MOSトランジスタのオン電流の低下が抑制される。

【0009】

本発明において、半導体装置は、P-MOSトランジスタおよびN-MOSトランジスタを備え、ダイレクト窒化膜はコンプレッシブ応力を持つものであり、元素注入工程においては、P-MOSトランジスタおよびN-MOSトランジスタのうちN-MOSトランジスタに形成されたNiSi膜にのみ上記元素を注入してもよい。ダイレクト窒化膜がコンプレッシブ応力を持つ場合、P-MOSトランジスタのオン電流が向上する一方で、N-MOSトランジスタのオン電流は低下してしまう。したがって、元素注入工程においてN-MOSトランジスタ側にのみ元素注入を行うことにより、コンプレッシブ応力が緩和され、N-MOSトランジスタのオン電流の低下が抑制される。

【0010】

NiSi膜は、NiSiであってもよい。NiSiは抵抗が低いいため、シリサイド膜として好適に機能することができる。

【0011】

上記元素は、Ge、N、F、OおよびCからなる群より選ばれる1または2以上の元素であってもよい。これらの元素は、NiSi膜の耐熱温度の向上によるダイシリサイド化の抑制およびダイレクト窒化膜の応力緩和に資するものである。

【発明の効果】

【0012】

本発明によれば、NiSi膜のダイシリサイド化を抑制することのできる半導体装置の製造方法が実現される。

【発明を実施するための最良の形態】

【0013】

10

20

30

40

50

以下、図面を参照しつつ、本発明による半導体装置の製造方法の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

【0014】

図1～図6を用いて、本発明による半導体装置の製造方法の一実施形態を説明する。本実施形態において製造される半導体装置は、P-MOSトランジスタおよびN-MOSトランジスタを備えるCMOSトランジスタ装置である。

【0015】

まず、図1に示すように、P-MOSトランジスタ10およびN-MOSトランジスタ20を形成する。P-MOSトランジスタ10は、ゲート電極12、ゲート酸化膜13、ソース・ドレイン領域14、LDD(Lightly Doped Drain)領域16およびスペーサ18を有している。同様に、N-MOSトランジスタ20は、ゲート電極22、ゲート酸化膜23、ソース・ドレイン領域24、LDD領域26およびスペーサ28を有している。P-MOSトランジスタ10とN-MOSトランジスタ20とは、素子分離領域であるSTI(シャロートレンチアイソレーション)領域30によって互いに分離されている。

10

【0016】

次に、図2に示すように、P-MOSトランジスタ10およびN-MOSトランジスタ20双方のゲート電極12, 22およびソース・ドレイン領域14, 24上にモノシリサイド膜としてNiSi膜42を形成する(シリサイド膜形成工程)。ただし、NiSi膜42は、ゲート電極12, 22およびソース・ドレイン領域のうち何れか一方にのみ形成してもよい。

20

【0017】

次に、図3に示すように、NiSi膜42を含めた表面全体にダイレクト窒化膜44(層間窒化膜)を形成する(窒化膜形成工程)。このダイレクト窒化膜44は、後述する層間酸化膜46と共に層間絶縁膜を構成するものである。また、本実施形態においてダイレクト窒化膜44は、テンサイル応力を持っている。ダイレクト窒化膜44としては、例えばSiNを用いることができる。

【0018】

次に、図4に示すように、フォトレジストを用いてN-MOSトランジスタ20全体にマスクMを形成する。

30

【0019】

続いて、図5に示すように、NiSi膜42の耐熱温度を高める元素(以下、反応抑制元素という)をNiSi膜42に注入する(元素注入工程)。このとき、N-MOSトランジスタ20側はマスクMにより覆われているため、P-MOSトランジスタ10側のみ反応抑制元素が注入される。注入条件は、反応抑制元素がNiSi膜42まで到達するように設定される。反応抑制元素としては、例えばGe、N、F、OおよびCが挙げられる。これらの元素は、NiSi膜42の耐熱温度を高め、ダイシリサイド化反応を抑制する働きを有する上、ダイレクト窒化膜44の応力を緩和することもできる。なお、反応抑制元素のうち何れか1つを注入してもよく、複数組み合わせ注入してもよい。

【0020】

最後に、図6に示すように、ダイレクト窒化膜44上に層間酸化膜46を形成する。層間酸化膜46としては、例えばSiO₂を用いることができる。

40

【0021】

本実施形態に係る製造方法の効果を説明する。

【0022】

上記製造方法においては、元素注入工程において反応抑制元素をNiSi膜42に注入している。これにより、NiSi膜42の耐熱性が向上し、後工程における熱処理によりNiSi膜42がダイシリサイド化することを抑制することができる。NiSi₂はNiSiに比してシート抵抗値が高いため、NiSiのダイシリサイド化を防ぐことは、素子の寄生抵抗を低減する上で非常に重要である。また、NiSiのダイシリサイド化はリーク

50

電流の増大にもつながるが、上記製造方法によれば、このようなリーク電流の増大をも抑制することができる。

【0023】

また、NiSi膜42への反応抑制元素の導入を、NiSi膜42の形成後に注入を行うことにより実行している。このため、P-MOSトランジスタ10への注入量とN-MOSトランジスタ20への注入量とを別々に制御することが容易となる。例えば、本実施形態においては、マスクMを用いることにより、P-MOSトランジスタ10およびN-MOSトランジスタ20のうちP-MOSトランジスタ10に形成されたNiSi膜42にのみ注入を行うことを容易に実現している。

【0024】

ところで、NiSi膜に反応抑制元素を導入する方法としては、Ni膜成膜時のスパッタガスに反応抑制元素を混入させることも考えられる。しかし、その方法は、P-MOSトランジスタ10側のNiSi膜42とN-MOSトランジスタ20側のNiSi膜42とでNiSi膜42に反応抑制元素の導入量を別々に制御することができないため、好ましくない。しかも、例えばN-MOSトランジスタ20側に不純物元素としてAsが導入されている場合、AsもまたNiSiの耐熱温度を高める働きを持つ元素であるため、スパッタによりP-MOSトランジスタ10側とN-MOSトランジスタ20側とに同量の反応抑制元素を導入してしまうと、結果として、NiSiの耐熱温度を高める元素がP-MOSトランジスタ10側に比してN-MOSトランジスタ20側により多く導入されることになる。すると、NiSi膜を形成する際に、P-MOSトランジスタ10およびN-MOSトランジスタ20間で反応温度のバランスが取りにくくなってしまいう問題がある。

【0025】

これに対して、NiSi膜42の形成後に反応抑制元素の注入を行う本実施形態によれば、NiSi膜42の形成時には反応抑制元素が未だ導入されていないため、かかる問題を防ぐことができる。

【0026】

さらに、元素注入工程においては、反応抑制元素がNiSi膜42まで到達するような注入条件に設定される。ここで、基板への導入ダメージやゲート酸化膜への影響を考慮すると、基板やゲート酸化膜には反応抑制元素が注入されないことが望ましい。この点、注入は金属中では止まり易いため、反応抑制元素がNiSi膜42中で止まるように注入条件を設定することは容易である。

【0027】

特に、本実施形態においては、ダイレクト窒化膜44上から反応抑制元素を注入している。これにより、NiSi膜42のダイシリサイド化の抑制とともに、ダイレクト窒化膜44の応力を緩和することができる。

【0028】

また、P-MOSトランジスタ10に形成されたNiSi膜42にのみ反応抑制元素を注入している。ダイレクト窒化膜44は、テンサイル応力を持っているため、N-MOSトランジスタのオン電流を向上させる一方で、P-MOSトランジスタのオン電流を低下させる。したがって、P-MOSトランジスタ10側にのみ元素注入を行うことにより、P-MOSのオン電流の低下を抑制することができる。

【0029】

なお、上記実施形態においてはテンサイル応力を持つダイレクト窒化膜を用い、P-MOSトランジスタ10側にのみ反応抑制元素を注入する例を示したが、コンプレッシブ応力を持つダイレクト窒化膜を用い、N-MOSトランジスタ20側にのみ反応抑制元素を注入することとしてもよい。

【0030】

また、本実施形態においては、ダイレクト窒化膜44と層間酸化膜46とを積層させた構造の層間絶縁膜を形成している。これにより、コンタクト形成等のため層間絶縁膜を工

10

20

30

40

50

ツチングする際に、ダイレクト窒化膜 44 をエッチングストップパとして機能させることができる。ただし、ダイレクト窒化膜 44 を設けることは必須ではない。ダイレクト窒化膜 44 を設けない場合すなわち窒化膜形成工程を省略する場合には、シリサイド膜形成工程の直後に元素注入工程を実行すればよい。このとき、P-MOSトランジスタ 10 側およびN-MOSトランジスタ 20 側の双方に反応抑制元素を注入してもよく、何れか一方にのみ注入してもよい。

【0031】

図 7 は、NiSi 膜に反応抑制元素を注入した場合および注入しない場合それぞれについて、NiSi 膜の耐熱温度を測定したグラフである。反応抑制元素の注入は、ダイレクト窒化膜上から行った。ここでいう耐熱温度とは、NiSi 膜が、ダイシリサイド化すなわち NiSi₂ 膜に変化する際の温度である。グラフの縦軸はシート抵抗値 () を表し、横軸は温度 () を表す。ニッケルがダイシリサイド化するとシート抵抗値が増大することから、注入なしの場合の耐熱温度が約 450 であるのに対し、反応抑制元素を注入した場合の耐熱温度は 500 以上であることが判る。したがって、反応抑制元素を注入することにより、NiSi 膜の耐熱性を向上させることができ、それにより NiSi 膜のダイシリサイド化を抑制することができる。

10

【図面の簡単な説明】

【0032】

【図 1】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

【図 2】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

20

【図 3】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

【図 4】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

【図 5】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

【図 6】本発明による半導体装置の製造方法の一実施形態を説明するための図である。

【図 7】本発明による半導体装置の製造方法の効果の説明するためのグラフである。

【符号の説明】

【0033】

10 P-MOSトランジスタ

12 ゲート電極

13 ゲート酸化膜

30

14 ソース・ドレイン領域

16 LDD領域

18 スペース

20 N-MOSトランジスタ

22 ゲート電極

23 ゲート酸化膜

24 ソース・ドレイン領域

26 LDD領域

28 スペース

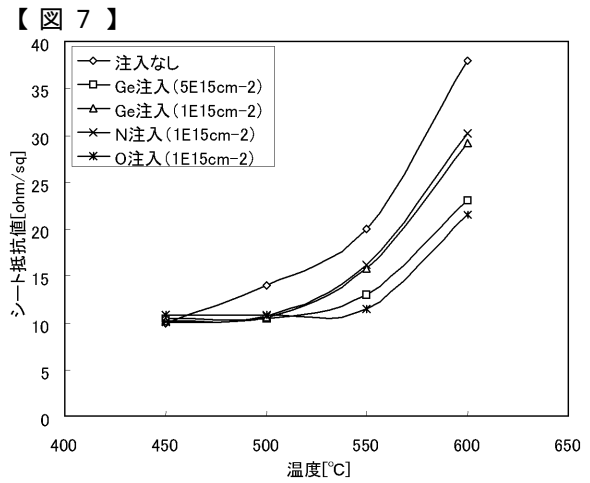
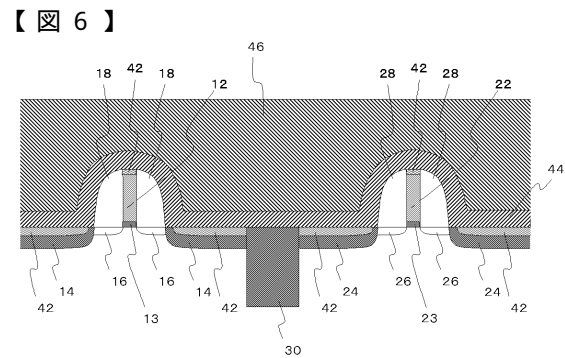
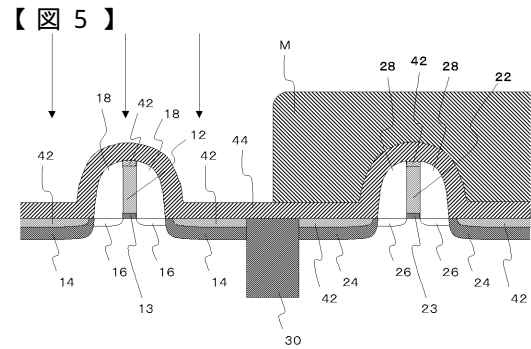
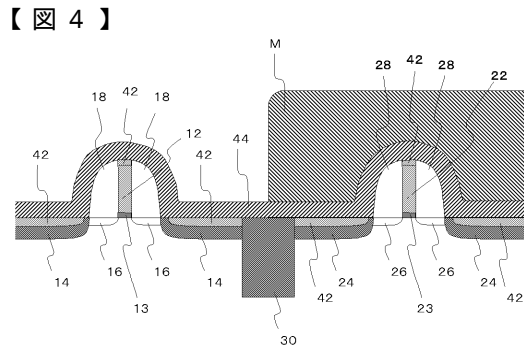
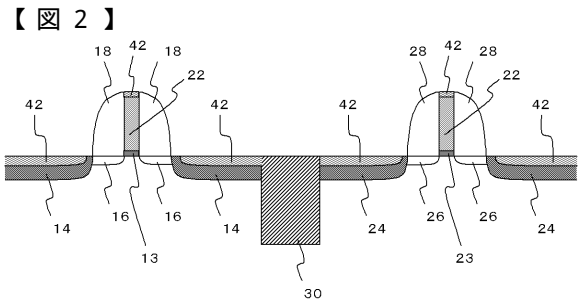
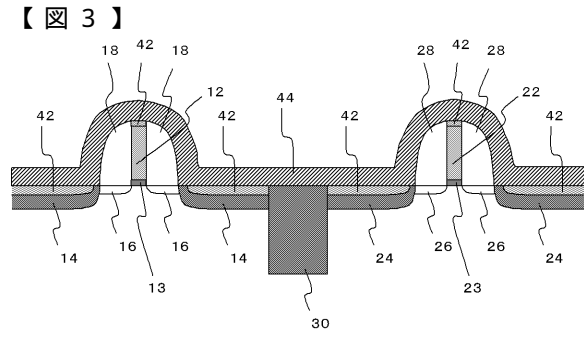
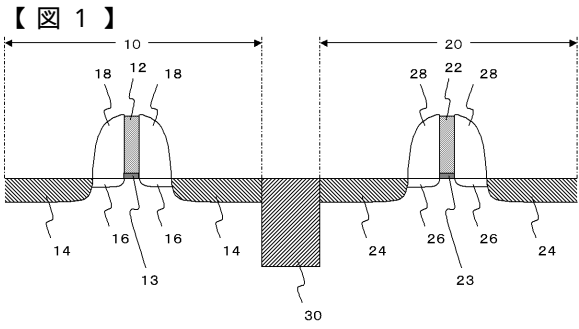
30 STI領域

40

42 SiNi膜

44 ダイレクト窒化膜

46 層間酸化膜



フロントページの続き

| (51)Int.Cl. ⁷ | F I | テーマコード(参考) |
|--------------------------|---------------|------------|
| H 0 1 L 29/423 | H 0 1 L 27/08 | 3 2 1 F |
| H 0 1 L 29/49 | | |
| H 0 1 L 29/78 | | |

Fターム(参考) 5F140 AA01 AA10 AA24 AB03 AC01 AC28 BF04 BF11 BF18 BF38
BG08 BG43 BH15 BJ01 BJ08 BJ21 BK37 CB04 CC01 CC03
CC08