



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I669806 B

(45) 公告日：中華民國 108 (2019) 年 08 月 21 日

(21) 申請案號：106106360

(22) 申請日：中華民國 106 (2017) 年 02 月 24 日

(51) Int. Cl. : **H01L27/11521 (2017.01)**

(30) 優先權：2017/02/07 美國

62/455,633

(71) 申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72) 發明人：曾根原岳志 SONEHARA, TAKESHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

CN 102201416A

US 2009/0242966A1

US 2011/0303971A1

US 2013/0075742A1

US 2013/0134492A1

審查人員：楊翠瑩

申請專利範圍項數：20 項 圖式數：13 共 30 頁

(54) 名稱

半導體記憶裝置及其製造方法

(57) 摘要

實施形態之半導體記憶裝置具備：積層體，其係電極膜及絕緣膜沿著第 1 方向交替積層而成；半導體構件，其於上述第 1 方向延伸，並貫通上述積層體；及電荷累積構件，其設置於上述半導體構件與上述電極膜之間。上述電極膜具有包含金屬矽化物，且自上述第 1 方向觀察包圍上述半導體構件之第 1 部分。

指定代表圖：

符號簡單說明：

13 . . . 電極膜

13a . . . 矽化物部

13b . . . 多晶矽部

18 . . . 氧化矽板

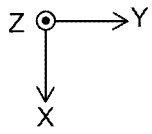
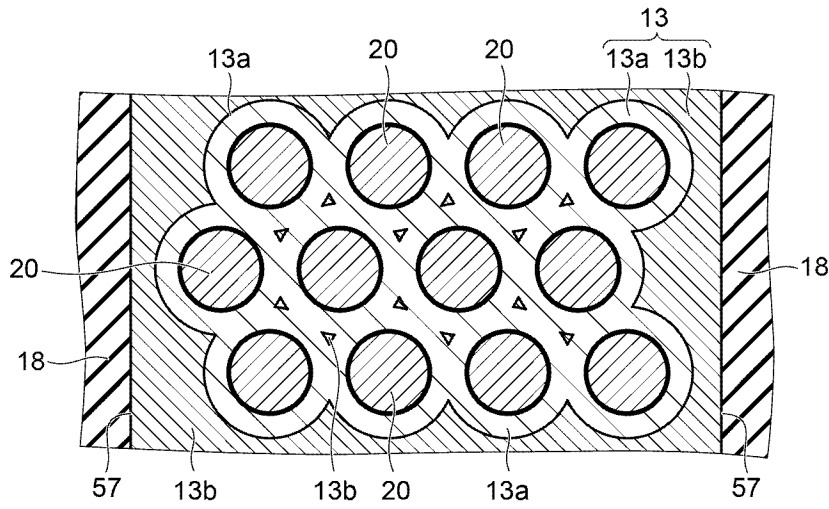
20 . . . 矽柱

57 . . . 狹縫

X . . . 方向

Y . . . 方向

Z . . . 方向



【圖2】

【發明說明書】

【中文發明名稱】

半導體記憶裝置及其製造方法

【技術領域】

實施形態係關於一種半導體記憶裝置及其製造方法。

【先前技術】

近年來，提案有將記憶胞三維積體之積層型半導體記憶裝置。於此種積層型半導體記憶裝置中，於半導體基板上設置將電極膜與絕緣膜交替積層而成之積層體，且設置有貫通積層體的半導體柱。且，於電極膜與半導體柱之每個交叉部分形成記憶胞。對於此種半導體記憶裝置，動作之高速化成為問題。

【發明內容】

實施形態提供一種動作速度快之半導體記憶裝置及其製造方法。

實施形態之半導體記憶裝置具備：積層體，其係電極膜及絕緣膜沿著第1方向交替積層而成；半導體構件，其於上述第1方向延伸，並貫通上述積層體；及電荷累積構件，其設置於上述半導體構件與上述電極膜之間。上述電極膜具有包含金屬矽化物，且自上述第1方向觀察包圍上述半導體構件之第1部分。

【圖式簡單說明】

圖1係顯示第1實施形態之半導體記憶裝置之立體圖。

圖2係顯示第1實施形態之半導體記憶裝置之剖視圖。

圖3A及圖3B係顯示第1實施形態之半導體記憶裝置之剖視圖。

圖4～圖9係顯示第1實施形態之半導體記憶裝置之製造方法之剖視

圖。

圖10係顯示第1實施形態之效果之俯視圖。

圖11係顯示第2實施形態之半導體記憶裝置之剖視圖。

圖12係顯示第3實施形態之半導體記憶裝置之剖視圖。

圖13係顯示第4實施形態之半導體記憶裝置之剖視圖。

【實施方式】

(第1實施形態)

首先，對第1實施形態進行說明。

圖1係顯示本實施形態之半導體記憶裝置之立體圖。

圖2係顯示本實施形態之半導體記憶裝置之剖視圖。

圖3A及圖3B係顯示本實施形態之半導體記憶裝置之剖視圖。

另，各圖係模式性圖，被適當誇張及省略地描繪。例如，各構成要件較實際被描繪得更少且更大。又，於圖之間，構成要件之數量及尺寸比等未必一致。

本實施形態之半導體記憶裝置為積層型NAND(Not And：與非)快閃記憶體。

如圖1所示，於本實施形態之半導體記憶裝置1中，設置有矽基板10。矽基板10例如藉由單晶矽而形成。於矽基板10上，設置有層間絕緣膜81。層間絕緣膜81例如藉由矽氧化物而形成。於層間絕緣膜81上設置有源極電極膜82。源極電極膜82例如藉由添加了雜質之多晶矽而形成。

以下，於本說明書中，為方便說明而採用XYZ正交座標系。將相對於矽基板10之上表面10a平行、且相互正交之2個方向設為「X方向」及「Y方向」，將相對於矽基板10之上表面10a垂直之方向設為「Z方向」。

此外，雖將Z方向中，自矽基板10朝向源極電極膜82之方向稱作「上」，將其反方向稱作「下」，但該表現係為方便說明者，與重力之方向無關。

又，於本說明書中，所謂「矽基板」，係指以矽(Si)為主成分之基板。對於其他構成要件亦同樣，構成要件之名稱包含材料名之情形時，該構成要件之主成分為該材料。又，一般而言，矽為半導體材料，因此只要無特別說明，矽基板即為半導體基板。對於其他構成要件亦同樣，只要無特別說明，其構成要件之特性即反映主成分之特性。

於矽基板10之上層部分及層間絕緣膜81內，形成有胞下電路90。胞下電路90係對後述之記憶胞電晶體MC進行資料之寫入、讀取及抹除之驅動電路之一部分，例如包含感測放大器。例如，矽基板10之上層部分係藉由STI(Shallow Trench Isolation：淺槽隔離)84而區劃成複數個主動區域，於某主動區域形成n型MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor：金屬氧化物半導體場效電晶體)85，於其他主動區域形成p型MOSFET86。

又，於層間絕緣膜81內多段地設置有配線87，亦設置有將配線87連接於矽基板10之接點88、及連接配線87彼此之通孔89。另，圖1之n型MOSFET85、p型MOSFET86及配線87等之描畫係模式性者，實際之元件之尺寸及配置未必一致。

於源極電極膜82上，設置有氧化矽膜11。於氧化矽膜11上，沿著Z方向交替積層有氧化矽膜12及電極膜13。藉由氧化矽膜11、以及交替積層之複數層氧化矽膜12及複數層電極膜13，而形成有積層體15。於積層體15，形成有於X方向延伸之狹縫57。積層體15藉由狹縫57而於Y方向分斷。於藉由狹縫57分斷之積層體15內，各電極膜13於X方向延伸。即，電

極膜13之X方向之長度，較電極膜13之Z方向之長度、及電極膜13之Y方向之長度更長。於狹縫57內設置有氧化矽板18。

於積層體15內，設置有於Z方向延伸並貫通積層體15之矽柱20。矽柱20包含多晶矽，其形狀為大致圓柱形。矽柱20之下端連接於矽基板10，上端露出於積層體15之上表面。自Z方向觀察，矽柱20沿著複數行，例如4行週期地排列。

於積層體15上，設置有於X方向延伸之複數條位元線22。位元線22經由插塞23而連接於矽柱20之上端。因此，矽柱20連接於位元線22與矽基板10之間。

於積層體15中，自上起1段或複數段電極膜13作為上部選擇閘極線SGD發揮功能，於上部選擇閘極線SGD與矽柱20之每個交叉部分，構成上部選擇閘極電晶體STD。又，自下起1段或複數段電極膜13作為下部選擇閘極線SGS發揮功能，於下部選擇閘極線SGS與矽柱20之每個交叉部分，構成下部選擇閘極電晶體STS。下部選擇閘極線SGS及上部選擇閘極線SGD以外之電極膜13作為字元線WL發揮功能，於字元線WL與矽柱20之每個交叉部分，構成記憶胞電晶體MC。藉此，複數個記憶胞電晶體MC沿著各矽柱20而串聯連接，且於其兩端連接下部選擇閘極電晶體STS及上部選擇閘極電晶體STD，形成NAND串。

如圖2所示，電極膜13由矽化物部13a與多晶矽部13b構成。矽化物部13a包含金屬矽化物，且配置於矽柱20之周圍。即，自Z方向觀察，矽化物部13a包圍矽柱20。配置於相鄰之矽柱20之周圍之矽化物部13a係相互連結而一體化。此時，自Z方向觀察，一體化之矽化物部13a包圍複數條矽柱20。其結果，於電極膜13中，形成有包含矽化物部13a且於X方向延

伸之路徑P(參照圖10)。

形成矽化物部13a之金屬矽化物為例如矽化鎳(NiSi_2)、矽化鈷(CoSi_2)、矽化鎢(WSi_2)、或矽化鉑(PtSi_2)等。更一般而言，若將金屬元素設為M，則金屬矽化物以化學式 M_xSi_y 記述，(x : y)之比可例如設為(1 : 2)、(1 : 1)或(2 : 1)等。又，金屬矽化物亦可為NiPtSi等混合矽化物。

多晶矽部13b包含多晶矽，配置於離開電極膜13中所有矽柱20一定以上距離之位置，主要配置於電極膜13之Y方向兩端部，即，配置於與氧化矽板18相接之部分。於電極膜13整體中，多晶矽部13b包圍矽化物部13a。例如，構成下部選擇閘極線SGS及上部選擇閘極線SGD之電極膜13之多晶矽部13b含有硼(B)等之成為受體之雜質，其導電型為p型。另一方面，構成字元線WL之電極膜13之多晶矽部13b含有磷(P)等之成為供體之雜質，其導電型為n型。

如圖3A及圖3B所示，於矽柱20與電極膜13之間，自矽柱20朝向電極膜13，依序設置有穿隧絕緣膜31、浮動閘極電極32及阻斷絕緣膜33。另，於圖1及圖2中，省略穿隧絕緣膜31、浮動閘極電極32及阻斷絕緣膜33。

穿隧絕緣膜31通常為絕緣性，但當施加處於半導體記憶裝置1之驅動電壓之範圍內之特定電壓時，流通穿隧電流之膜。穿隧絕緣膜31例如藉由單層之氧化矽膜、或由氧化矽層、氮化矽層及氧化矽層依序積層之ONO膜而形成。

浮動閘極電極32係具有累積電荷之能力之導電體，例如藉由矽而形成。阻斷絕緣膜33係即使被施加半導體記憶裝置1之驅動電壓之範圍內之

電壓亦實質上未流通電流之膜。

阻斷絕緣膜33係例如由氧化矽層33a、氮化矽層33b及氧化矽層33c依序積層之ONO膜。氧化矽層33a與浮動閘極電極32相接，氧化矽層33c與電極膜13之矽化物部13a相接。

穿隧絕緣膜31配置於矽柱20之側面上之大致整體，其形狀為圓筒形。浮動閘極電極32及阻斷絕緣膜33係於每層電極膜13被區劃，各浮動閘極電極32及各阻斷絕緣膜33之形狀為包圍矽柱20及穿隧絕緣膜31之圓環狀。又，阻斷絕緣膜33亦配置於浮動閘極電極32之上表面上及下表面上。沿著Z方向排列之浮動閘極電極32彼此介隔氧化矽膜12相互隔離，沿著Z方向排列之阻斷絕緣膜33彼此亦介隔氧化矽膜12相互隔離。

接著，對本實施形態之半導體記憶裝置之製造方法進行說明。

圖4～圖9係顯示本實施形態之半導體記憶裝置之製造方法之剖視圖。

首先，如圖1所示，於矽基板10上形成層間絕緣膜81，且於矽基板10之上層部分及層間絕緣膜81內形成胞下電路90。接著，於層間絕緣膜81上形成源極電極膜82。接著，於源極電極膜82上形成氧化矽膜11。

接著，如圖4所示，交替地形成氧化矽膜12與多晶矽膜13c。此時，最上段設為氧化矽膜12。藉由氧化矽膜11(參照圖1)、複數層氧化矽膜12及複數層多晶矽膜13c，而形成積層體15。

接著，如圖5所示，例如，藉由微影法及RIE(Reactive Ion Etching：反應性離子蝕刻)法，而於積層體15形成圓柱形狀之記憶體孔53。使記憶體孔53到達源極電極膜82。

接著，如圖6所示，經由記憶體孔53使多晶矽膜13c凹陷。藉此，於

記憶體孔53之內表面形成凹部54。凹部54形成為包圍記憶體孔53之環狀。

接著，如圖7所示，使金屬材料堆積，於記憶體孔53及凹部54之內表面上形成金屬膜55。金屬膜55包含選自含鎳(Ni)、鈷(Co)、鎢(W)及鉑(Pt)之群之1種以上之金屬，例如包含鎳。

接著，如圖8所示，藉由實施熱處理，而使金屬膜55中之金屬元素與多晶矽膜13c中之矽反應。藉此，形成金屬矽化物例如矽化鎳，多晶矽膜13c之一部分變化成矽化物部13a。以下，將多晶矽膜13c之未反應部分稱作多晶矽部13b。接著，將金屬膜55中之未反應部分去除。

此時，如圖10所示，以相鄰之記憶體孔53為起點而生成之矽化物部13a彼此接觸，於電極膜13中，形成包含矽化物部13a且於X方向延伸之路徑P。另一方面，於與電極膜13中所有之記憶體孔53隔開一定以上距離之部分，例如電極膜13之Y方向兩端部及X方向兩端部，殘留多晶矽部13b。

接著，如圖9所示，藉由使矽氧化物堆積於整面，而形成氧化矽層33c。氧化矽層33c亦形成於記憶體孔53及凹部54之內表面上。接著，藉由使矽氮化物堆積於整面，而於氧化矽層33c之表面上形成氮化矽層33b。接著，藉由使矽氧化物堆積於整面，而於氮化矽層33b之表面上形成氧化矽層33a。

接著，藉由使矽堆積於整面，而於氧化矽層33a之表面上形成多晶矽膜。接著，藉由實施RIE等蝕刻，而將多晶矽膜、氧化矽層33a、氮化矽層33b及氧化矽層33c中堆積於記憶體孔53內之部分去除，使堆積於凹部54內之部分殘留。藉此，於凹部54內，形成包含氧化矽層33c、氮化矽層

33b及氧化矽層33a之阻斷絕緣膜33，與包含多晶矽之浮動閘極電極32。

接著，如圖3A及圖3B所示，使例如矽氧化物堆積於整面。藉此，於記憶體孔53之內表面上形成穿隧絕緣膜31。穿隧絕緣膜31覆蓋浮動閘極電極32。接著，使矽堆積，於記憶體孔53內形成矽柱20。

接著，如圖1及圖2所示，於積層體15形成於X方向延伸之狹縫57。使狹縫57到達源極電極膜82。接著，於狹縫57內嵌入矽氧化物，形成氧化矽板18。

接著，於積層體15上形成絕緣膜(未圖示)，於絕緣膜內形成插塞23。插塞23連接於矽柱20。接著，於絕緣膜上形成於X方向延伸之位元線22，且連接於插塞23。如此而製造本實施形態之半導體記憶裝置1。

接著，對本實施形態之效果進行說明。

圖10係顯示本實施形態之效果之俯視圖。

於本實施形態之半導體記憶裝置1中，電極膜13之一部分，即矽化物部13a藉由金屬矽化物而形成。藉此，可降低電極膜13之電阻，提高半導體記憶裝置1之動作速度。

又，如圖10所示，於半導體記憶裝置1中，形成於相鄰之矽柱20周圍之矽化物部13a彼此接觸，構成沿著X方向延伸之包含金屬矽化物之路徑P。藉此，可進而降低電極膜13之沿著X方向之電阻。

再者，於本實施形態中，於圖4所示之步驟中，使氧化矽膜12及多晶矽膜13c交替堆積而形成積層體15，於圖5所示之步驟中，於積層體15形成記憶體孔53。其後，於圖7所示之步驟中，形成金屬膜55，於圖8所示之步驟中，形成矽化物部13a。因此，與自最初就使氧化矽膜與矽化物膜積層而形成積層體，且於該積層體形成記憶體孔之情形相比，記憶體孔53

之形成較容易。因此，本實施形態之半導體記憶裝置1容易製造。

(第2實施形態)

接著，對第2實施形態進行說明。

圖11係顯示本實施形態之半導體記憶裝置之剖視圖。

如圖11所示，於本實施形態之半導體記憶裝置2中，於包含矽柱20之中心軸20c之剖面中，矽化物部13a之朝向矽柱20之表面60a以於朝向矽柱20之方向凸起之方式彎曲。即，於Z方向相鄰之氧化矽膜12間，表面60a之Z方向中央部與矽柱20之距離，較表面60a之上端緣與矽柱20之距離及下端緣與矽柱20之距離更短。另，表面60a係矽化物部13a與阻斷絕緣膜33之界面。

於本實施形態中，於圖8所示之矽化物化處理中，實施足夠長時間之熱處理，使之熱飽和。藉此，矽化物部13a之端部變圓，形成以於朝向矽柱20之方向凸起之方式彎曲之表面60a。

根據本實施形態，由於表面60a彎曲，故較未彎曲之情形表面60a之面積較大。其結果，可提高電極膜13與浮動閘極電極32之間之耦合比。

本實施形態之上述以外之構成、製造方法及效果與上述第1實施形態同樣。

(第3實施形態)

接著，對第3實施形態進行說明。

圖12係顯示本實施形態之半導體記憶裝置之剖視圖。

如圖12所示，於本實施形態之半導體記憶裝置3中，於包含矽柱20之中心軸20c之剖面中，於矽化物部13a之朝向矽柱20之表面60b，形成凹部60c。因此，於Z方向相鄰之氧化矽膜12間，表面60b之Z方向中央部與矽

柱20之距離，較表面60b之上端緣與矽柱20之距離及下端緣與矽柱20之距離更長。

於本實施形態中，於圖8所示之矽化物化處理中，以吸入堆積於氧化矽膜12之上表面上及下表面上之金屬膜55形成矽化物部13a之方式，控制熱處理之條件。藉此，矽化物部13a之表面60b之上端緣及下端緣突出於記憶體孔53側，且於Z方向中央形成凹部60c。

於本實施形態中，亦與上述第2實施形態同樣，由於表面60b之面積較大，故可提高電極膜13與浮動閘極電極32之間之耦合比。

本實施形態之上述以外之構成、製造方法及效果與上述第1實施形態同樣。

(第4實施形態)

接著，對第4實施形態進行說明。

圖13係顯示本實施形態之半導體記憶裝置之剖視圖。

如圖13所示，於本實施形態之半導體記憶裝置4中，與上述第1實施形態之半導體記憶裝置1(參照圖3B)比較，設置有電荷累積膜62替代浮動閘極電極32作為電荷累積構件。電荷累積膜62包含具有電子之阱部位之絕緣材料，例如，包含矽氮化物。又，電荷累積膜62及阻斷絕緣膜33設置於記憶體孔53之內表面上之整體。因此，電荷累積膜62及阻斷絕緣膜33之形狀為包圍矽柱20之圓筒形。又，於矽柱20內，設置有於Z方向延伸之核心構件25。核心構件25例如藉由矽氧化物等絕緣材料而形成。

本實施形態之上述以外之構成及效果與上述第1實施形態同樣。

根據以上說明之實施形態，可實現動作速度快之半導體記憶裝置及其製造方法。

另，於上述各實施形態中，顯示了包圍相鄰之矽柱20之矽化物部13a彼此接觸之例，但未限定於此，包圍相鄰之矽柱20之矽化物部13a彼此亦可隔離。此時，若與電極膜13之整體藉由多晶矽形成之情形相比，亦可降低電極膜13之電阻。又，電極膜13整體亦可藉由矽化物而形成。

雖已說明本發明之數個實施形態，但該等實施形態係作為例子提示者，並未意欲限定發明之範圍。該等新穎之實施形態係可以其他多種形態實施，在未脫離發明之主旨之範圍內，可進行多種省略、置換、變更。該等實施形態或其變化係包含於發明之範圍或主旨，且包含於申請專利範圍所記述之發明及其均等之範圍內。

【符號說明】

1	半導體記憶裝置
2	半導體記憶裝置
3	半導體記憶裝置
4	半導體記憶裝置
10	矽基板
11	氧化矽膜
12	氧化矽膜
13	電極膜
13a	矽化物部
13b	多晶矽部
13c	多晶矽膜
15	積層體
18	氧化矽板

20	矽柱
20c	中心軸
22	位元線
23	插塞
25	核心構件
31	穿隧絕緣膜
32	浮動閘極電極
33	阻斷絕緣膜
33a	氧化矽層
33b	氮化矽層
33c	氧化矽層
53	記憶體孔
54	凹部
55	金屬膜
57	狹縫
60a	矽化物部之表面
60b	矽化物部之表面
60c	凹部
62	電荷累積膜
81	層間絕緣膜
82	源極電極膜
84	STI
85	n型MOSFET

86	p型MOSFET
87	配線
88	接點
89	通孔
90	胞下電路
MC	記憶胞電晶體
P	路徑
SGD	上部選擇閘極線
SGS	下部選擇閘極線
STD	上部選擇閘極電晶體
STS	下部選擇閘極電晶體
WL	字元線
X	方向
Y	方向
Z	方向



公告本

【發明摘要】

申請日：106年2月24日

IPC分類：H01L 27/11521 (2017.01)

I669806

【中文發明名稱】

半導體記憶裝置及其製造方法

【中文】

實施形態之半導體記憶裝置具備：積層體，其係電極膜及絕緣膜沿著第1方向交替積層而成；半導體構件，其於上述第1方向延伸，並貫通上述積層體；及電荷累積構件，其設置於上述半導體構件與上述電極膜之間。上述電極膜具有包含金屬矽化物，且自上述第1方向觀察包圍上述半導體構件之第1部分。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

13	電極膜
13a	矽化物部
13b	多晶矽部
18	氧化矽板
20	矽柱
57	狹縫
X	方向
Y	方向
Z	方向

【發明申請專利範圍】

【第1項】

一種半導體記憶裝置，其具備：
積層體，其係電極膜及絕緣膜沿著第1方向交替積層而成；
半導體構件，其於上述第1方向延伸，並貫通上述積層體；及
電荷累積構件，其設置於上述半導體構件與上述電極膜之間；且
上述電極膜具有包含金屬矽化物，且自上述第1方向觀察包圍上述半導體構件之第1部分。

【第2項】

如請求項1之半導體記憶裝置，其中上述電極膜進而具有包含矽之第2部分。

【第3項】

如請求項2之半導體記憶裝置，其中上述第2部分包圍上述第1部分。

【第4項】

如請求項2之半導體記憶裝置，其中上述第2部分包含成為供體之雜質。

【第5項】

如請求項2之半導體記憶裝置，其中上述第2部分包含成為受體之雜質。

【第6項】

如請求項2之半導體記憶裝置，其中上述電極膜之與上述第1方向交叉之第2方向之長度，較上述電極膜之上述第1方向之長度、及上述電極膜之與包含上述第1方向及第2方向之平面交叉之第3方向之長度更長；

上述第2部分之至少一部分配置於上述電極膜之上述第3方向兩端部。

【第7項】

如請求項1之半導體記憶裝置，其中上述第1部分自上述第1方向觀察包圍複數個上述半導體構件。

【第8項】

如請求項1之半導體記憶裝置，其中上述金屬矽化物包含選自含鎳、鈷、鎢及鉑之群之1種以上之金屬、以及矽。

【第9項】

如請求項1之半導體記憶裝置，其中於包含上述半導體構件之中心軸之剖面中，上述第1部分之朝向上述半導體構件之表面，以於朝向上述半導體構件之方向凸起之方式彎曲。

【第10項】

如請求項1之半導體記憶裝置，其中於包含上述半導體構件之中心軸之剖面中，於上述第1部分之朝向上述半導體構件之表面，形成有凹部。

【第11項】

如請求項1之半導體記憶裝置，其中上述電荷累積構件為導電性，於上述第1方向中，於上述每層電極膜被分斷。

【第12項】

如請求項1之半導體記憶裝置，其中上述電荷累積構件包含矽。

【第13項】

如請求項1之半導體記憶裝置，其中進而具備：第1絕緣膜，其設置於上述第1部分與上述電荷累積構件之間；且

上述第1絕緣膜具有：

第1層，其包含矽氧化物；

第2層，其包含矽氮化物；及

第3層，其包含矽氧化物；且

上述第2層配置於上述第1層與上述第3層之間。

【第14項】

如請求項1之半導體記憶裝置，其中進而具備：第2絕緣膜，其設置於上述電荷累積構件與上述半導體構件之間，且包含矽氧化物。

【第15項】

一種半導體記憶裝置之製造方法，其具備以下步驟：

使矽膜及絕緣膜沿著第1方向交替積層而形成積層體；

於上述積層體形成於上述第1方向延伸之孔；

於上述孔之內表面上形成金屬膜；

藉由使上述矽膜中之矽與上述金屬膜中之金屬元素反應，而使上述矽膜之一部分變化成包含金屬矽化物之第1部分；

於上述孔之內表面上形成電荷累積構件；及

於上述孔內形成半導體構件。

【第16項】

如請求項15之半導體記憶裝置之製造方法，其中進而具備以下步驟：

藉由經由上述孔去除上述矽膜之一部分，而於上述孔之內表面形成凹部；及

去除上述電荷累積構件中配置於上述孔內之部分，使配置於上述凹

部內之部分殘留。

【第17項】

如請求項15之半導體記憶裝置之製造方法，其中變化成上述第1部分之步驟具有實施熱處理之步驟。

【第18項】

如請求項15之半導體記憶裝置之製造方法，其中於形成上述孔之步驟中，於上述積層體形成複數個上述孔；

於變化成上述第1部分之步驟中，使以相鄰之上述孔為起點而生成之上述第1部分彼此接觸。

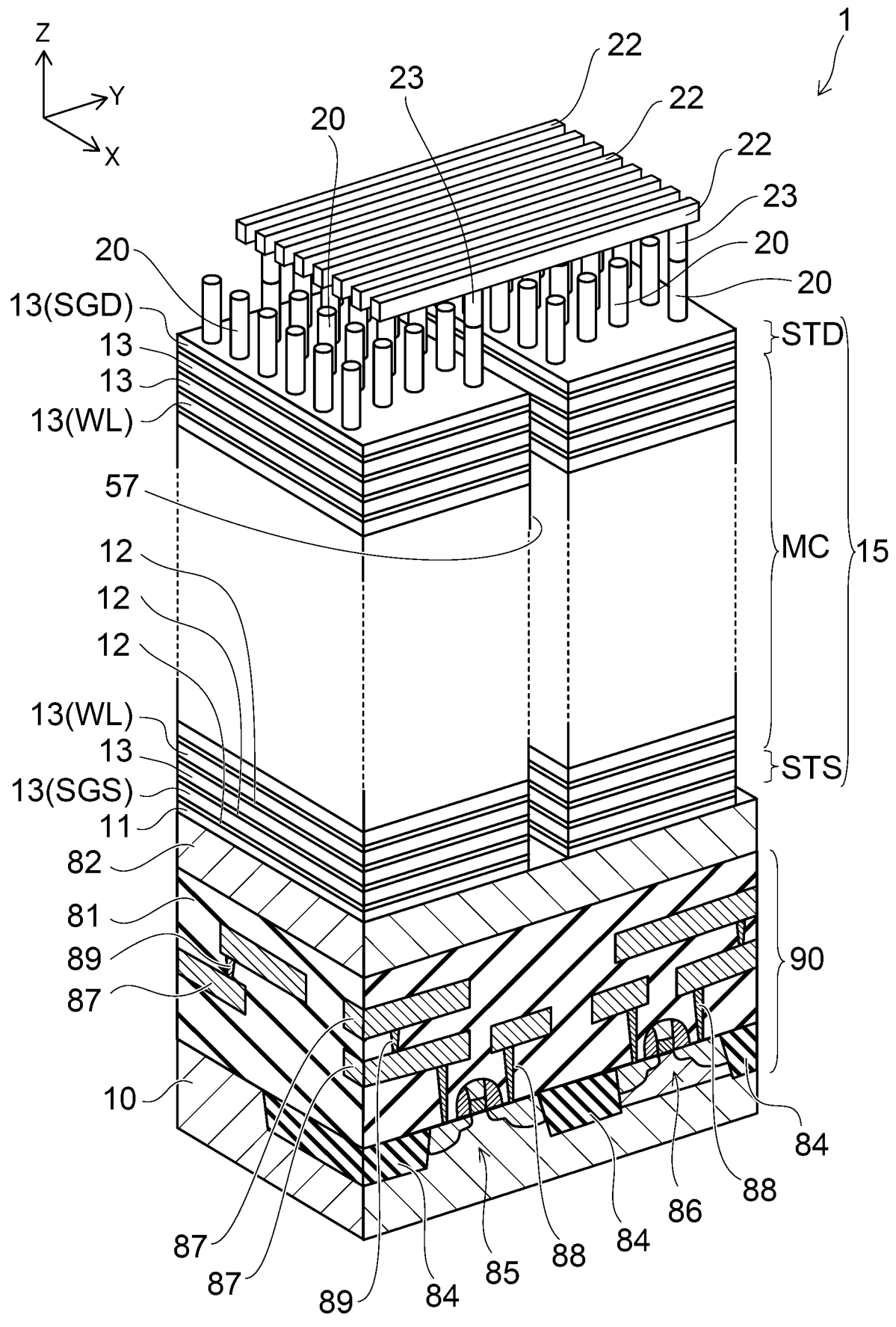
【第19項】

如請求項15之半導體記憶裝置之製造方法，其中進而具備於變化成上述第1部分之步驟後，去除上述金屬膜之未反應部分之步驟。

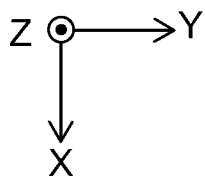
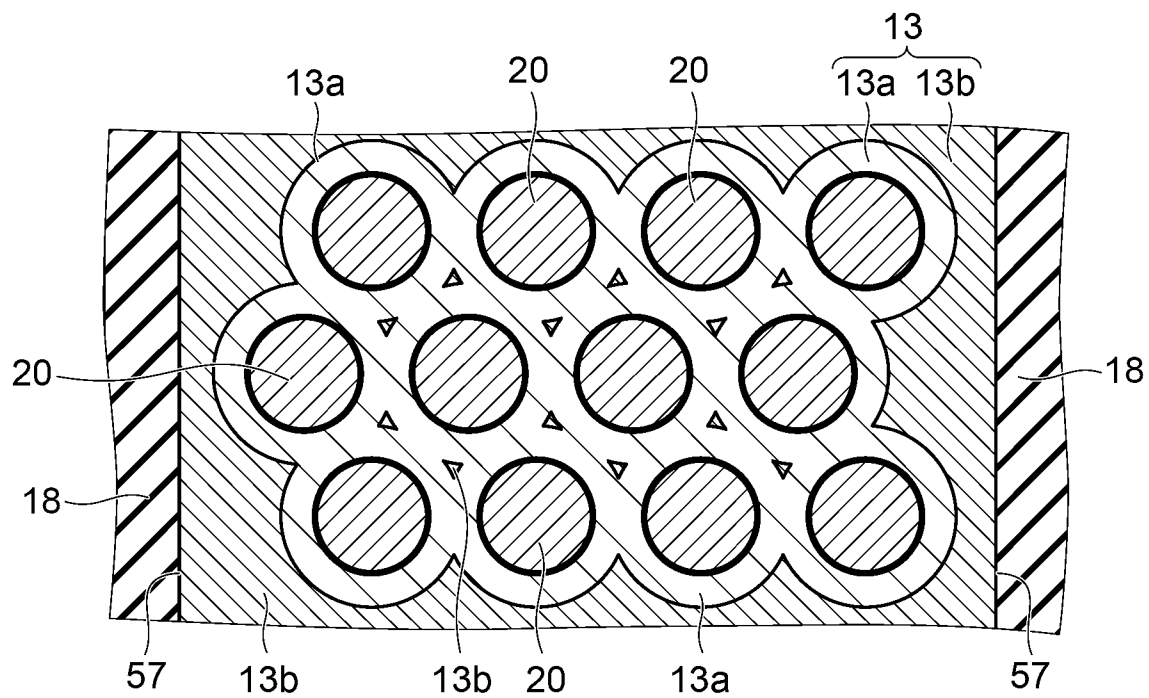
【第20項】

如請求項15之半導體記憶裝置之製造方法，其中上述金屬膜包含選自含鎳、鈷、鎢及鉑之群之1種以上之金屬。

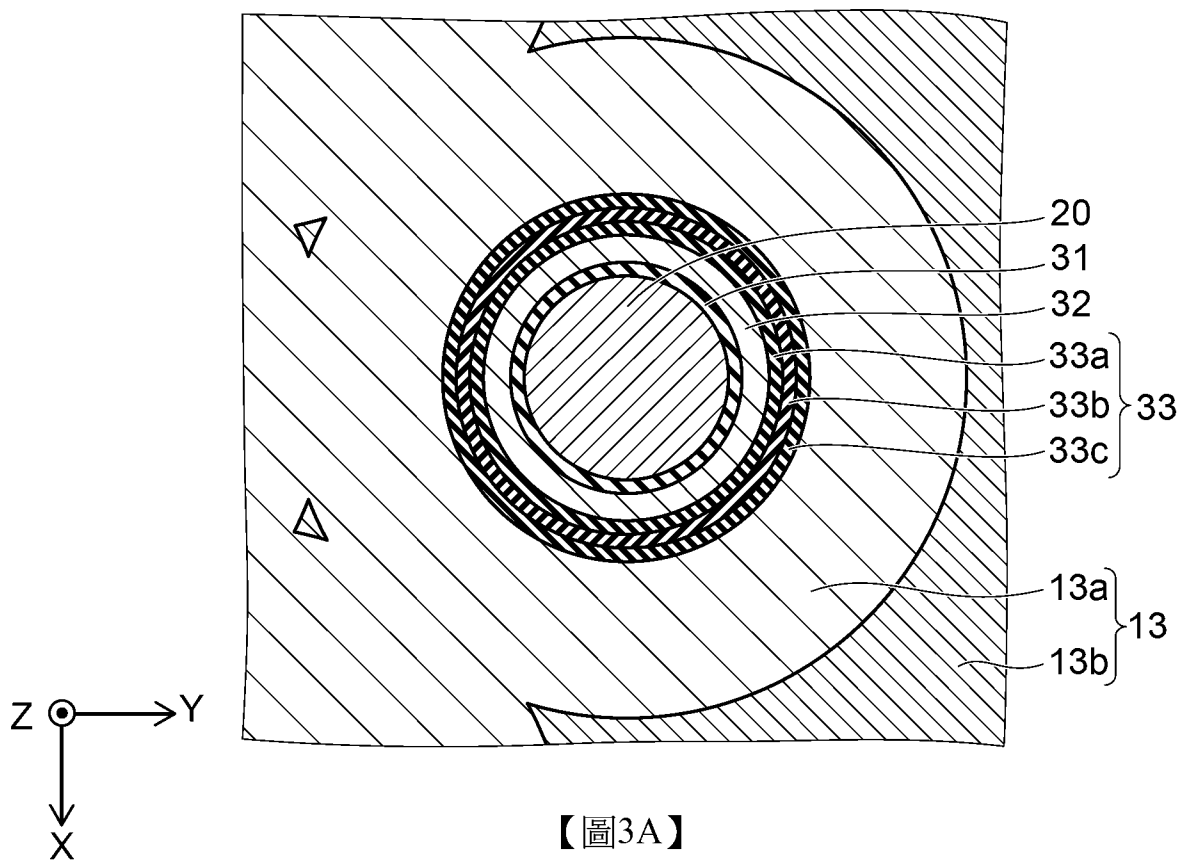
【發明圖式】



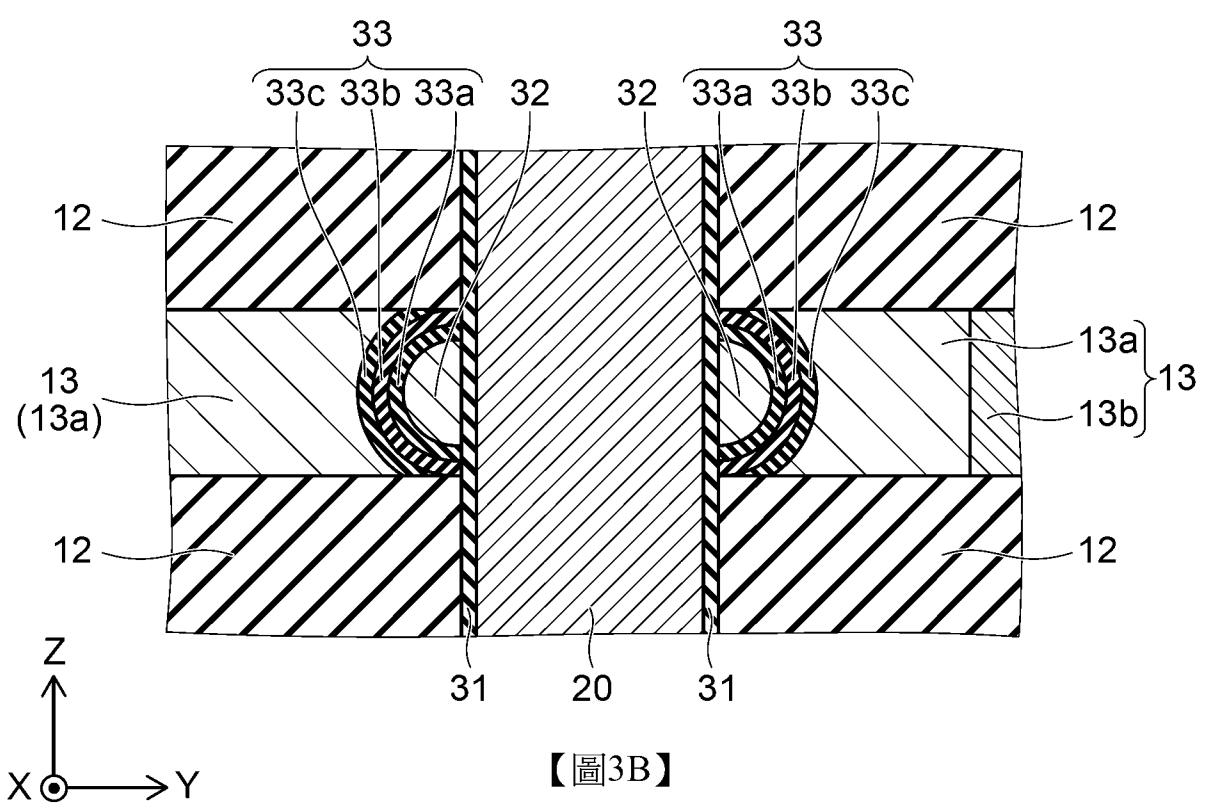
【圖1】



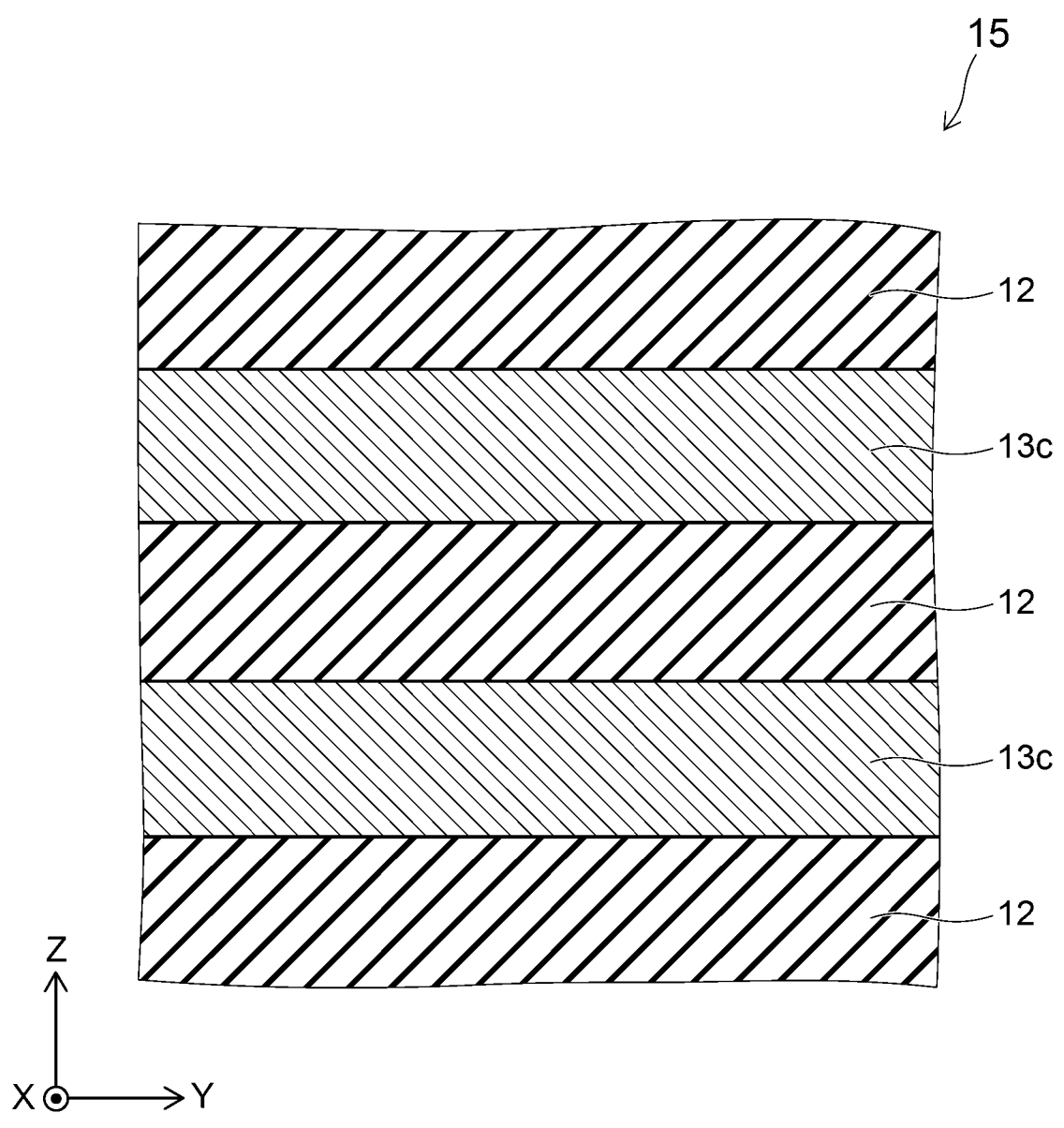
【圖2】



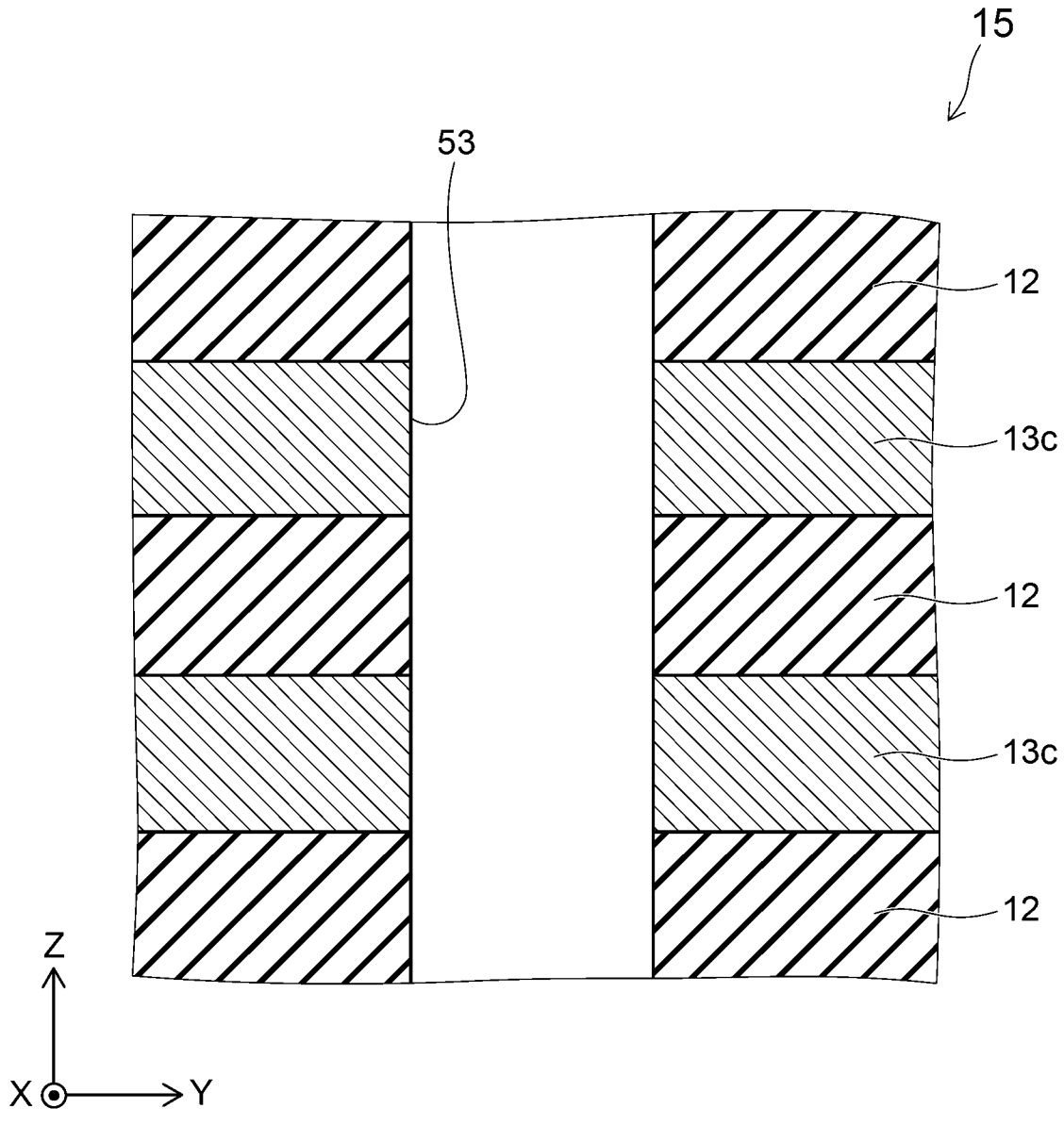
【圖3A】



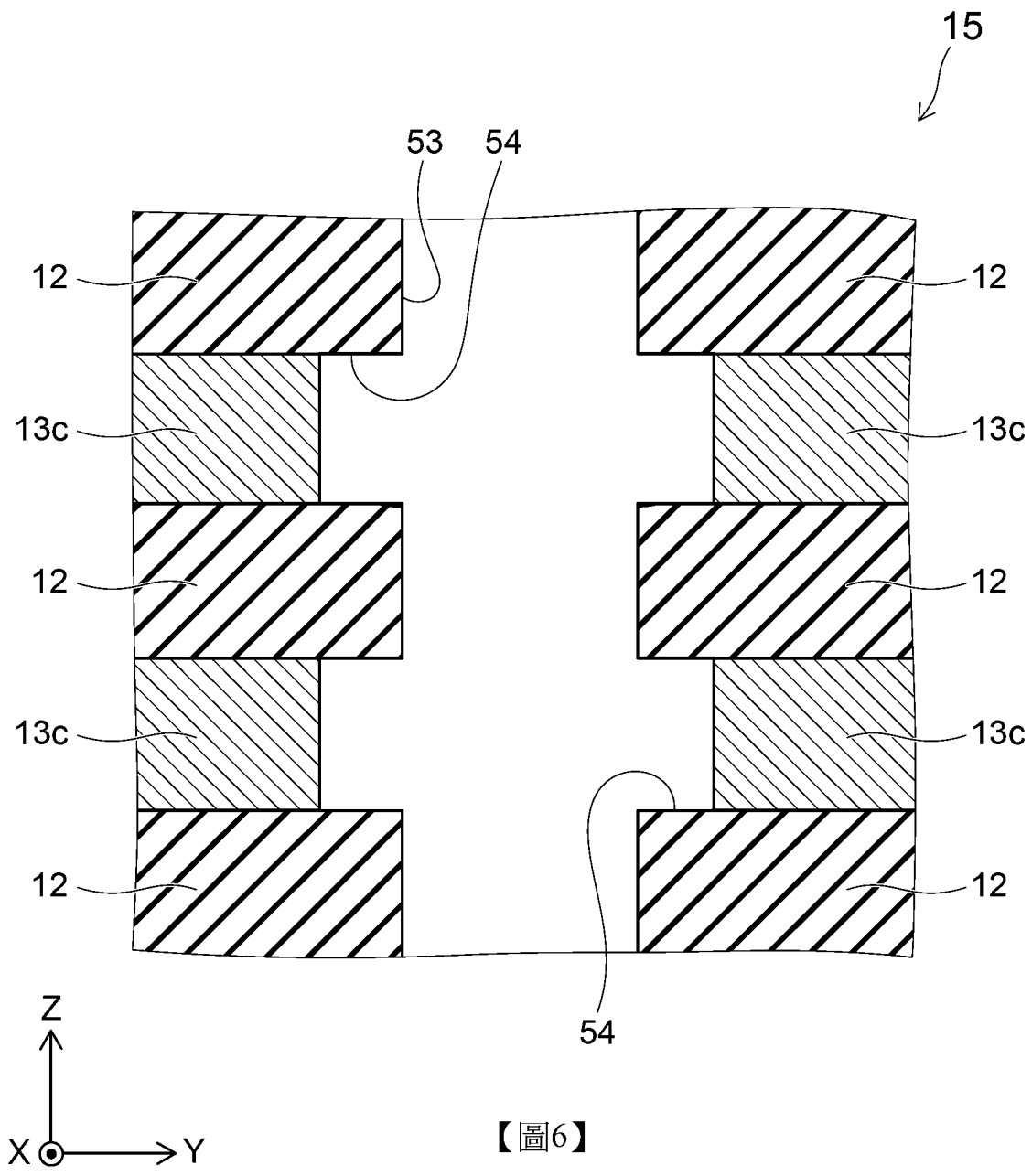
【圖3B】



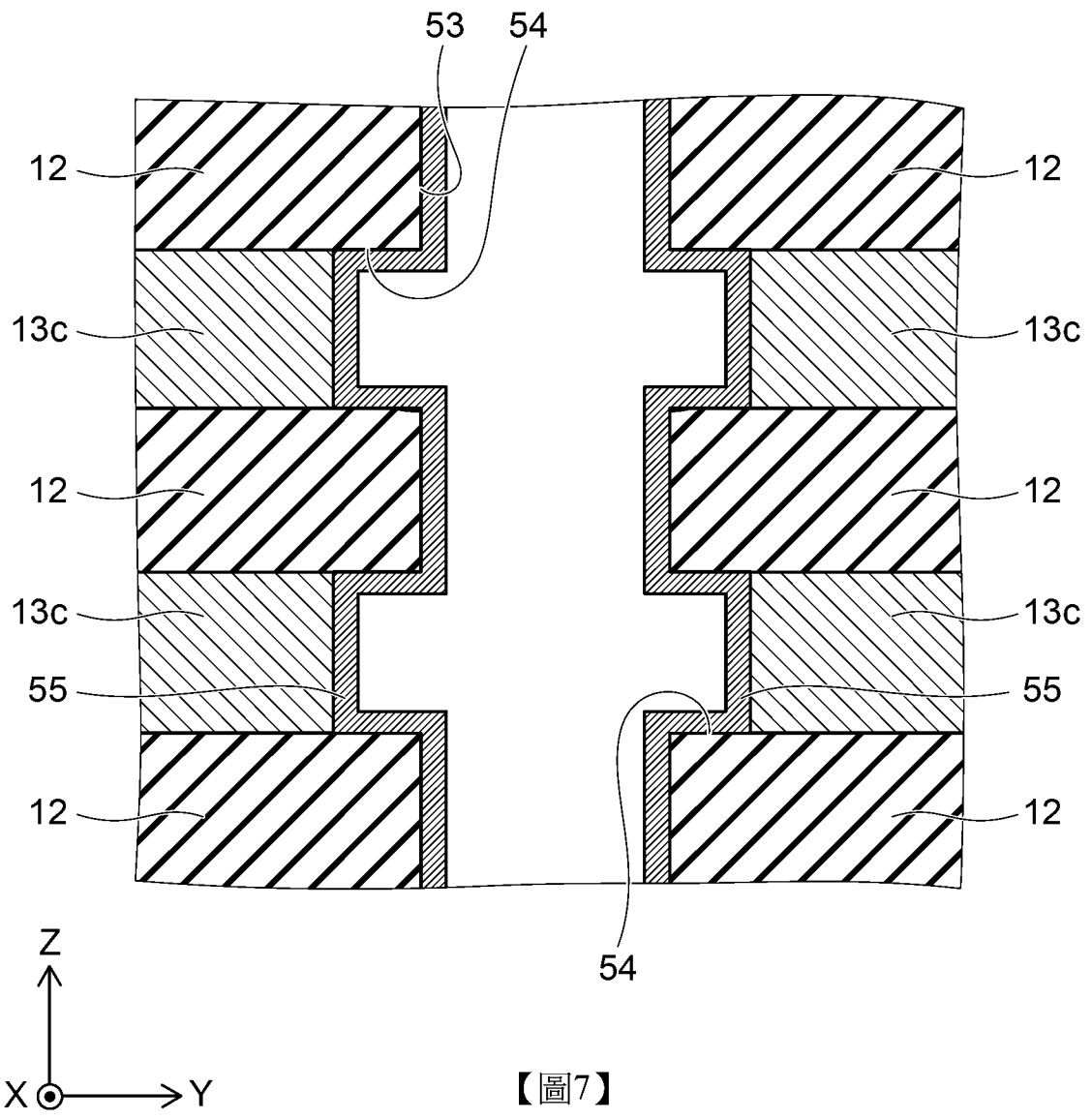
【圖4】

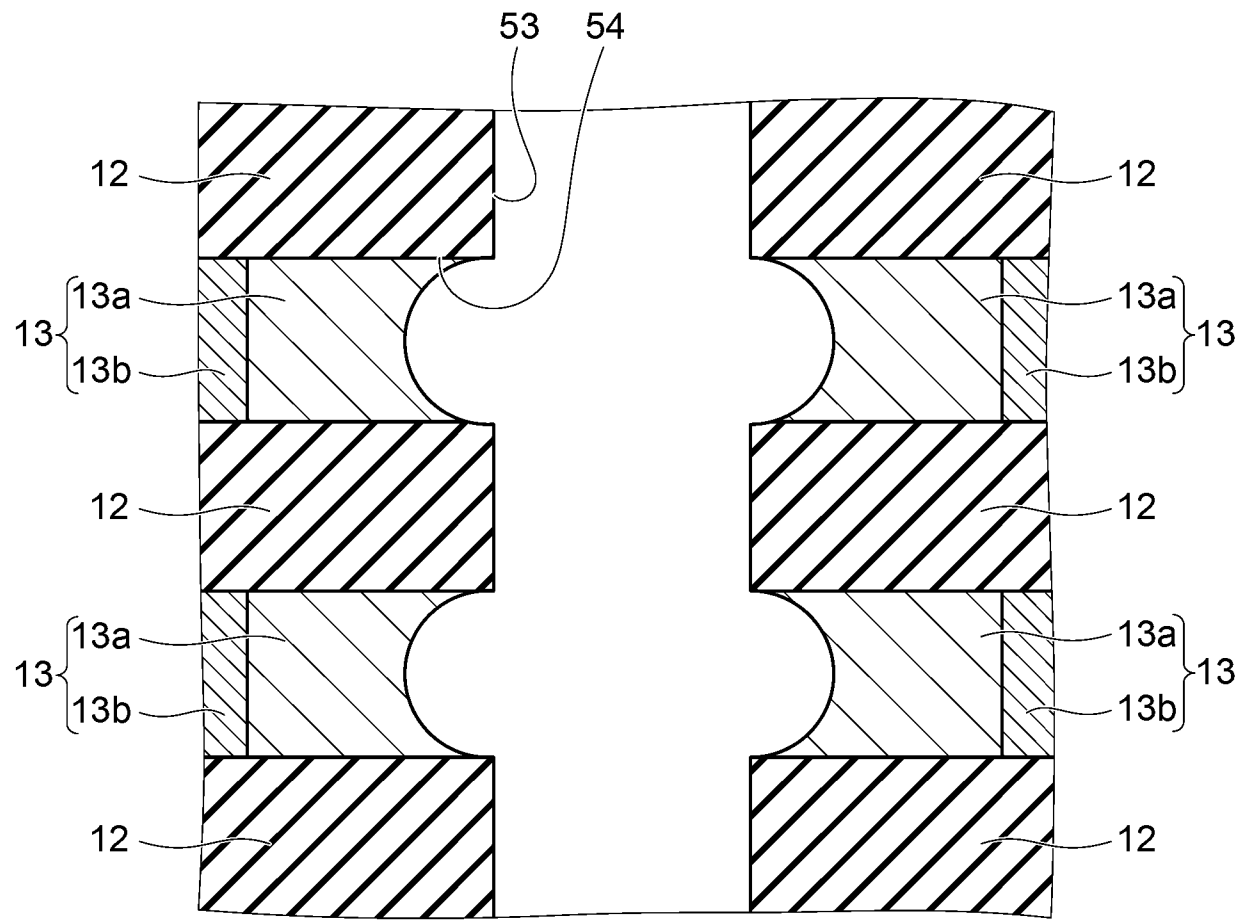


【圖5】

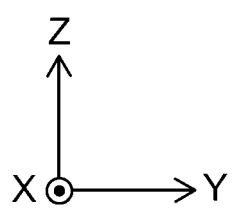
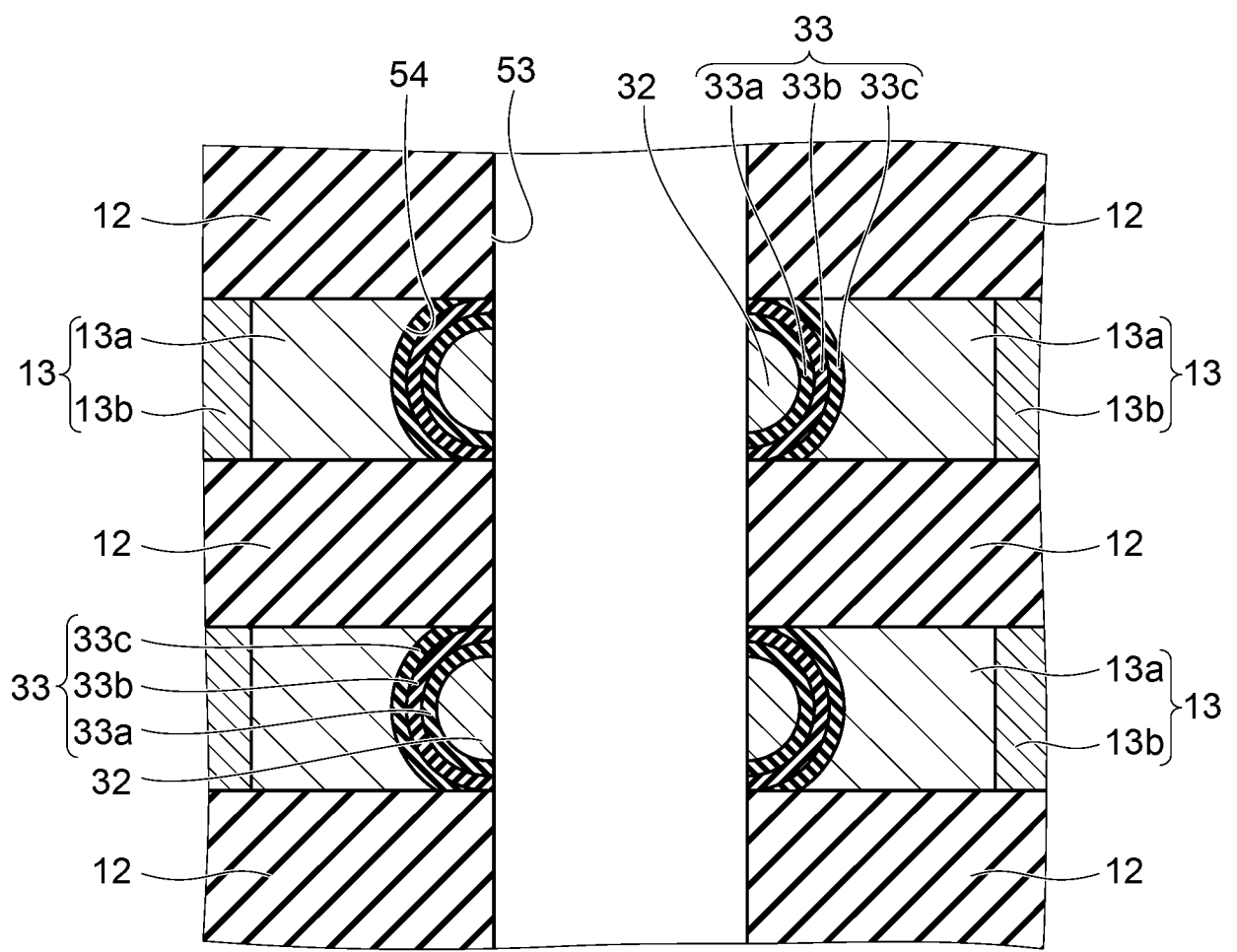


【圖6】

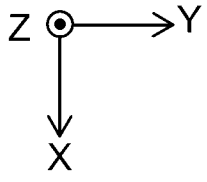
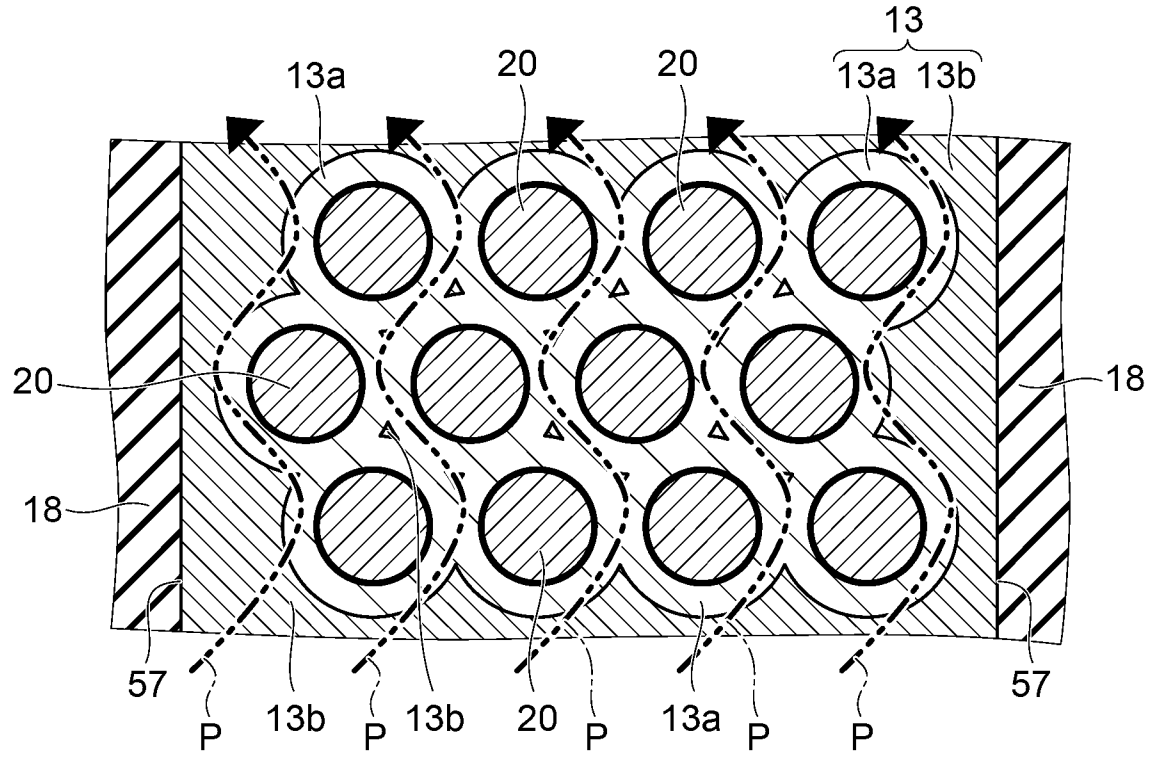




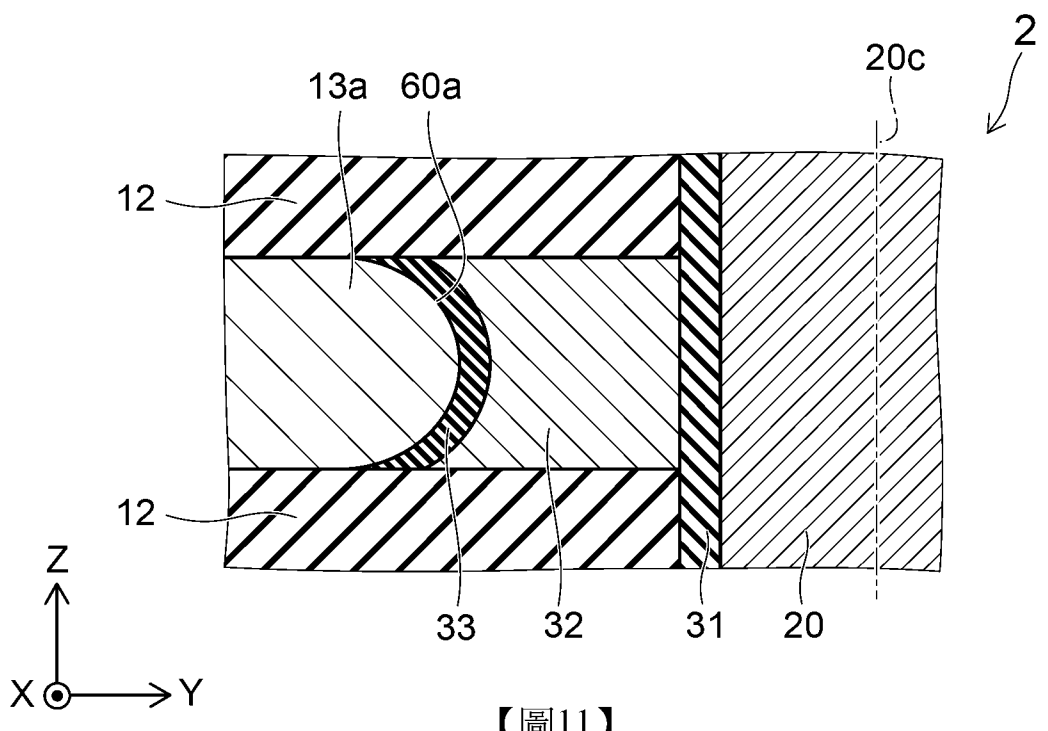
【圖8】



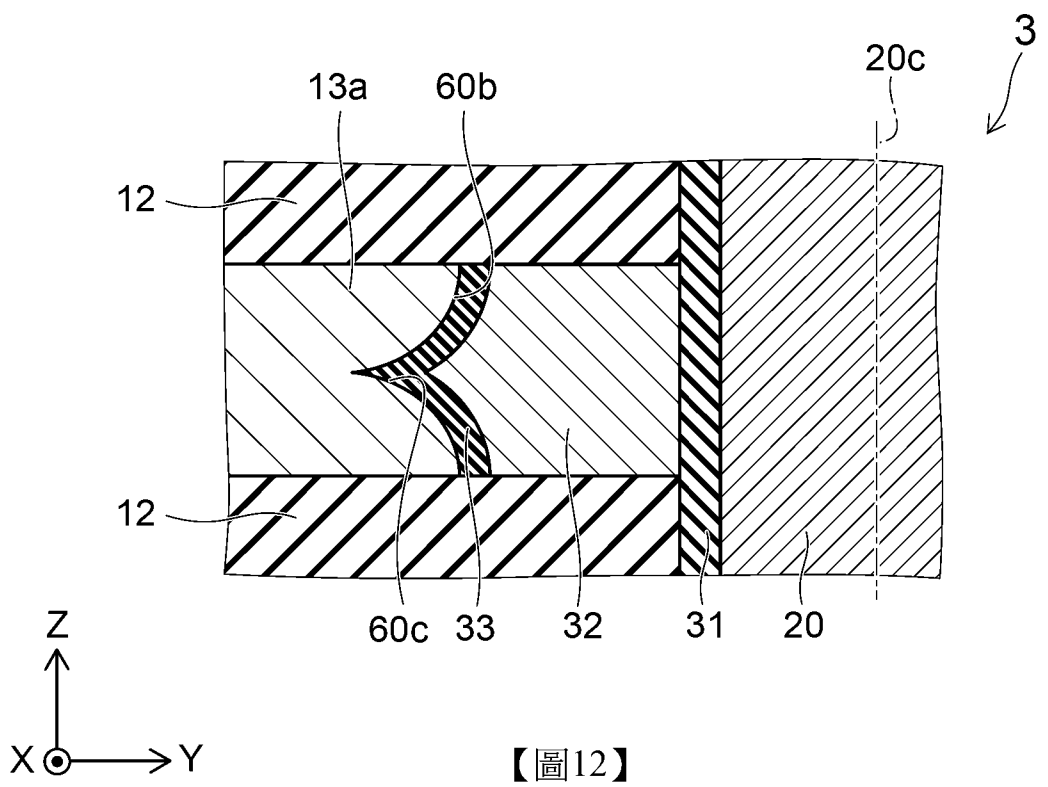
【圖9】



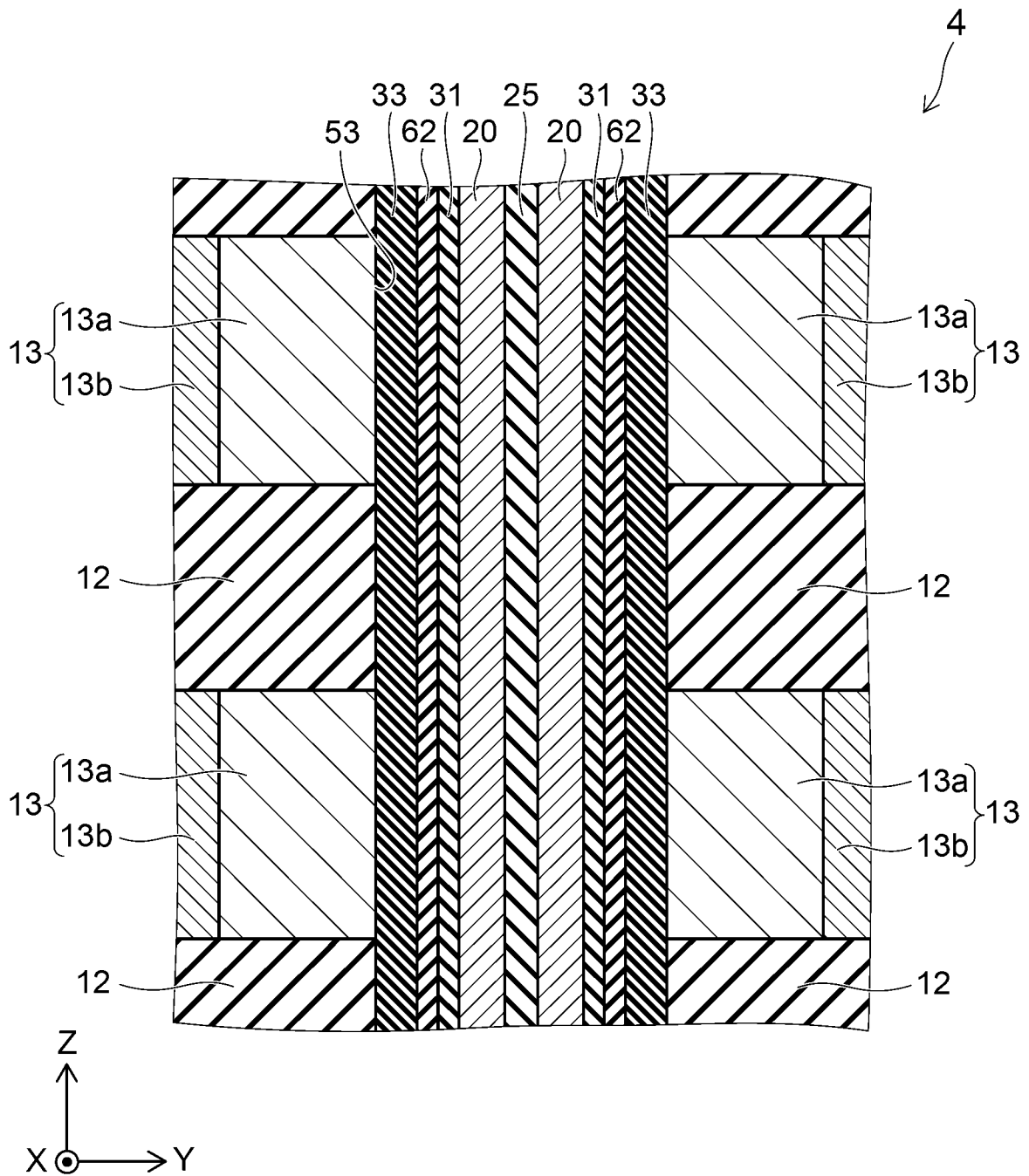
【圖10】



【圖11】



【圖12】



【圖13】