

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3568384号

(P3568384)

(45) 発行日 平成16年9月22日(2004.9.22)

(24) 登録日 平成16年6月25日(2004.6.25)

(51) Int. Cl.⁷

F I

G06F 12/00

G06F 12/00 564A

G06F 3/08

G06F 3/08 C

G06K 17/00

G06K 17/00 D

請求項の数 4 (全 10 頁)

(21) 出願番号	特願平10-58133	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成10年3月10日(1998.3.10)	(74) 代理人	100090181 弁理士 山田 義人
(65) 公開番号	特開平11-259358	(72) 発明者	石橋 秀樹 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(43) 公開日	平成11年9月24日(1999.9.24)	審査官	堀江 義隆
審査請求日	平成12年7月13日(2000.7.13)	(56) 参考文献	特開平11-134245(JP, A) 特開平8-28697(JP, A) 特開平4-85639(JP, A)
前置審査			最終頁に続く

(54) 【発明の名称】 メモリアクセス回路

(57) 【特許請求の範囲】

【請求項1】

記録媒体の所望アドレスを形成する第1バイトおよび第2バイトを順に指定するCPU、および前記CPUの指定に基づいて前記記録媒体からデータを読み出すメモリコントローラを備えるメモリアクセス回路であって、前記記録媒体はデータが読み出された後もアドレス指定およびチップセレクト指定を必要とし、前記CPUは終了信号に应答してアドレス指定およびチップセレクト指定を解除するものにおいて、

前記CPUは、第1終了信号に应答してバイト指定を前記第1バイトから前記第2バイトに更新し、第2終了信号に应答して前記アドレス指定および前記チップセレクト指定を解除し、

前記メモリコントローラは、データ読み出しを許可するイネーブル信号を前記アドレス指定および前記チップセレクト指定によって規定される特定期間に前記記録媒体に出力するイネーブル信号出力手段、前記特定期間の後に前記第2終了信号を前記CPUに出力する第2終了信号出力手段、および前記特定期間が開始された後でかつ前記第2終了信号が出力される前に前記第1終了信号を前記CPUに出力する第1終了信号出力手段を含む、メモリアクセス回路。

【請求項2】

前記CPUは前記第2バイトの指定の後に前記メモリコントローラから入力されたデータを無効とする、請求項1記載のメモリアクセス回路。

【請求項3】

10

20

前記CPUは同期バス方式を採用する、請求項1または2記載のメモリアクセス回路。

【請求項4】

請求項1ないし3のいずれかに記載のメモリアクセス回路を備える、デジタルカメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明はメモリアクセス回路に関し、特にたとえばデジタルカメラに適用され、CPUがメモリコントローラを介してメモリにアクセスする、メモリアクセス回路に関する。

【0002】

【従来の技術】

従来のこの種のメモリアクセス方式として、同期バス方式が知られている。この同期バス方式では、CPUが図8(B)に示すハイレベルのリード/ライト信号(R/W信号)をメモリコントローラに与えると、メモリコントローラが図8(D)に示すアクティブローのリードイネーブル信号をメモリに出力する。これによって、メモリから図8(F)に示すタイミングで信号が読み出され、メモリコントローラは、このリード信号とともに図8(E)に示すREADY信号をCPUに出力する。READY信号は、信号の読み出しの終了を示すタイミング信号である。CPUは、このREADY信号がローレベルとなる期間に、クロックの立ち上がりに対応してリード信号を取り込み、その後READY信号の立ち上がりに対応してアクセスを中止する。なお、CPUはリード/ライト信号とともにチップセレクト信号およびアドレス信号を出力し、チップセレクト信号およびアドレス信号の出力を中止することによって、メモリへのアクセスを中止する。

【0003】

一方、メモリに信号を書き込むときは、CPUはローレベルのリード/ライト信号とともに図8(A)に示すライト信号をメモリコントローラに。メモリコントローラは、これに応じて図8(G)に示すライトイネーブル信号を出力し、このライトイネーブル信号の立ち上がりタイミングでライト信号をメモリに書き込む。メモリコントローラは、ライトイネーブル信号の立ち上がりから所定期間経過後に図8(H)に示すREADY信号をCPUに与え、これに応じて、CPUはアクセスを中止する。

【0004】

このように、同期バス方式では、CPUはREADY信号の立ち上がりに対応してメモリへのアクセスを中止する。

【0005】

【発明が解決しようとする課題】

しかし、コンパクトフラッシュなどの外部記憶メモリで採用されているPCMCIAフォーマットでは、アクセス終了後に一定期間チップセレクト信号およびアドレス信号をホールドすることを要求している。つまり、メモリコントローラは、リードイネーブル信号あるいはライトイネーブル信号を立ち上げた後も、チップセレクト信号およびアドレス信号を一定期間メモリに出力する必要がある。

【0006】

これに対して、同期バス方式では、信号の書込時はともかく、信号の読出時にはホールド期間を確保できない。つまり、信号の書込時は、ライトイネーブル信号の立ち上がりからREADY信号の立ち上がりまでに時間的余裕があるが、信号の読み出し時は、リード信号の取り込みからREADY信号の立ち上がりまでに1/2クロック期間もないため、ホールド期間を十分に確保することはできない。このため、従来の同期バス方式では、PCMCIAフォーマットを満足することはできなかった。

【0007】

それゆえに、この発明の主たる目的は、ホールド期間を必要とする記録媒体に同期バス方式のCPUを用いて適切にアクセスすることができる、メモリアクセス回路を提供することである。

【0008】

10

20

30

40

50

【課題を解決するための手段】

この発明に従うメモリアクセス回路は、記録媒体の所望アドレスを形成する第1バイトおよび第2バイトを順に指定するCPU、およびCPUの指定に基づいて記録媒体からデータを読み出すメモリコントローラを備えるメモリアクセス回路であって、記録媒体はデータが読み出された後もアドレス指定およびチップセレクト指定を必要とし、CPUは終了信号に応答してアドレス指定およびチップセレクト指定を解除するものにおいて、CPUは、第1終了信号に応答してバイト指定を第1バイトから第2バイトに更新し、第2終了信号に応答してアドレス指定およびチップセレクト指定を解除し、メモリコントローラは、データ読み出しを許可するイネーブル信号をアドレス指定およびチップセレクト指定によって規定される特定期間に記録媒体に出力するイネーブル信号出力手段、特定期間の後に第2終了信号をCPUに出力する第2終了信号出力手段、および特定期間が開始された後でかつ第2終了信号が出力される前に第1終了信号をCPUに出力する第1終了信号出力手段を含む。

10

【0009】**【作用】**

メモリに設けられたそれぞれのワードは32ビットつまり4バイトからなり、CPUは16ビットつまりハーフワード毎に所望のワードにアクセスする。メモリから信号を読み出すとき、メモリコントローラはたとえば上位16ビットに対する読み出し要求に応答して、リードイネーブル信号をメモリに出力するとともに、所定期間経過後にREADY信号をCPUに戻す。このため、CPUはREADY信号の立ち下がり期間におけるクロックの立ち上がりタイミングで、メモリから読み出された信号を取り込む。メモリコントローラは、READY信号の立ち上げと同時にリードイネーブル信号の出力を中止する。つまり、後半16ビットに対する読み出し要求に応答してリードイネーブル信号を出力することはない。ただし、メモリコントローラは、後半16ビットに対する読み出し要求の出力から所定期間経過後に、READY信号を出力する。このREADY信号に応答して、CPUは所望のワードに対するアクセスを中止する。したがって、後半16ビットに対する読み出し要求が出力される間、アドレス信号がホールドされる。

20

【0010】**【発明の効果】**

この発明によれば、同期バス方式のCPUを用いて、ホールド期間を要求する記録媒体に適切にアクセスできる。

30

【0011】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなる。

【0012】**【実施例】**

図1を参照して、この実施例のデジタルカメラ10は、同期バス方式のCPU12を含む。このデジタルカメラ10には、コンパクトフラッシュのようなPCMCIAフォーマットを採用するメモリカード16が装着され、CPU12はメモリコントローラ14を介してこのメモリカード16にアクセスする。

40

【0013】

メモリカード16のメモリアreaに設けられたそれぞれのワードは、図2に示すように32ビットつまり4バイトからなる。アドレスは1ワードを構成するバイト数に関係なく、1バイト毎に割り当てられるため、最初のワードにはアドレス“0”が付され、2番目のワードにはアドレス“4”が付される。このように、各ワードに付されるアドレス値は4つずつ変化する。

【0014】

メモリカード16にアクセスするとき、CPU12は、図4(A)~(E)または図5(A)~(E)に示すアドレスストロブ信号、チップセレクト信号、リード/ライト信号、アドレス信号およびバイトイネーブル信号を、バス13を介してメモリコントローラ1

50

4に入力する。バイトイネーブル信号は、所望のワードにバイト単位でアクセスするとき
に用いられる。CPU12がハーフワード毎に所望のワードにアクセスするとき、バイト
イネーブル信号は“1”および“0”のいずれかの値をとる。“1”であれば上位16ビ
ットが指定され、“0”であれば下位16ビットが指定される。

【0015】

アドレス信号およびバイトイネーブル信号は、図3に示すデータバス13aを介してバッ
ファ32に入力され、その後、データバス15aを介してメモリカード16に入力される
。信号を書き込もうとする所望のワードはアドレス信号によって特定され、信号を書き込
もうとする所望のバイトがバイトイネーブル信号によって特定される。信号の書込時、C
PU12はライト信号もバッファ32に入力する。これによって、ライト信号が所望のバ
イトに書き込まれる。信号の読出時は、CPU12はアドレス信号およびバイトイネー
ブル信号だけをバッファ32に入力する。これによって所望のバイトから信号が読み出され
、リード信号が、データバス15a、バッファ34およびデータバス13aを介してCP
U12に入力される。

10

【0016】

アドレスストロープ信号およびチップセレクト信号は、OR回路28aに入力され、OR
回路28aはアドレスストロープ信号およびチップセレクト信号に論理和を施す。カウン
タ20はフリップフロップ回路26aが“0”の期間クロックによってインクリメントさ
れ、カウント値はデコーダ22a~22gに入力される。デコーダ22aはカウント値が
“9”となる1クロック期間だけハイレベル信号を出力し、カウント値が“9”以外のと
きローレベル信号を出力する。また、デコーダ22cおよび22eは、カウント値が“7
”のときだけハイレベル信号を出力し、これ以外のときローレベル信号を出力する。さら
に、デコーダ22bおよび22dは、カウント値が“3”のときだけローレベル信号を出
力し、“3”以外のカウント値ではハイレベル信号を出力する。さらにまた、デコーダ2
2gはカウント値が“8”のときローレベル信号を出力し、これ以外の期間ではハイレ
ベル信号を出力する。

20

【0017】

デコーダ22b~22fには、リード/ライト信号も入力される。リード/ライト信号が
ハイレベルとなると、デコーダ22b、22cおよび22gが能動化され、リード/ライ
ト信号がローレベルとなると、デコーダ22dおよび22eが能動化される。一方、論理
和信号をラッチイネーブル回路24aに入力する。ラッチイネーブル回路24aは、OR
回路28aからの論理和信号から“0”のラッチパルスを生成する。そして、デコーダ2
2aからの出力信号を受け、カウント値が“9”のときに“1”のラッチパルスを生成す
る。フリップフロップ回路26aはクロックにตอบสนองしてラッチイネーブル回路24aの出
力をラッチし、ラッチ信号をチップセレクト信号としてメモリカード16に出力するとと
もに、ゲート信号としてカウンタ20に入力する。つまり、信号の書き込み時は、図4
(A)に示すアドレスストロープ信号および図4(B)に示すチップセレクト信号に基づい
て、図4(F)に示すチップセレクト信号がフリップフロップ回路26aから出力される
。信号の読み出し時も、図5(A)、(B)および(F)に示すように、アドレスストロ
ープ信号およびチップセレクト信号から新たなチップセレクト信号が生成される。カウン
タ20は、図4(F)または図5(F)に示すチップセレクト信号の立ち下がりでリセッ
トされる。

30

40

【0018】

デコーダ22bおよび22cの出力はラッチイネーブル回路24bに入力され、デコーダ
22dおよび22eの出力はラッチイネーブル回路24cに入力される。ラッチイネー
ブル回路24bおよび24cのいずれも、カウント値“3”で“0”のラッチパルスを、カ
ウント値“7”で“1”のラッチパルスを生成する。そして、ラッチイネーブル回路24
bおよび24cの出力が、フリップフロップ回路26bおよび26cでクロックにตอบสนองし
てラッチされる。デコーダ22bおよび22cは信号の読み出し時だけ能動化され、デコ
ーダ22dおよび22eは信号の書き込み時だけ能動化される。このため、信号の読み出

50

し時、図5(H)に示すリードイネーブル信号がフリップフロップ回路26bから出力され、信号の書き込み時、図4(H)に示すライトイネーブル信号が、フリップフロップ回路26cから出力される。ライトイネーブル信号およびリードイネーブル信号のいずれも、カウント値が“4”~“7”をとる期間だけローレベルとなる。

【0019】

デコーダ22fおよび22gの出力はAND回路30によって論理積を施され、論理積信号がクロックにตอบสนองしてフリップフロップ回路26bでラッチされる。そして、ラッチ信号がアクセスの終了タイミングを規定するREADY信号となる。デコーダ22fは信号の読み出し時だけ能動化されるため、読み出し時は図5(I)に示すようなカウント値が“7”および“9”をとるときだけローレベルとなるREADY信号が出力され、書き込み時は、図4(I)に示すようなカウント値が“9”となるときだけローレベルとなるREADY信号が出力される。このREADY信号によって、アクセスの終了タイミングをしめす。なお、アドレスストロブ信号、チップセレクト信号、ライトイネーブル信号、リードイネーブル信号およびREADY信号のいずれも、アクティブローの信号である。

10

【0020】

フリップフロップ回路26aから出力されたチップセレクト信号ならびにリード/ライト信号は、OR回路28bにも入力される。OR回路28bは、両信号に論理和を施し、論理和信号をバッファ32および34に入力する。バッファ32には反転端子32aが設けられているため、バッファ32および34が同時に能動化されることはない。つまり、論理和信号がローレベルであればバッファ32だけが能動化され、論理和信号がハイレベルであればバッファ34だけが能動化される。バッファ32は信号の書き込み時に能動化され、バッファ34は信号の読み出し時に能動化される。

20

【0021】

図4を参照して、アドレス信号およびバイトイネーブル信号は、ハーフワードアクセス期間同じ値を保持する。また、アドレス信号およびバイトイネーブル信号の出力と同時に、図4(A)に示すアドレスストロブ信号および図4(J)に示すライト信号が、CPU12からメモリコントローラ14に入力される。メモリコントローラ14は、ライトイネーブル信号がローレベルとなる期間において、クロックのいずれかの立ち上がりタイミングでライト信号を出力してメモリカード16の所望のバイトに書き込む。READY信号はカウント値が“9”となるときだけローレベルとなる。READY信号はCPU12に与えられ、CPU12は、READY信号の立ち上がりに対応して、チップセレクト信号、アドレス信号、バイトイネーブル信号およびライト信号の出力を中止する。つまり、メモリカード16へのアクセスを中止する。

30

【0022】

以上のように、ライトイネーブル信号が立ち上がってからアクセスが中止されるまでに2クロック期間あり、この2クロック期間チップセレクト信号およびアドレス信号がホールドされる。したがって、十分なホールド期間を確保することができ、PCMCIAフォーマットを満足できる。

図5を参照して、信号の読み出し時、CPU12は、READY信号の最初の立ち下がり期間におけるクロックの立ち上がりに対応して、図5(J)に示すリード信号を取り込む。CPU12はその後、READY信号の最初の立ち上がりに対応してバイトイネーブル信号の値を切り換える。このため、カウント値が“8”となった時点でハーフワードアクセス期間が終了する。ただし、ハーフワードアクセスのために、バイトイネーブル信号が切り換わってもアドレス信号は同じ値を維持する。READY信号は、カウント値が“9”を取るとき再度立ち下がり、“0”に切り換わるときに立ち上がる。したがって、カウント値が“8”および“9”をとる期間が、次のハーフワードアクセス期間となる。アドレス信号は、READY信号の2回目の立ち上がりに対応して切り換わる。

40

【0023】

最初のREADY信号の立ち上がりつまりカウント値が“7”から“8”に変化するとき、リードイネーブル信号が立ち上がるため、メモリカード16からは所望のワードの上位

50

16ビットの信号だけが読み出される。このリード信号は、そのままCPU12に入力され、カウント値が“7”をとる期間のクロックの立ち上がりに対応して取り込まれ、図1に示すレジスタ18aに書き込まれる。

【0024】

カウント値が“7”および“9”をとるときにREADY信号を出力し、カウント値が“7”から“8”に変化するタイミングでリードイネーブル信号を立ち上げることによって、信号の読み出しが終了した後2クロック期間アドレス信号をホールドすることができる。つまり、所望のワードの下位16ビットからの信号の読み出しを中止することによって、バイトイネーブル信号がこの下位16ビットを指定する期間、アドレス信号をホールドすることができる。

10

【0025】

メモリコントローラ14が下位16ビットから信号を読み出せなかったとしても、CPU12は2回目のREADY信号の立ち下がり期間に信号の取り込み動作を行う。つまり、CPU12は、下位16ビットの信号が入力されるべき期間に取り込んだたとえばハイインピーダンスの信号をレジスタ18bに格納する。しかし、適切な信号はレジスタ18aにのみ存在するため、CPU12はレジスタ18aからのみ信号を読み出し、所定の信号処理を施す。

【0026】

具体的には、CPU12は信号の読出時、図6および図7に示すフロー図を処理する。まずステップS1で図5(A)~(E)に示す各種の信号を出力し、次にステップS3で、READY信号が立ち上がったかどうか判断する。ここで“YES”であれば、ステップS5でクロックが立ち上がったかどうか判断し、ここでも“YES”であれば、ステップS7で入力信号をレジスタ18aに保持する。このとき、所望のワードの上位16ビットのデータがレジスタ18aに格納される。CPU12は続いて、ステップS9でREADY信号が立ち上がったかどうか判断し、“YES”であればステップS11でバイトイネーブル信号を反転させ、ステップS13でREADY信号が立ち下がったかどうかを再度判断する。ここで“YES”であれば、ステップS15でクロックが立ち上がったと判断されるのを待って、ステップS17で入力信号をレジスタ18bに保持する。このとき、メモリカード16からは下位16ビットの信号が読み出されないため、たとえばハイインピーダンス信号がレジスタ18bに保持される。このため、CPU12は、ステップS19でレジスタ18aから信号を読み出し、ステップS21でこの信号に所定の処理を施し、そして処理を終了する。

20

30

【0027】

この実施例によれば、メモリカード16に対してハーフワード毎にアクセスを行い、読み出しについては上位16ビットへのアクセスが終了した時点でリードイネーブル信号をハイレベルとするようにしたため、下位16ビットへのアクセス期間アドレスをホールドすることができ、PCMCIAフォーマットを満足することができる。

【0028】

なお、この実施例ではハーフワードアクセスを用いて説明したが、この発明は、所望のバイトを所定バイト毎に複数回アクセスする場合にも適用できることはもちろんである。

40

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図である。

【図2】図1実施例の動作の一部を示す図解図である。

【図3】メモリコントローラを示すブロック図である。

【図4】図3実施例の動作の一部を示すタイミング図である。

【図5】図3実施例の動作の他の一部を示すタイミング図である。

【図6】CPUの動作の一部を示すフロー図である。

【図7】CPUの動作の他の一部を示すフロー図である。

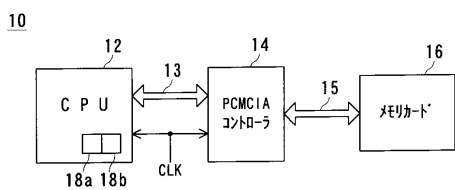
【図8】従来技術の動作を示すタイミング図である。

【符号の説明】

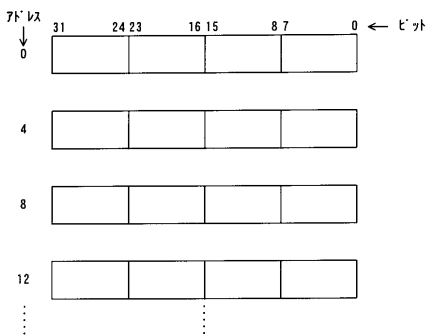
50

- 10 ... デジタルカメラ
- 12 ... CPU
- 14 ... メモリコントローラ
- 16 ... メモリカード

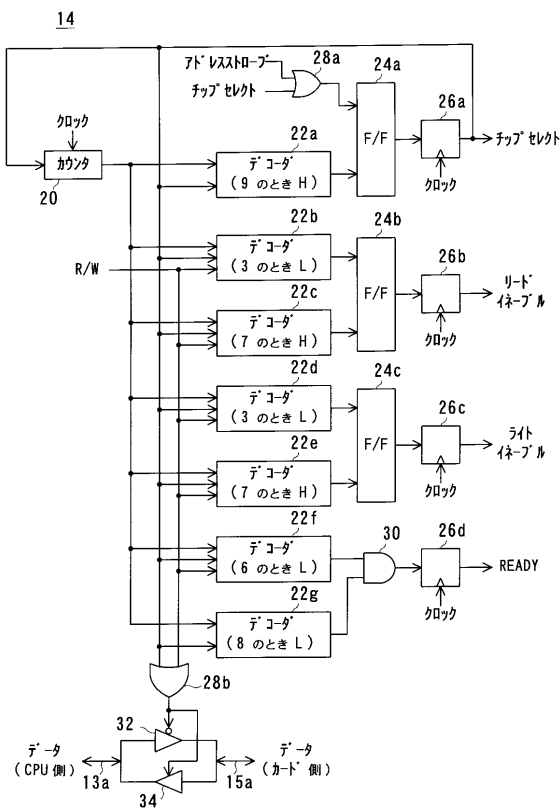
【 図 1 】



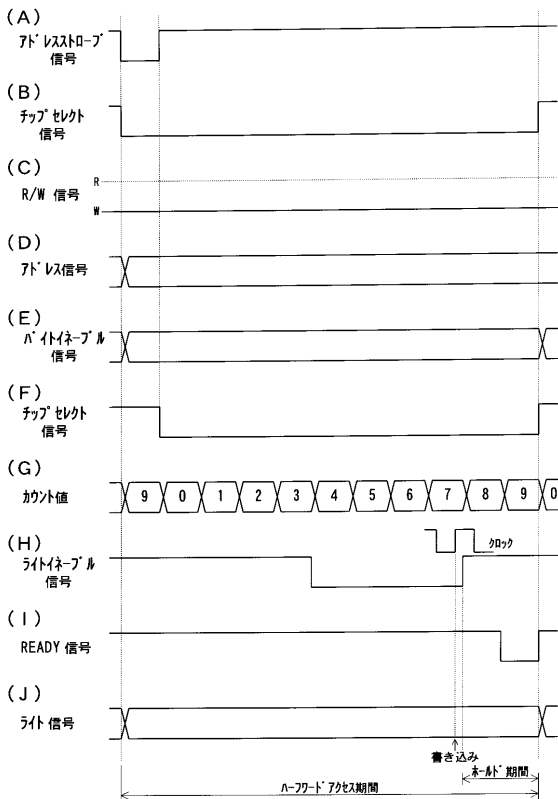
【 図 2 】



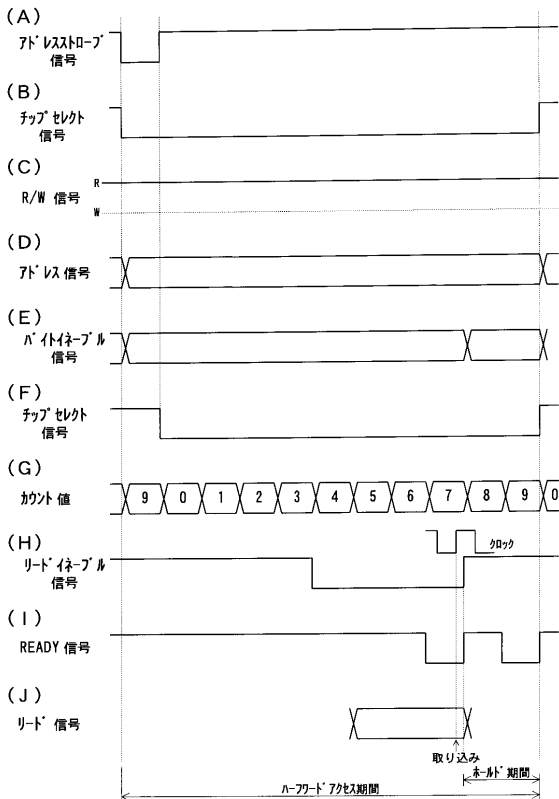
【 図 3 】



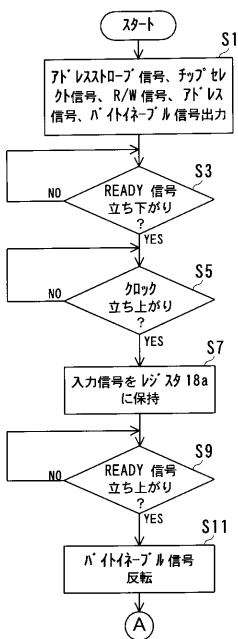
【 図 4 】



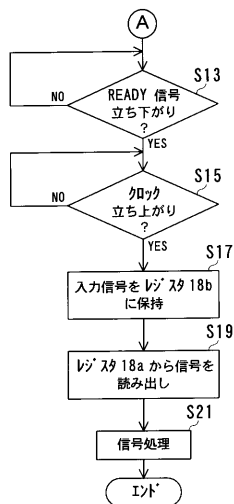
【 図 5 】



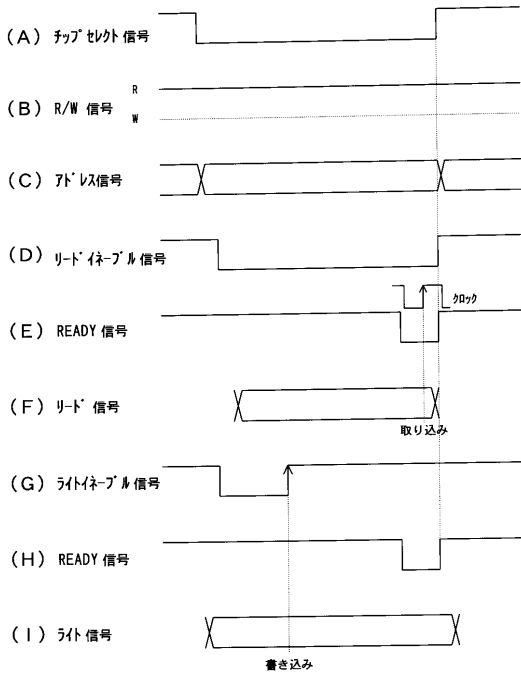
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 12/00-12/06

G06F 3/08

G06K 17/00