



(12) 发明专利申请

(10) 申请公布号 CN 113593475 A

(43) 申请公布日 2021. 11. 02

(21) 申请号 202110872216.7

(22) 申请日 2021.07.30

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 董甜

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 陈丽宁

(51) Int. Cl.
G09G 3/3208 (2016.01)

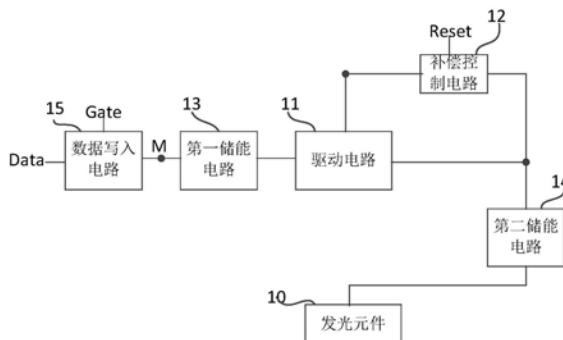
权利要求书3页 说明书10页 附图3页

(54) 发明名称

像素电路、驱动方法和显示装置

(57) 摘要

本发明提供一种像素电路、驱动方法和显示装置。所述像素电路包括驱动电路、补偿控制电路、第一储能电路、第二储能电路、数据写入电路和发光元件；补偿控制电路在复位控制信号的控制下，控制驱动电路的控制端与驱动电路的第一端之间连通；第一储能电路的第一端与数据写入节点电连接，第一储能电路的第二端与驱动电路的第一端电连接；第二储能电路的第一端与驱动电路的控制端电连接，第二储能电路的第二端与发光元件的第一极电连接；数据写入电路在扫描信号的控制下，将数据电压写入数据写入节点。本发明能充分补偿阈值电压，能补偿第二电压线上的IR压降。



1. 一种像素电路,其特征在于,包括驱动电路、补偿控制电路、第一储能电路、第二储能电路、数据写入电路和发光元件;

所述驱动电路用于在其控制端的电位的控制下,导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接;

所述补偿控制电路用于在复位控制线提供的复位控制信号的控制下,控制所述驱动电路的控制端与所述驱动电路的第一端之间连通;

所述第一储能电路的第一端与数据写入节点电连接,所述第一储能电路的第二端与所述驱动电路的第一端电连接,所述第一储能电路用于储存电能;

所述第二储能电路的第一端与所述驱动电路的控制端电连接,所述第二储能电路的第二端与所述发光元件的第一极电连接,所述第二储能电路用于储存电能;

所述数据写入电路用于在扫描线提供的扫描信号的控制下,将数据线上的数据电压写入所述数据写入节点。

2. 如权利要求1所述的像素电路,其特征在于,还包括第一置位电路和第二置位电路;

所述第一置位电路用于在第一置位控制线提供的第一置位控制信号的控制下,将初始电压端提供的初始电压写入所述发光元件的第一极;

所述第二置位电路用于在第二置位控制线提供的第二置位控制信号的控制下,将参考电压端提供的参考电压写入所述数据写入节点。

3. 如权利要求2所述的像素电路,其特征在于,还包括第一发光控制电路和第二发光控制电路;

所述第一发光控制电路用于在第一发光控制线提供的第一发光控制信号的控制下,控制第一电压线与所述驱动电路的第一端之间连通;

所述第二发光控制电路用于在第二发光控制线提供的第二发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;

所述发光元件的第二极与第二电压线电连接。

4. 如权利要求3所述的像素电路,其特征在于,所述第二置位控制线为所述第二发光控制线,所述第一置位控制线为所述复位控制线。

5. 如权利要求1所述的像素电路,其特征在于,所述补偿控制电路包括第一晶体管,所述数据写入电路包括第二晶体管;

所述第一晶体管的控制极与所述复位控制线电连接,所述第一晶体管的第一极与所述驱动电路的控制端电连接,所述第一晶体管的第二极与所述驱动电路的第一端电连接;

所述第二晶体管的控制极与所述扫描线电连接,所述第二晶体管的第一极与所述数据线电连接,所述第二晶体管的第二极与所述数据写入节点电连接。

6. 如权利要求2所述的像素电路,其特征在于,所述第一置位电路包括第三晶体管;

所述第三晶体管的控制极与所述第一置位控制线电连接,所述第三晶体管的第一极与所述初始电压端电连接,所述第三晶体管的第二极与所述发光元件的第一极电连接。

7. 如权利要求2所述的像素电路,其特征在于,所述第二置位电路包括第四晶体管;

所述第四晶体管的控制极与所述第二置位控制线电连接,所述第四晶体管的第一极与所述参考电压端电连接,所述第四晶体管的第二极与所述数据写入节点电连接。

8. 如权利要求1所述的像素电路,其特征在于,所述第一储能电路包括第一电容,所述

第二储能电路包括第二电容；

所述第一电容的第一端与数据写入节点电连接，所述第一电容的第二端与所述驱动电路的第一端电连接；

所述第二电容的第一端与所述驱动电路的控制端电连接，所述第二电容的第二端与所述发光元件的第一极电连接。

9. 如权利要求3所述的像素电路，其特征在于，所述第一发光控制电路包括第五晶体管和第六晶体管；

所述第五晶体管的控制极与所述第一发光控制线电连接，所述第五晶体管的第一极与所述第一电压线电连接，所述第五晶体管的第二极与所述驱动电路的第一端电连接；

所述第六晶体管的控制极与所述第二发光控制线电连接，所述第六晶体管的第一极与所述驱动电路的第二端电连接，所述第六晶体管的第二极与所述发光元件的第一极电连接。

10. 如权利要求1至9中任一权利要求所述的像素电路，其特征在于，所述驱动电路包括驱动晶体管；所述驱动晶体管的控制极与所述驱动电路的控制端电连接，所述驱动晶体管的第一极与所述驱动电路的第一端电连接，所述驱动晶体管的第二极与所述驱动电路的第二端电连接。

11. 如权利要求10所述的像素电路，其特征在于，所述像素电路还包括第一置位电路、第二置位电路、第一发光控制电路和第二发光控制电路；所述补偿控制电路包括第一晶体管，所述数据写入电路包括第二晶体管；所述第一置位电路包括第三晶体管；所述第二置位电路包括第四晶体管；所述第一发光控制电路包括第五晶体管和第六晶体管；

所述驱动晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第六晶体管都为n型晶体管。

12. 一种驱动方法，应用于如权利要求1至11中任一权利要求所述的像素电路，其特征在于，显示周期包括复位阶段、补偿阶段和数据写入阶段；所述驱动方法包括：

在所述复位阶段，补偿控制电路在复位控制信号的控制下，控制驱动电路的控制端与驱动电路的第一端之间连通；

在所述补偿阶段，补偿控制电路在复位控制信号的控制下，控制驱动电路的控制端与驱动电路的第一端之间连通；

在所述数据写入阶段，数据写入电路在扫描信号的控制下，将数据电压写入数据写入节点。

13. 如权利要求12所述的驱动方法，其特征在于，所述像素电路还包括第一置位电路和第二置位电路，所述显示周期还包括设置于所述数据写入阶段之后的发光阶段；所述驱动方法还包括：

在所述复位阶段、所述补偿阶段和所述数据写入阶段，第一置位电路在第一置位控制信号的控制下，将初始电压写入发光元件的第一极；

在所述复位阶段、所述补偿阶段和所述发光阶段，第二置位电路在第二置位控制信号的控制下，将参考电压写入数据写入节点。

14. 如权利要求13所述的驱动方法，其特征在于，所述像素电路还包括第一发光控制电路和第二发光控制电路；所述驱动方法还包括：

在所述复位阶段,第一发光控制电路在第一发光控制信号的控制下,控制第一电压线与驱动电路的第一端之间连通;第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与发光元件的第一极之间连通;

在所述补偿阶段,第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与发光元件的第一极之间连通;

在所述补偿阶段开始时,驱动电路在其控制端的控制下,导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接,所述驱动电路的控制端的电位通过向初始电压端放电而改变,直至驱动电路断开其第一端与所述驱动电路的第二端之间的连接;

在所述发光阶段,所述第一发光控制电路在第一发光控制信号的控制下,控制第一电压线与所述驱动电路的第一端之间连通;所述第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;驱动电路驱动发光元件发光。

15. 一种显示装置,其特征在于,包括如权利要求1至11中任一权利要求所述的像素电路。

像素电路、驱动方法和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路、驱动方法和显示装置。

背景技术

[0002] 随着显示面板尺寸增大,IR压降(IR压降是指出现在集成电路中电源和地网络上电压下降或升高的一种现象)问题越来越严重,导致显示面板显示亮度不均匀,需要进行补偿设计。并且,现有的像素电路在工作时,在同一时间段进行阈值电压补偿和数据电压写入,在高频帧驱动时,会存在由于阈值电压补偿时间不足而影响显示效果。

发明内容

[0003] 本发明的主要目的在于提供一种像素电路、驱动方法和显示装置,解决现有技术中阈值电压补偿时间不足而影响显示效果,并不能补偿信号线上的IR压降的问题。

[0004] 为了达到上述目的,本发明实施例提供了一种像素电路,包括驱动电路、补偿控制电路、第一储能电路、第二储能电路、数据写入电路和发光元件;

[0005] 所述驱动电路用于在其控制端的电位的控制下,导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接;

[0006] 所述补偿控制电路用于在复位控制线提供的复位控制信号的控制下,控制所述驱动电路的控制端与所述驱动电路的第一端之间连通;

[0007] 所述第一储能电路的第一端与数据写入节点电连接,所述第一储能电路的第二端与所述驱动电路的第一端电连接,所述第一储能电路用于储存电能;

[0008] 所述第二储能电路的第一端与所述驱动电路的控制端电连接,所述第二储能电路的第二端与所述发光元件的第一极电连接,所述第二储能电路用于储存电能;

[0009] 所述数据写入电路用于在扫描线提供的扫描信号的控制下,将数据线上的数据电压写入所述数据写入节点。

[0010] 可选的,本发明至少一实施例所述的像素电路还包括第一置位电路和第二置位电路;

[0011] 所述第一置位电路用于在第一置位控制线提供的的第一置位控制信号的控制下,将初始电压端提供的初始电压写入所述发光元件的第一极;

[0012] 所述第二置位电路用于在第二置位控制线提供的第二置位控制信号的控制下,将参考电压端提供的参考电压写入所述数据写入节点。

[0013] 可选的,本发明至少一实施例所述的像素电路还包括第一发光控制电路和第二发光控制电路;

[0014] 所述第一发光控制电路用于在第一发光控制线提供的的第一发光控制信号的控制下,控制第一电压线与所述驱动电路的第一端之间连通;

[0015] 所述第二发光控制电路用于在第二发光控制线提供的第二发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;

- [0016] 所述发光元件的第二极与第二电压线电连接。
- [0017] 可选的,所述第二置位控制线为所述第二发光控制线,所述第一置位控制线为所述复位控制线;
- [0018] 可选的,所述补偿控制电路包括第一晶体管,所述数据写入电路包括第二晶体管;
- [0019] 所述第一晶体管的控制极与所述复位控制线电连接,所述第一晶体管的第一极与所述驱动电路的控制端电连接,所述第一晶体管的第二极与所述驱动电路的第一端电连接;
- [0020] 所述第二晶体管的控制极与所述扫描线电连接,所述第二晶体管的第一极与所述数据线电连接,所述第二晶体管的第二极与所述数据写入节点电连接。
- [0021] 可选的,所述第一置位电路包括第三晶体管;
- [0022] 所述第三晶体管的控制极与所述第一置位控制线电连接,所述第三晶体管的第一极与所述初始电压端电连接,所述第三晶体管的第二极与所述发光元件的第一极电连接。
- [0023] 可选的,所述第二置位电路包括第四晶体管;
- [0024] 所述第四晶体管的控制极与所述第二置位控制线电连接,所述第四晶体管的第一极与所述参考电压端电连接,所述第四晶体管的第二极与所述数据写入节点电连接。
- [0025] 可选的,所述第一储能电路包括第一电容,所述第二储能电路包括第二电容;
- [0026] 所述第一电容的第一端与数据写入节点电连接,所述第一电容的第二端与所述驱动电路的第一端电连接;
- [0027] 所述第二电容的第一端与所述驱动电路的控制端电连接,所述第二电容的第二端与所述发光元件的第一极电连接。
- [0028] 可选的,所述第一发光控制电路包括第五晶体管和第六晶体管;
- [0029] 所述第五晶体管的控制极与所述第一发光控制线电连接,所述第五晶体管的第一极与所述第一电压线电连接,所述第五晶体管的第二极与所述驱动电路的第一端电连接;
- [0030] 所述第六晶体管的控制极与所述第二发光控制线电连接,所述第六晶体管的第一极与所述驱动电路的第二端电连接,所述第六晶体管的第二极与所述发光元件的第一极电连接。
- [0031] 可选的,所述驱动电路包括驱动晶体管;所述驱动晶体的控制极与所述驱动电路的控制端电连接,所述驱动晶体管的第一极与所述驱动电路的第一端电连接,所述驱动晶体的第二极与所述驱动电路的第二端电连接。
- [0032] 可选的,所述像素电路还包括第一置位电路、第二置位电路、第一发光控制电路和第二发光控制电路;所述补偿控制电路包括第一晶体管,所述数据写入电路包括第二晶体管;所述第一置位电路包括第三晶体管;所述第二置位电路包括第四晶体管;所述第一发光控制电路包括第五晶体管和第六晶体管;
- [0033] 所述驱动晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第六晶体管都为n型晶体管。
- [0034] 本发明实施例还提供一种驱动方法,应用于上述的像素电路,显示周期包括复位阶段、补偿阶段和数据写入阶段;所述驱动方法包括:
- [0035] 在所述复位阶段,补偿控制电路在复位控制信号的控制下,控制驱动电路的控制端与驱动电路的第一端之间连通;

[0036] 在所述补偿阶段,补偿控制电路在复位控制信号的控制下,控制驱动电路的控制端与驱动电路的第一端之间连通;

[0037] 在所述数据写入阶段,数据写入电路在扫描信号的控制下,将数据电压写入数据写入节点。

[0038] 可选的,所述像素电路还包括第一置位电路和第二置位电路,所述显示周期还包括设置于所述数据写入阶段之后的发光阶段;所述驱动方法还包括:

[0039] 在所述复位阶段、所述补偿阶段和所述数据写入阶段,第一置位电路在第一置位控制信号的控制下,将初始电压写入发光元件的第一极;

[0040] 在所述复位阶段、所述补偿阶段和所述发光阶段,第二置位电路在第二置位控制信号的控制下,将参考电压写入数据写入节点。

[0041] 可选的,所述像素电路还包括第一发光控制电路和第二发光控制电路;所述驱动方法还包括:

[0042] 在所述复位阶段,第一发光控制电路在第一发光控制信号的控制下,控制第一电压线与驱动电路的第一端之间连通;第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与发光元件的第一极之间连通;

[0043] 在所述补偿阶段,第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与发光元件的第一极之间连通;

[0044] 在所述补偿阶段开始时,驱动电路在其控制端的控制下,导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接,所述驱动电路的控制端的电位通过向初始电压端放电而改变,直至驱动电路断开其第一端与所述驱动电路的第二端之间的连接;

[0045] 在所述发光阶段,所述第一发光控制电路在第一发光控制信号的控制下,控制第一电压线与所述驱动电路的第一端之间连通;所述第二发光控制电路在第二发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;驱动电路驱动发光元件发光。

[0046] 本发明实施例还提供了一种显示装置,包括上述的像素电路。

[0047] 本发明实施例所述的像素电路、驱动方法和显示装置通过补偿控制电路在复位控制线提供的复位控制信号下进行阈值电压补偿,数据写入电路在扫描线提供的扫描信号的控制下进行数据电压写入,以能够将阈值电压补偿、数据电压写入分别在两个阶段来进行,使得阈值电压补偿时间不受数据写入时间(与驱动频帧相关)限制,在高频帧时不会出现由阈值电压补偿的时间短而不能充分补偿的情况发生。并且,本发明实施例所述的像素电路、驱动方法和显示装置能够使得驱动电路驱动所述发光元件发光的驱动电流与发光元件的第二极连接的第二电压线提供的第二电压信号无关,补偿第二电压线上的IR压降,提升显示均匀性。

附图说明

[0048] 图1是本发明至少一实施例所述的像素电路的结构图;

[0049] 图2是本发明至少一实施例所述的像素电路的结构图;

[0050] 图3是本发明至少一实施例所述的像素电路的结构图;

[0051] 图4是本发明至少一实施例所述的像素电路的电路图;

[0052] 图5是本发明图4所示的像素电路的至少一实施例的工作时序图。

具体实施方式

[0053] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0054] 本发明所有实施例中采用的晶体管均可以为三极管、薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中,为区分晶体管除控制极之外的两极,将其中一极称为第一极,另一极称为第二极。

[0055] 在实际操作时,当所述晶体管为薄膜晶体管或场效应管时,所述第一极可以为漏极,所述第二极可以为源极;或者,所述第一极可以为源极,所述第二极可以为漏极。

[0056] 如图1所示,本发明实施例所述的像素电路包括驱动电路11、补偿控制电路12、第一储能电路13、第二储能电路14、数据写入电路15和发光元件10;

[0057] 所述驱动电路11用于在其控制端的电位的控制下,导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接;

[0058] 所述补偿控制电路12分别与复位控制线Reset、所述驱动电路11的控制端和所述驱动电路11的第一端电连接,用于在复位控制线Reset提供的复位控制信号的控制下,控制所述驱动电路11的控制端与所述驱动电路11的第一端之间连通;

[0059] 所述第一储能电路13的第一端与数据写入节点M电连接,所述第一储能电路13的第二端与所述驱动电路11的第一端电连接,所述第一储能电路13用于储存电能;

[0060] 所述第二储能电路14的第一端与所述驱动电路11的控制端电连接,所述第二储能电路14的第二端与所述发光元件10的第一极电连接,所述第二储能电路14用于储存电能;

[0061] 所述数据写入电路15分别与扫描线Gate、数据线Data和所述数据写入节点M电连接,用于在扫描线Gate提供的扫描信号的控制下,将数据线Data上的数据电压Vdata写入所述数据写入节点M。

[0062] 在本发明至少一实施例中,所述发光元件的第二极可以与第二电压线电连接。

[0063] 在本发明实施例所述的像素电路中,补偿控制电路12在复位控制线Reset提供的复位控制信号下进行阈值电压补偿,数据写入电路15在扫描线Gate提供的扫描信号的控制下进行数据电压写入,以能够将阈值电压补偿、数据电压写入分别在两个阶段来进行,使得阈值电压补偿时间不受数据写入时间(与驱动帧频相关)限制,在高频帧时不会出现由阈值电压补偿的时间短而不能充分补偿的情况发生。

[0064] 本发明实施例所述的像素电路在工作时,结合相应的时序,能够使得驱动电路11驱动所述发光元件10发光的驱动电流与发光元件10的第二极连接的第二电压线提供的第二电压信号无关,补偿第二电压线上的IR压降(IR压降是指出现在集成电路中电源和地网络上电压下降或升高的一种现象),提升显示均匀性。

[0065] 在本发明至少一实施例中,所述第一储能电路13用于与所述数据电压写入电路15配合,而将数据线Data上的数据电压写入所述驱动电路11的第一端;

[0066] 所述第二储能电路13用于维持所述驱动电路11的控制端的电位。

[0067] 可选的,所述发光元件可以为有机发光二极管,发光元件的第一极可以为阳极,发光元件的第二极可以为阴极,但不以此为限。

[0068] 本发明如图1所示的像素电路在工作时,显示周期可以包括复位阶段、补偿阶段和数据写入阶段;

[0069] 在所述复位阶段,补偿控制电路12在复位控制信号的控制下,控制驱动电路11的控制端与驱动电路11的第一端之间连通;

[0070] 在所述补偿阶段,补偿控制电路12在复位控制信号的控制下,控制驱动电路11的控制端与驱动电路11的第一端之间连通;

[0071] 在所述数据写入阶段,数据写入电路15在扫描信号的控制下,将数据电压Vdata写入数据写入节点M。

[0072] 在具体实施时,如图2所示,在图1所示的像素电路的至少一实施例的基础上,本发明至少一实施例所述的像素电路还可以包括第一置位电路16和第二置位电路20;

[0073] 所述第一置位电路16分别与第一置位控制线R1、初始电压端和所述发光元件10的第一极电连接,用于在第一置位控制线R1提供的第一置位控制信号的控制下,将初始电压端提供的初始电压Vinit写入所述发光元件10的第一极;

[0074] 所述第二置位电路20分别与第二置位控制线R2、参考电压端和数据写入节点M电连接,用于在第二置位控制线R2提供的第二置位控制信号的控制下,将参考电压端提供的参考电压Vref写入所述数据写入节点M。

[0075] 在本发明至少一实施例中,所述第一置位控制线R1可以为所述复位控制线Reset,所述第二置位控制线R2可以为第二发光控制线EM2,但不以此为限。

[0076] 本发明如图2所示的像素电路的至少一实施例增设了第一置位电路16和第二置位电路20,在复位阶段、补偿阶段和数据写入阶段,第一置位电路16在第一置位控制信号的控制下,控制所述发光元件10的第一极与初始电压端之间连通,将初始电压Vinit写入发光元件10的第一极;在复位阶段、补偿阶段,以及设置于数据写入阶段之后的发光阶段,第二置位电路20在第二置位控制信号的控制下,将参考电压Vref写入数据写入节点M。

[0077] 在所述复位阶段、所述补偿阶段和所述数据写入阶段,第一置位电路16控制将Vinit写入发光元件10的第一极,以控制发光元件10不发光,并控制清除发光元件10的第一极残留的电荷;在所述补偿阶段开始时,第一置位电路16控制所述发光元件10的第一极与初始电压端之间连通,以使得驱动电路的控制端的电位能够通过向初始电压端放电而降低,直至驱动电路在其控制端的电位的控制下,断开所述驱动电路的第一端和所述驱动电路的第二端之间的连接,并此时驱动电路的控制端的电位与所述驱动电路中的驱动晶体管的阈值电压有关,实现阈值电压补偿。

[0078] 在复位阶段、补偿阶段,以及设置于数据写入阶段之后的发光阶段,第二置位电路20在第二置位控制信号的控制下,将参考电压Vref写入数据写入节点M,以稳定驱动电路的第一端的电位。并且,在数据写入阶段,数据写入电路控制将数据电压Vdata写入数据写入节点M,通过M点的电压变化,将Vdata写入驱动电路的第一端。

[0079] 在本发明至少一实施例中,所述像素电路还可以包括第一发光控制电路和第二发光控制电路;

[0080] 所述第一发光控制电路用于在第一发光控制线提供的第一发光控制信号的控制

下,控制第一电压线与所述驱动电路的第一端之间连通;

[0081] 所述第二发光控制电路用于在第二发光控制线提供的第二发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;

[0082] 所述发光元件的第二极与第二电压线电连接。

[0083] 可选的,所述第二置位控制线可以为所述第二发光控制线,所述第一置位控制线可以为所述复位控制线,但不以此为限。

[0084] 在具体实施时,所述像素电路还可以包括第一发光控制电路和第二发光控制电路,第一发光控制电路在第一发光控制信号的控制下,控制驱动电路的第一端与第一电压线之间连通,第二发光控制电路在第二发光控制信号的控制下,控制驱动电路的第二端与发光元件的第一极之间连通。

[0085] 如图3所示,在图2所示的至少一实施例的基础上,所述第一置位控制线为所述复位控制线Reset;所述第二置位控制线为第二发光控制线EM2;

[0086] 本发明至少一实施例所述的像素电路还可以包括第一发光控制电路31和第二发光控制电路32;

[0087] 所述第一发光控制电路31分别与第一发光控制线EM1、第一电压线V1和所述驱动电路11的第一端电连接,用于在第一发光控制线EM1提供的第一发光控制信号的控制下,控制第一电压线V1与所述驱动电路11的第一端之间连通;

[0088] 所述第二发光控制电路32分别与第二发光控制线EM2、所述驱动电路11的第二端和所述发光元件10的第一极电连接,用于在第二发光控制线EM2提供的第二发光控制信号的控制下,控制所述驱动电路11的第二端与所述发光元件10的第一极之间连通;

[0089] 所述发光元件10的第二极与第二电压线V2电连接。

[0090] 在本发明至少一实施例中,第一电压线可以为高电压线,第二电压线可以为低电压线,但不以此为限。

[0091] 可选的,所述补偿控制电路包括第一晶体管,所述数据写入电路包括第二晶体管;

[0092] 所述第一晶体管的控制极与所述复位控制线电连接,所述第一晶体管的第一极与所述驱动电路的控制端电连接,所述第一晶体管的第二极与所述驱动电路的第一端电连接;

[0093] 所述第二晶体管的控制极与所述扫描线电连接,所述第二晶体管的第一极与所述数据线电连接,所述第二晶体管的第二极与所述数据写入节点电连接。

[0094] 可选的,所述第一置位电路包括第三晶体管;

[0095] 所述第三晶体管的控制极与所述第一置位控制线电连接,所述第三晶体管的第一极与所述初始电压端电连接,所述第三晶体管的第二极与所述发光元件的第一极电连接。

[0096] 可选的,所述第二置位电路包括第四晶体管;

[0097] 所述第四晶体管的控制极与所述第二置位控制线电连接,所述第四晶体管的第一极与所述参考电压端电连接,所述第四晶体管的第二极与所述数据写入节点电连接。

[0098] 可选的,所述第一储能电路包括第一电容,所述第二储能电路包括第二电容;

[0099] 所述第一电容的第一端与数据写入节点电连接,所述第一电容的第二端与所述驱动电路的第一端电连接;

[0100] 所述第二电容的第一端与所述驱动电路的控制端电连接,所述第二电容的第二端

与所述发光元件的第一极电连接。

[0101] 可选的,所述第一发光控制电路包括第五晶体管和第六晶体管;

[0102] 所述第五晶体管的控制极与所述第一发光控制线电连接,所述第五晶体管的第一极与所述第一电压线电连接,所述第五晶体管的第二极与所述驱动电路的第一端电连接;

[0103] 所述第六晶体管的控制极与所述第二发光控制线电连接,所述第六晶体管的第一极与所述驱动电路的第二端电连接,所述第六晶体管的第二极与所述发光元件的第一极电连接。

[0104] 可选的,所述驱动电路包括驱动晶体管;所述驱动晶体的控制极与所述驱动电路的控制端电连接,所述驱动晶体管的第一极与所述驱动电路的第一端电连接,所述驱动晶体的第二极与所述驱动电路的第二端电连接。

[0105] 可选的,所述像素电路还包括第一置位电路、第二置位电路、第一发光控制电路和第二发光控制电路;所述补偿控制电路包括第一晶体管,所述数据写入电路包括第二晶体管;所述第一置位电路包括第三晶体管;所述第二置位电路包括第四晶体管;所述第一发光控制电路包括第五晶体管和第六晶体管;

[0106] 所述驱动晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管和所述第六晶体管都为n型晶体管。

[0107] 如图4所示,在图3所示的像素电路的至少一实施例的基础上,所述发光元件为有机发光二极管O1;

[0108] 所述补偿控制电路12包括第一晶体管T1,所述数据写入电路15包括第二晶体管T2;

[0109] 所述第一晶体管T1的栅极与所述复位控制线Reset电连接,所述第一晶体管T1的漏极与所述驱动电路11的控制端电连接,所述第一晶体管T1的源极与所述驱动电路11的第一端电连接;

[0110] 所述第二晶体管T2的栅极与所述扫描线Gate电连接,所述第二晶体管T2的漏极与所述数据线Data电连接,所述第二晶体管T2的源极与所述数据写入节点M电连接;

[0111] 所述第一置位电路16包括第三晶体管T3;

[0112] 所述第三晶体管T3的栅极与所述复位控制线Reset电连接,所述第三晶体管T3的漏极与所述初始电压端电连接,所述第三晶体管T3的源极与O1的阳极电连接;所述初始电压端用于提供初始电压Vinit;

[0113] 所述第二置位电路20包括第四晶体管T4;

[0114] 所述第四晶体管T4的栅极与所述第二发光控制线EM电连接,所述第四晶体管T4的漏极与所述参考电压端电连接,所述第四晶体管T4的源极与所述数据写入节点M电连接;所述参考电压端用于提供参考电压Vref;

[0115] 所述第一储能电路13包括第一电容C1,所述第二储能电路14包括第二电容C2;

[0116] 所述第一电容C1的第一端与数据写入节点M电连接,所述第一电容C1的第二端与所述驱动电路11的第一端电连接;

[0117] 所述第二电容C2的第一端与所述驱动电路11的控制端电连接,所述第二电容C2的第二端与O1的阳极电连接;

[0118] 所述第一发光控制电路31包括第五晶体管T5和第六晶体管T6;

[0119] 所述第五晶体管T5的栅极与所述第一发光控制线EM1电连接,所述第五晶体管T5的漏极与高电压线电连接,所述第五晶体管T5的源极与所述驱动电路11的第一端电连接;所述高电压线用于提供高电压信号VDD;

[0120] 所述第六晶体管T6的栅极与所述第二发光控制线EM2电连接,所述第六晶体管T6的漏极与所述驱动电路11的第二端电连接,所述第六晶体管T6的源极与O1的阳极电连接;

[0121] 所述驱动电路11包括驱动晶体管T0;所述驱动晶体管T0的栅极与所述驱动电路11的控制端电连接,所述驱动晶体管T0的漏极与所述驱动电路11的第一端电连接,所述驱动晶体管T0的源极与所述驱动电路11的第二端电连接;

[0122] O1的阴极与低电压线电连接,所述低电压线用于提供低电压信号。

[0123] 在图4所示的像素电路的实施例中,标号为G的为第一节点,标号为S的为第二节点,标号为D的为第三节点,标号为N的为第四节点;

[0124] 第一节点D与T0的栅极电连接,第二节点S与T0的源极电连接,第三节点D与T0的漏极电连接,第四节点N与O1的阳极电连接。

[0125] 在图4所示的像素电路的实施例中,所有的晶体管都为n型薄膜晶体管,但不以此为限。

[0126] 在图4所示的像素电路的实施例中,第一电压线为高电压线,第二电压线为低电压线。

[0127] 在图4所示的像素电路的实施例中,C1用于与T2配合,而将数据线Data上的数据现有写入所述数据写入节点M,C2为存储电容,C2用于维持第一节点G的电位。

[0128] 如图5所示,本发明如图4所示的像素电路的至少一实施例在工作时,显示周期包括依次设置的复位阶段S1、补偿阶段S2、数据写入阶段S3和发光阶段S4;

[0129] 在复位阶段S1,Reset提供高电压信号,Gate提供低电压信号,EM1提供高电压信号,EM2提供高电压信号,T1打开,以使得T0的栅极与T0的漏极之间连通,T2关断,T3打开,以使得N的电位为Vinit,T4打开,以使得M的电位为Vref;T5和T6都打开,D的电位为VDD,S的电位为Vinit,G的电位为VDD;

[0130] 在补偿阶段S2,Reset提供高电压信号,Gate提供低电压信号,EM1提供低电压信号,EM2提供高电压信号,T1打开,以使得T0的栅极与T0的漏极之间连通,T2关断,T3打开,以使得N的电位为Vinit;T4打开,M的电位为Vref,T5关断,T6打开,S的电位为Vinit;

[0131] 在补偿阶段S2开始时,T0打开,T1打开,T6打开,T3打开,T0的栅极的电位由于经过漏电路径向初始电压端放电,所述漏电路依次经过T1、T0、T6和T3,以使得T0的栅极电位逐渐降低,直至T0的栅极的电位(也即G的电位)变为 $V_{init}+V_{th}$, V_{th} 为T0的阈值电压;

[0132] 在数据写入阶段S3,Reset提供高电压信号,Gate提供高电压信号,EM1提供低电压信号,EM2提供低电压信号,T1打开,T2打开,以将数据线Data上的数据电压Vdata写入数据写入节点M,数据写入节点M的电位的变化量为 $V_{data}-V_{ref}$,由于C1的第二端的电位随着数据写入节点M的电位变化而变化,并由于C2的存在,D的电位和G的电位变为 $V_{init}+V_{th}+(V_{data}-V_{ref}) \times (C1z/(C1z+C2z))$,其中,C1z为C1的电容值,C2z为C2的电容值;

[0133] 在数据写入阶段S3,T3打开,T6关断,S的电位维持为Vinit,N的电位为Vinit;

[0134] 在发光阶段S4,Reset提供低电压信号,Gate提供低电压信号,EM1提供高电压信号,EM2提供高电压信号,T1关断,T2关断,T3关断,T4打开,数据写入节点M的电位为Vref,T5

和T6打开,T0打开,以驱动O1发光;N的电位和S的电位变化为VSS,T0的栅极的电位(也即G的电位)相应改变为 $V_{th} + (V_{data} - V_{ref}) \times (C1z / (C1z + C2z)) + VSS$;T0的栅源电压等于 $V_{th} + (V_{data} - V_{ref}) \times (C1z / (C1z + C2z))$,T0驱动O1发光的驱动电流的电流值等于 $K \times (V_{data} - V_{ref}) \times (C1z / (C1z + C2z))^2$;其中,K为T0的电流系数;可见,所述电流值与VSS和 V_{th} 无关,能够提升显示均匀性,提升显示效果。

[0135] 在复位阶段S1、补偿阶段S2和数据写入阶段S3,T3打开,以将Vinit写入O1的阳极,以使得O1不发光,并清除O1的阳极残留的电荷。

[0136] 在补偿阶段S2开始时,T0的栅极的电位为VDD,T0的源极的电位为Vinit,T0需要打开,则需要 $VDD - Vinit > V_{th}$,可以通过调整VDD和Vinit来调整 V_{th} 的补偿范围。

[0137] 并且,Vdata的工作区间与Vref相关,在发光阶段S4,T0打开,则T0的栅源电压需要大于 V_{th} ;在发光阶段S4,T0的栅源电压等于 $V_{th} + (V_{data} - V_{ref}) \times (C1z / (C1z + C2z))$,则Vdata需要大于Vref。

[0138] 并且,根据O1的特性,VSS可以取适当的电压值,以使得在发光阶段S4,T0工作于饱和状态。

[0139] 当本发明如图4所示的像素电路的实施例应用于LTPO(低温多晶硅晶体管+氧化物晶体管)工艺时,可以将T1设置为Oxide(氧化物)TFT(薄膜晶体管),以减小T0的栅极的漏电。

[0140] 本发明实施例所述的驱动方法,应用于上述的像素电路,显示周期包括复位阶段、补偿阶段和数据写入阶段;所述驱动方法包括:

[0141] 在所述复位阶段,补偿控制电路在复位控制信号的控制下,控制驱动电路的控制端与驱动电路的第一端之间连通;

[0142] 在所述补偿阶段,补偿控制电路在复位控制信号的控制下,控制驱动电路的控制端与驱动电路的第一端之间连通;

[0143] 在所述数据写入阶段,数据写入电路在扫描信号的控制下,将数据电压写入数据写入节点。

[0144] 在本发明实施例所述的驱动方法中,补偿控制电路在复位控制线提供的复位控制信号下进行阈值电压补偿,数据写入电路在扫描线提供的扫描信号的控制下进行数据电压写入,以能够将阈值电压补偿、数据电压写入分别在两个阶段来进行,使得阈值电压补偿时间不受数据写入时间(与驱动帧频相关)限制,在高频帧时不会出现由阈值电压补偿的时间短而不能充分补偿的情况发生。

[0145] 在具体实施时,所述像素电路还可以包括第一置位电路和第二置位电路,所述显示周期还可以包括设置于所述数据写入阶段之后的发光阶段;本发明至少一实施例所述的驱动方法还可以包括:

[0146] 在所述复位阶段、所述补偿阶段和所述数据写入阶段,第一置位电路在第一置位控制信号的控制下,将初始电压写入发光元件的第一极,以控制发光元件不发光,并清除发光元件的第一极残留的电荷;

[0147] 在所述复位阶段、所述补偿阶段和所述发光阶段,第二置位电路在第二置位控制信号的控制下,将参考电压写入数据写入节点。

[0148] 可选的,所述像素电路还包括第一发光控制电路和第二发光控制电路;本发明至

少一实施例所述驱动方法还包括：

[0149] 在所述复位阶段，第一发光控制电路在第一发光控制信号的控制下，控制第一电压线与驱动电路的第一端之间连通；第二发光控制电路在第二发光控制信号的控制下，控制所述驱动电路的第二端与发光元件的第一极之间连通；

[0150] 在所述补偿阶段，第二发光控制电路在第二发光控制信号的控制下，控制所述驱动电路的第二端与发光元件的第一极之间连通；

[0151] 在所述补偿阶段开始时，驱动电路在其控制端的控制下，导通所述驱动电路的第一端与所述驱动电路的第二端之间的连接，所述驱动电路的控制端的电位通过向初始电压端放电而改变，直至驱动电路断开其第一端与所述驱动电路的第二端之间的连接，以完成阈值电压补偿；

[0152] 在所述发光阶段，所述第一发光控制电路在第一发光控制信号的控制下，控制第一电压线与所述驱动电路的第一端之间连通；所述第二发光控制电路在第二发光控制信号的控制下，控制所述驱动电路的第二端与所述发光元件的第一极之间连通；驱动电路驱动发光元件发光。

[0153] 本发明实施例所述的显示装置包括上述的像素电路。

[0154] 本发明实施例所提供的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0155] 以上所述是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

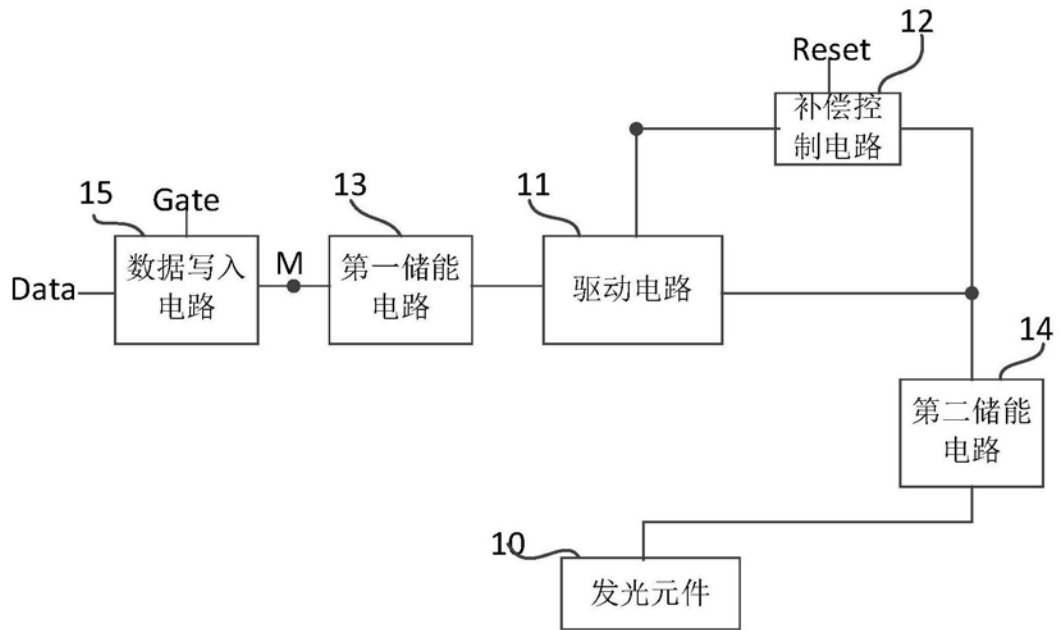


图1

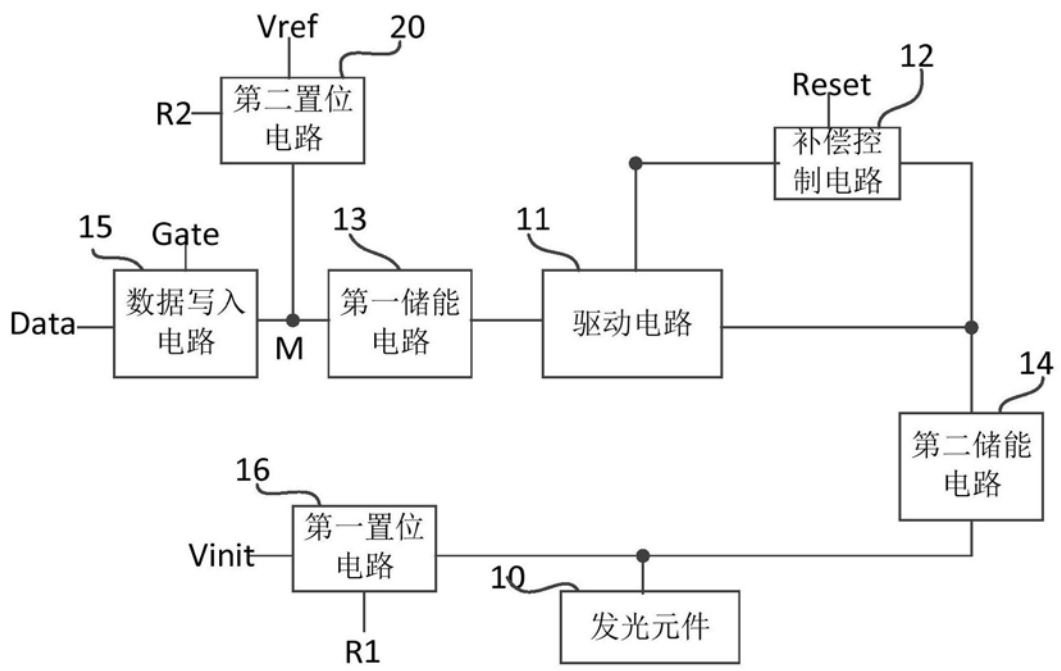


图2

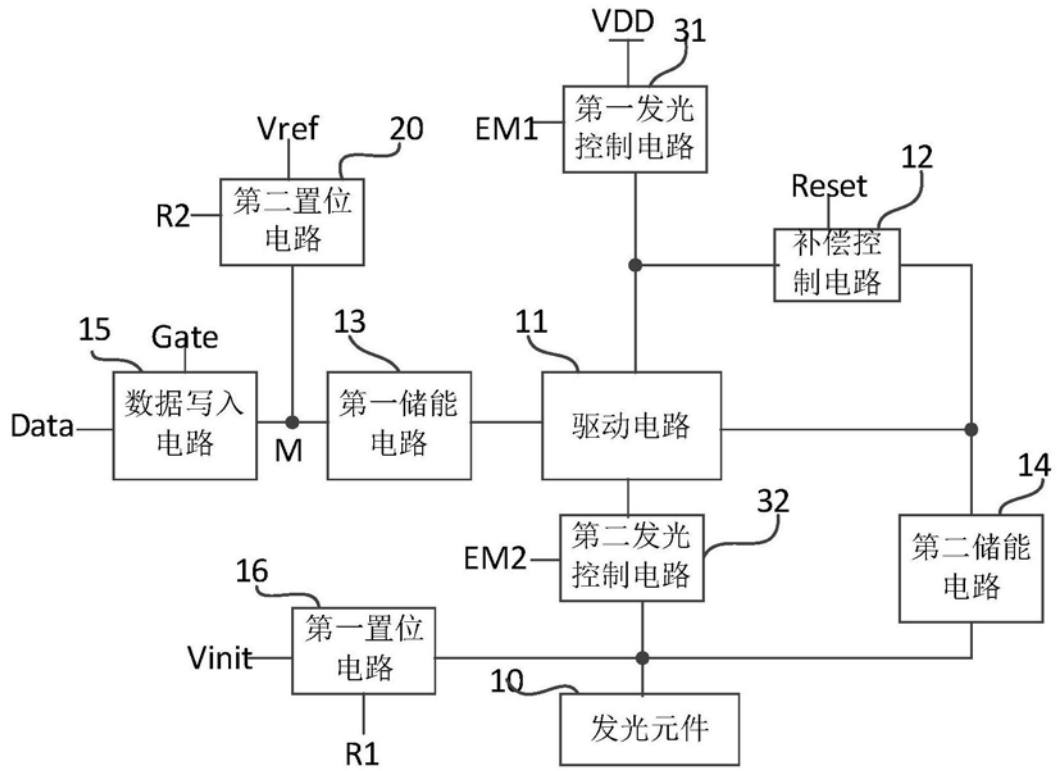


图3

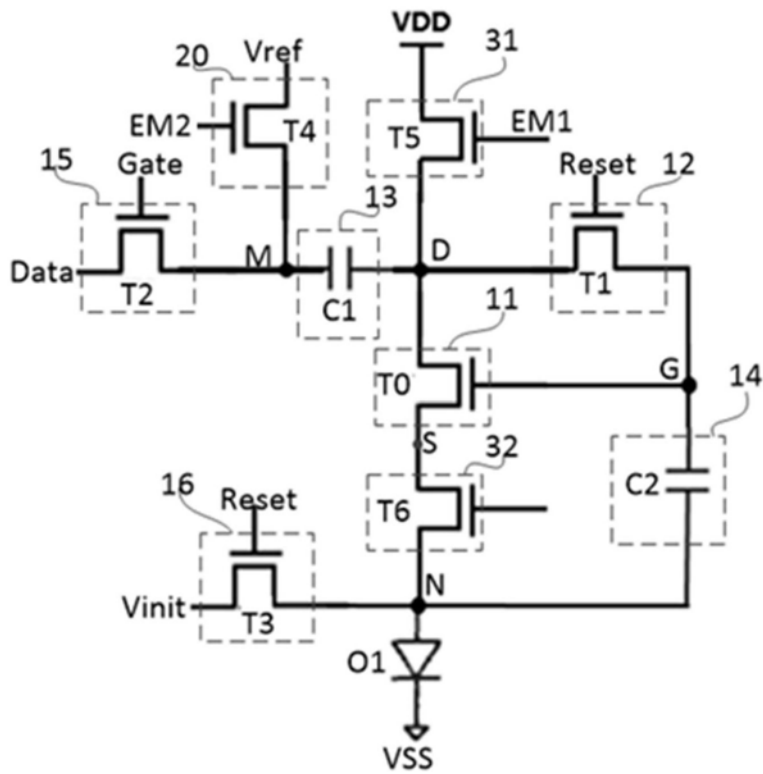


图4

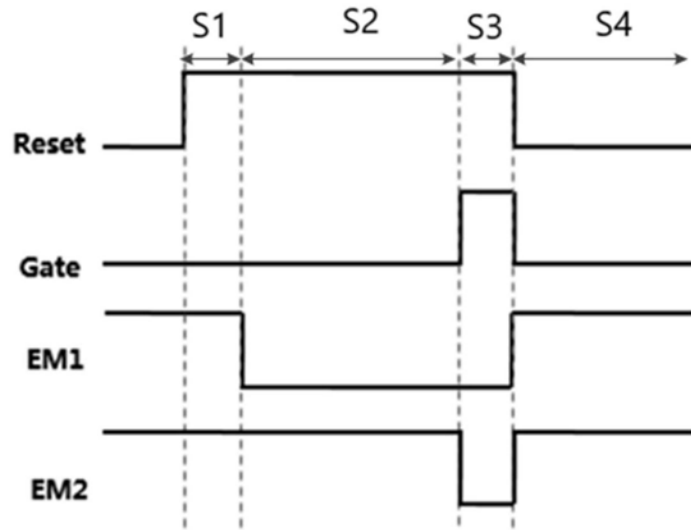


图5