



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99815589.6

[45] 授权公告日 2004 年 8 月 4 日

[11] 授权公告号 CN 1160865C

[22] 申请日 1999.11.5 [21] 申请号 99815589.6

[30] 优先权

[32] 1998.11.12 [33] US [31] 09/191,075

[86] 国际申请 PCT/US1999/026257 1999.11.5

[87] 国际公布 WO2000/030261 英 2000.5.25

[85] 进入国家阶段日期 2001.7.12

[71] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 L·A·约翰逊

J·K·施瓦茨洛夫

审查员 李 倩

[74] 专利代理机构 中国专利代理(香港)有限公司

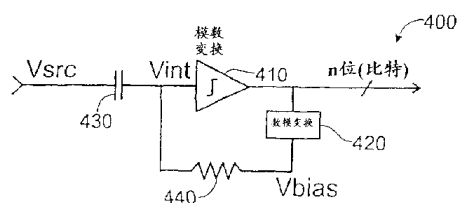
代理人 罗 朋 王忠忠

权利要求书 2 页 说明书 11 页 附图 6 页

[54] 发明名称 用于依靠数据的电压偏移电平的电
路

[57] 摘要

简要地, 依照一个实施例, 一个集成电路(400)包括一个产生离散输出信号的电路, 它包括一个多级的依赖于数据的电压偏移电平(V 偏移)。其中电路还包括近似地消除由于电容性连接电路的频率响应引起的 0 的能力。简要地, 依据本发明的另一个实施例, 一个集成电路包括至少一个连接比较输入和输出电压信号电平的比较器。集成电路还包括在至少部分地基于另一个比较器输出信号的反馈电压信号电平中发送一个调整信号的电路。



1. 一种集成电路, 包括:

一个产生离散输出信号的电路, 该输出信号包括一个多级的依赖于数据的电压偏移电平; 和

5 一个与上述电路连接以便消除由于容性耦合而在上述电路的频率响应中引入的 0 的反馈电路。

2. 权利要求 1 中的集成电路, 其中所述的电路包括至少两个连接到数模变换器 (DAC) 的比较器, 所述的 DAC 适用于提供校正所述数字输出信号的电压偏移电平的反馈电压信号。

10 3. 权利要求 2 中的集成电路, 其中所述 DAC 包括一个 1.5 位 DAC。

4. 权利要求 3 中的集成电路, 其中所述的产生离散输出信号的电路适用于产生一个 “1” 逻辑输出信号、一个 “0” 逻辑输出信号、和一个 “z” 逻辑输出信号。

15 5. 权利要求 4 中的集成电路, 其中所述逻辑输出信号的形式包括差动电压信号。

6. 权利要求 4 中的集成电路, 其中所述的电路适用于产生和接收遵守 1394A 协议规范的电压信号。

7. 权利要求 6 中的集成电路, 其中所述的电路被并入到一个 1394A 规范适应的系统。

20 8. 权利要求 2 中的集成电路, 还包括:

另一个连接比较输入和反馈电压电平的比较器; 和在至少部分地基于另一个比较器输出信号的反馈电压信号电平中发送一个校正信号的电路。

25 9. 权利要求 8 中的集成电路, 其中所述的发送一个校正信号的电路包括计数器或移位器中的一个。

10. 权利要求 9 中的集成电路, 其中计数器包括一个增/减计数器。

11. 权利要求 8 中的集成电路, 其中所述另一个比较器包括一个差动比较器。

30 12. 权利要求 8 中的集成电路, 其中所述另一个比较器包括两个单端比较器。

13. 权利要求 8 中的集成电路, 其中所述产生一个校正信号的电路被连接以向所述数模转换器 (DAC) 提供校正信号。

14. 权利要求 13 中的集成电路，其中所述的电路被连接以提供校正所述 DAC 的反馈信号的大小的校正信号。

15. 一种产生数字电压输出信号的方法，包括：

对数字电压输出信号进行抽样；

5 将抽样的信号转换为依赖于抽样的数字电压输出信号的电压偏移信号；和

产生具有作为 DC 电压值的电压偏移信号的数字输出信号。

16. 权利要求 15 中的方法，其中所述数字电压输出信号具有三个输出状态。

10 17. 权利要求 16 中的方法，其中所述输出状态包括逻辑状态 0、1 和“z”。

18. 权利要求 17 中的方法，其中所述数字电压输出信号包括差动信号。

15 19. 权利要求 16 中的方法，其中所述电压输出信号具有遵守 1394A 协议规范的电压电平的电压输出信号。

20. 权利要求 15 中的方法，其中所述数字电压输出信号使用一个 DAC 来抽样和转换。

21. 权利要求 20 中的方法，其中所述 DAC 包括一个 1.5 位 DAC。

用于依靠数据的电压偏移电平

背景

5 领域

本发明涉及为电信号提供直流（DC）隔离。

背景信息

众所周知，一个串联电容，如图 2 说明的，可以用来阻塞直流平衡
10 信号上的直流（DC）电压电平。在此文中，术语“直流平衡”指的是
信号的时间平均收敛于一个 DC，独立于数据信号值的固定信号电平，
对于不同的发信号典型地为零伏特。这在图 2 中被说明，其中一个电
容 230 与一个运算放大器 210 串联连接。对于图 2 中说明的实施例，
 V_{bias} 为信号 V_{int} 提供中心点。

15 图 3 说明了沿着时间轴的相应的信号。只要信号具有独立于数据信
号的平均值该偏移方案就能令人满意地工作。在一个使用二元数字信
号的系统中，这意味着一个由“0”和“1”组成的平衡的数。然而，
在许多系统中，不能保证这种 0 和 1 的平衡。例如，尽管在该方面本
发明不局限于此范围，1394A 协议规范，法案 2.0，日期 1998 年 3 月
20 15 日，可以从电气和电子工程师学会(IEEE)得到，（此后为“1394A”），
不保证一个由 0 和 1 组成的平衡的数。因此，一长串 0 将引起内部节
点，例如图 2 中的 V_{int} ，漂移到偏移电平而不是保持在一个代表“0”的
电平。这种效应在多电平系统中将更加显著，在多电平系统中多个电
压信号电平被检测。例如，1394 说明使用三个逻辑电平，0，“z”和 1。
25 因此，如果一长串 0 被发送， V_{int} 将漂移并且导致一个 z 被错误地解释，
例如，如图 3 说明的那样。因此，存在解决这种不平衡系统中缺点的
需要。

概要

30 简短地，依照一种实施例，一个集成电路包括一个处理包括多级电
平，依靠数据的偏移电平的离散输出信号的电路，其中电路进一步包
括至少近似消除由于电容耦合在电路频率响应中引入的 0 的能力。

简短地，依照本发明的另一种实施例，一个集成电路包括至少一个与输入和输出电压信号电平相连接的比较器。集成电路还包括至少部分地基于比较器输出信号来发送用于调整输出电压信号电平的信号的电路。

5

附图简述

被视为本发明的主题在说明的结论部分被专门地指出和清楚地要求。然而，参考结合附图的下列详细描述，本发明，关于操作的组织和方法，和它的目标，特征和优点，将被最好地理解。其中：

10 图 1 是一个原理图，它图解一种依照本发明的反馈电路的一种实施例的频率域模型；

图 2 是一个电路图，它图解在比较器输入端使用的一个典型的 DC 阻塞方案的一个实施例；

图 3 是一个线图，它图解可能被图 2 的实施例产生的电压信号；

15 图 4 是一个原理图，它图解依照本发明的一个电路的一种实施例，该电路可能被用于产生一个依靠数据的电压偏移电平；

图 5 是一个线图，它图解可能被图 4 的实施例产生的电压信号；

图 6 是一个电路图，它图解依照本发明的一个电路的另一种实施例，该电路可能被用于产生一个依靠数据的电压偏移电平；

20 图 7 是一个电路图，它图解依照本发明的一个自适应电压偏移控制电路的一种实施例；

图 8 是依照本发明的一个自适应电压偏移控制电路的另一种实施例；

25 图 9 是一个线图，它图解一个依照本发明的使用一个选通信号的自适应电压偏移控制电路的一种实施例产生的各种各样的信号。

图 10 是一个线图，它图解输入和输出电压信号间的电压失配，例如分别被应用于和被与 1394A 规范兼容的接收机产生的那些输入和输出电压信号；

30 图 11a 和图 11b 是线图，它们图解由输入信号和输出信号间的电压失配产生的一个电压偏移量；和

图 12 是一个真值表，它图解图 8 图解的实施例的一个可选实现的工作，包括一个“无行为”状态。

详细描述

在下面的详细描述中，为了提供一个本发明的彻底理解许多具体细节被阐明了。然而，本领域的技术人员应当理解没有这些具体细节本发明可以被实践。在其他例子中，众所周知的方案，过程，元件和电路没有被详细描述以不使本发明模糊。

众所周知，一个串联电容，如图 2 说明的，可以用来阻塞直流平衡信号上的直流（DC）电压电平。在此文中，术语“直流平衡”指的是信号的时间平均收敛于一个 DC，独立于数据信号值的固定信号电平，对于不同的发信号典型地为零伏特。这在图 2 中被说明，其中一个电容 230 与一个运算放大器 210 串联连接。对于图 2 中说明的实施例， V_{bias} 为信号 V_{int} 提供中心点。

图 3 说明了沿着时间轴的相应的信号。只要信号具有独立于数据信号的平均值该偏移方案就能令人满意地工作。在一个使用二元数字信号或位的系统中，这意味着一个由“0”和“1”组成的平衡的数。然而，在许多系统中，不能保证这种 0 和 1 的平衡。例如，尽管在该方面本发明不局限于此范围，1394A 协议规范，法案 2.0，日期 1998 年 3 月 15 日，可以从电气和电子工程师学会得到，（此后，“1394A”），不保证一个由 0 和 1 组成的平衡的数。因此，一长串 0 将引起内部节点，例如图 2 中的 V_{int} ，漂移到偏移电平而不是保持在一个代表“0”的电平。这种效应在多电平系统中将更加显著，在多电平系统中多个电压信号电平被检测。例如，1394 说明使用三个逻辑电平，0，“z”和 1。因此，如果一长串 0 被发送， V_{int} 将漂移并且导致一个 z 被错误地解释，例如，如图 3 说明的那样。

图 4 是一个原理图，它图解依照本发明的一个电路的一种实施例。在这个特定的实施例中，反馈被使用以提供一个依靠数据的，电压偏移电平，它在内部节点 V_{int} 上保持一个期望的电压信号电平。在这个特定的实施例中，使用模-数（A/D）变换，内部节点被抽样，使用数-模（D/A）变换，数字信号被转换成相应的偏移电平，于是通过一个用于维持期望电压电平的弱激励器，模拟电压值被保持在内部节点上。图 5 图解了相应的波形。

在这个特定的实施例中，比较器 410 对节点 V_{int} 采样提供，如图 4 图

解的, N 位数字形式的输出信号。然后这个数字输出信号通过 DAC420 被变换成电压偏移并通过电阻 440 供给内部节点 V_{int} 。当然, 如前面指出的, 这是一个原理图。许多具体实现中的任何一个可以被用来实现这个结果。图 5 中所示的波形暗示一个两态实现, 其中 N 等于 1 位, 然而, 本发明在这方面不局限于这个范围。这种方法可被用于任意多位的系统。因此, N 等于 1 的情况仅仅是为了易于说明的目的而提供的。图和波形也意味着存储在 A/D 输出端的反馈状态的 N 位二进制表示。应当注意: 二进制表示不是必要的, 反馈状态可以用温度计、二进制, 或任何其他信号数字表示形式实现。

图 6 是一个电路图, 它图解依照本发明的另一种实施例。在这个具体的实施例中, 三个状态被使用, 尽管在该方面本发明不局限于此范围。这个具体的实施例可被用于与 1394A 规范兼容的设备、系统或部件中, 尽管, 再一次, 本发明在这方面不局限于这个范围。输入数据信号通过电容 650 和 660 被供给比较器 610。在这个具体实施例中, 这些信号, V_{inp} 和 V_{inm} 被不同地施加。电容 650 和 660 阻塞 V_{inp} 和 V_{inm} 的 DC 电压电平信号。在这个具体的实施例中期望这些信号的 DC 电平的一个原因是该电路可以被用在包括一个 1.8 伏特工序的半导体制造工序中。尽管又一次本发明在这方面不局限于这个范围。当该电路被用于 1394A 规范兼容的系统、部件或设备时, 应当容忍输入电压信号高达 2.7 伏特, 尽管一个 1.8 伏特工序典型地仅可以容忍直到约 2 伏特。同样地, 如前面描述的那样, 对于一个简单的偏移网络, 如图 2 中举例说明的, 1394A 规范不确保 DC 平衡信号。如图 6 所图解的, 比较器 610 和 620 的输出端激励一个反馈选择器或 DAC 630, 反馈选择器或 DAC 630 通过选择器 630 产生的信号 V_{outp} 和 V_{outm} 在偏移电阻 670 和 680 上激励期望的电压。如果比较器在输入端检测到一个“1”, V_{outp} 和 V_{outm} 被激励到一个表示“1”状态的差动电平。当“0”被检测到时, 信号被激励到表示“0”状态的差动电平。同样地, 当一个“z”状态被检测到时, 这些信号被激励到进入比较器的差动信号的共模电平。于是, 电阻保持差动电平, 容纳内部节点 V_{ininp} 和 V_{ininm} 上的泄漏。此泄漏是由电容和比较器的实际实现产生的各种寄生元件(如反偏压二极管, 门极泄漏等)的结果。在一个理想的环境中, 没有泄漏并且 V_{ininp} 和 V_{ininm} 将不确定地保持它们的值; 然而, 泄漏在此实施例中在一定程

度上存在并且一个机制合乎需要地保持（或维持）电容上的电压电平到一个期望值，该期望值否则不被激励。因为仅仅在状态转变的短暂时间内一个电压下降出现在电阻的两端，状态转变至少部分地是被反馈机制中的延时引起。少量电流流到内部节点 V_{ininp} 和 V_{ininm} 上。此电流太小不会明显影响电路的工作并且电容仍然在一个不确定的时间周期内保持期望的电压。选择的电阻具有足够的电导去对抗电容上的泄漏同时具有足够的电阻去允许 V_{ininp} 和 V_{ininm} 在状态转变期间跟踪 V_{inp} 和 V_{inm} 。

如图解的那样，图 6 还包括反馈控制部件 640。该部件为 DAC 630 设置参考电压。对于许多应用，一个简单的 DC，固定电压参考将被使用，例如一个带有电阻梯的带隙电路，以提供期望的电压电平。类似地，在一种可供选择的实施例，一个反馈控制部件，例如，如下面详细描述的那样，可被使用。当然不发明不局限于这两个实施例的任何一个的范围。使用一个依照前面提到的关于 1394A 规范兼容的设备的专利申请的电路的一个优点是：输入差动信号具有大范围的允许信号值并且一种自适应技术可以通过调整它的内部参考以匹配输入信号呈现的电平被用来适应这个大范围。然而，尽管共模电平可能不同，任何其中的电平相差充分地等于输入差动的实施例将工作。如果电平没被正确地设置， V_{ininp} 和 V_{ininm} 在一长串“1”或“0”（或者多态系统中的其他状态）期间将偏移到这个值并且可能导致一个类似于图 2 中未改进的部件方案的误差。事实上，在极限情况下，此时参考电平的差接近 0，系统的行为基本上与图 2 的系统类似，没有达到明显的改善。

图 6 中图解的实施例的一个优点是能够近似消除偏移电阻和输入电容引入的 0。图 1 是一个原理图，它说明依照本发明使用的反馈机制的一个实施例。在这个方法中，反馈电路的增加至少近似地打消了电容和电阻引入的 0 的影响。在极限情况下，其中 T_0 ，整个反馈放大器的延时，接近 0，如图解的那样，这个特定的实施例的传输函数接近 1。也可以证明对于合理的延时量，例如 1 纳秒量级，这个特定的实施例的传输函数近似为 1，如期望的那样。

典型地，对于一种方法如图 2 图解的方法，众所周知，电阻和电容应足够大以将 0 放在数据流最低频率分量的至少二十几倍以下。这参

与减小当频率接近 0 频率时相位变化引起的数据流的跳动。在多数应用中，电容可以被放置在外部，由于它的大尺寸，为了将 0 移到充分低的频率。然而，图 6 图解的实施例实现了近似消除 0 的愿望，从而它的频率不再重要。由于 0 被消除了，一个较高频率的 0 是可以容忍的 - 导致较小的电容和电阻值。在一些设计中，例如一个 1394A 接收机，电容能为 25 皮法的量级，这易于作为集成解决方案在硅上被实现。类似地，电阻可以使用一个比通常使用的低的阻抗，减小硅的面积和系统成本。在图 6 的实施例中使用的 DAC 典型地将不使用非常大数量的硅和，因此，在本发明的一个集成电路实施例中，例如图 6 图解的方案，不增加大量的成本。

因此，图 6 图解的实施例提供一个技术，该技术使得能够使用低电压数字处理，同时保持接收一个大共模范围的模拟信号。该模拟信号可以在不损害部件的情况下被接收，尽管使用的电压电平超过制造部件使用的处理的电压电平。此外，提供了一个用于阻塞 DC 电压电平而基本上不损害带宽的机制，因为作为结果的传递函数非常接近 1。当加工争取和达到较低的供电电压时，这样的技术可以继续变得更加合乎需要。

尽管在该方面本发明不局限于此范围，一个涉及一个 1394A 兼容的接收机的问题包括具有从具有大共模电压范围的电缆接收数据信号的能力，例如此大共模电压和差动电压信号一起可以导致有效电压电平的范围为约 0.5~2.7 伏特。这成为挑战特别是关于打算供给 1.8 伏特的半导体制造工艺，因此，它可以容忍跨接晶体管，如一个金属氧化物半导体 (MOS) 设备，近似仅仅 2 伏特。与 1394A 规范兼容的设备或系统的另一个问题是电容性直流 (DC) 阻塞的使用。在 1394A 规范兼容的系统中提供的数据信号不是 DC 平衡的。因此，电容性 DC 阻塞不会导致满意的性能。如前所指出的，图 6 图解了一个 1394A 兼容的接收机的一个实施例，它可以解决这个问题。尽管本发明在该方面不局限于此范围，这样一个实施例也可以使用依照本发明的自适应电压偏移控制电路的实施例。1394A 兼容的接收机的这个具体的实施例在前面被详细地描述过。

这个具体的实施例提供阻塞 1394A 兼容的电压信号的高共模电压电平，同时减少与符号有关的跳动成分。数据信号被不同地供给输入

端 V_{inp} 和 V_{inm} 。串联电容 650 和 660 提供 DC 隔离，如一个 1.8 伏特半
导体制造工艺要求的那样，并将非 DC 信号分量传递到差动信号输入
端 V_{ininp} 和 V_{ininm} 。如前面详细描述的那样，在这个具体的实施例
中，比较器 610 和 620 确定供给的信号是否是一个“1”状态、一个“0”，
5 或一个“z”状态。在这个具体的实施例中，如果信号的差位于以 0 伏
特为中心的特定的范围中将出现一个“z”状态。如果差超过该范围将
出现一个“1”状态，如果差低于此范围将出现一个“0”状态。反馈
选择器或数模变换器 (DAC) 630 产生两个二进制数字信号或位，指
定为 A_{rbhigh} 和 A_{rblow} 。例如可被供给一个到 1394A 兼容的系统的连接，
10 指出供给的输入信号的状态， V_{inp} 和 V_{inm} 。同样地，选择器在输出端
 V_{outp} 和 V_{outm} 产生模拟差动信号，模拟信号的量化电平基本等于那些在
输入端 V_{inp} 和 V_{inm} 存在的电平。因为 DAC 输出信号被从一个电压参考
产生，它能够在一定的时间周期内在 V_{ininp} 和 V_{ininm} 上维持一个合
乎需要的电压偏移电平。

15 在这个具体的实施例中，为了满意的性能，期望产生的差动输出信
号基本上等于提供的差动输入信号。在输出电压信号被作为反馈的许
多系统中这被期望。然而，对于 1394A 兼容的系统、设备或部件，这
个问题变的更为困难，例如，因为输入电平可以从约 117 毫伏变到约
260 毫伏，取决于电缆的类型和长度，发射机和被电缆输送的供电功率
20 的量。在这个具体的实施例中，和为供给的输入电压信号提供反馈电
压的其他系统中，如果输入信号明显不同于那些作为反馈而提供的信
号，可能导致性能下降。例如，在这个具体的实施例中，接收机可能
结束将不期望的跳变加入数据路径，如下面详细描述的那样。在这篇
文章中，这被称为电压失配，这里反馈电压信号中代表“1”状态的电
25 压电平与作为输入信号供给的代表“1”状态的电压电平不相同。

图 10 是一个线图，它图解输入信号和输出信号或反馈电压信号间
的电压失配。如图解的那样，当数据信号变的不平衡时，例如一长串
“1”或“0”之后，内部节点，如对于图 6 图解的实施例，获得可能
导致跳动或甚至遗漏的位传输的电压电平。这在图 10 中进行了图解，
30 例如，其中一长串“0”之后供给了一个“1”，然而，电压输出信号
指示一个 z 状态。同样地，图 11b 图解反馈差动电压电平中甚至小的
失配如何导致增加的跳动。如图 11b 所示，其中在电压电平上差动反

馈或输出信号不等于差动输入信号，偏移误差被引入。作为结果，“0”位时间和“1”位时间的量不同于可选的情况，图 11a 图解的，其中输出或反馈差动电压电平基本上等于输入差动电压电平。

图 7 是一个电路图，它图解依照本发明的一个自适应电压偏移控制电路的一个实施例。这个具体的实施例在一个集成电路芯片上被图解，尽管本发明在这方面不局限于此范围。实施例 700 包括至少一个比较器，例如比较器 710，被与比较输入和输出电压信号电平连接。此外，关于用于在输出电压信号中调整信号的信号的电路被包括，调整信号是基于，至少部分地，比较器输出信号，如后面详细讨论的那样。

如图 7 所示，一个计数器 740 被连接以向数模变换器 (DAC) 提供一个信号。这个技术器包括一个增/减计数器。数模变化器 (DAC) 如此工作：当计数器增加时，DAC 提供的差动电压信号电平稍微增大，而当计数器减小时，DAC 产生的差动电压信号电平同样地稍微减小。如图 7 所示，在这个具体的实施例中，尽管本发明在这方面不局限于此范围，一个增/减信号由一个异或 (XOR) 门 730 提供。提供给门 730 的第一个输入信号包括一个由差动比较器提供的输出信号，如图解的那样，比较器 710 将 V_{inint} 和 V_{out} 作比较，其中前者包括 $(V_{inintp} - V_{inintm})$ ，后者包括 $(V_{outp} - V_{outm})$ 。如果 V_{out} 比 V_{inint} 更加负或更加正，那么 DAC 产生的电压输出或反馈信号的大小太高，应当向下调整。然而，如果 V_{out} 比 V_{inint} 更少负或更少正，那么将 DAC 的电压反馈或输出信号的大小向上调整是合于需要的。比较器 720 被用来确定输入信号的符号，所以 XOR 门 730 可以进行一个“绝对值”操作。在这个具体的实施例中，没有“无行为”状态，但是在这方面本发明不限于此范围。例如，两个偏移差动比较器可以被用来确定一个被认为是“足够接近”的范围。如图 12 中的真值表所示，在这个实现中，如果两个比较器输出信号都指示大小太高，DAC 的大小被减小。同样地，如果两个比较器输出信号都指示大小太低，DAC 的大小被增大。如果比较器指示大小低于超出输入信号的一个设定门限并且高于比输入信号低的一个设定门限，那么一个“无行为”状态被指示。图 12 显示的最后或第四状态是无效的，不应出现。

对于图 7 所示的实施例，一个选通信号同样被使用。这个选通信号帮助确保信号的一个好的测量被获得。典型地，对于 DAC 相应一个供

给的数据信号的传输，一个固定的时间量应被允许。在这个时间周期内，可能有大的电压降跨越电阻，忽略最好。因此，在作出增/减决定之前，自适应电路可以被设置等待直到主电路被充分地设置。

在一个实施例中，选通信号可以包括一个延时脉冲。然而，在一个 1394A 兼容的系统中，一个可选的方法是使用选通差动信号对去适应数据信号接收机并且，同样地，使用数据信号去适应选通。1394A 协议规定第二个差动信号，当被传输的数据信号包括一串同样的值时该差动信号提供一个边界。选通信号可被用在这里以更新 DAC 的大小，因为这表明输入信号是固定的或不变的。这个具体实施例的工作的这个方面在图 9 中被图解。如图 9 所示，当选通信号变化时，DAC 输出信号大小被更新。一旦 DAC 输出信号 V_{out} 和内部节点电压信号 V_{intint} 充分接近，不再进行更多的调整并且系统已经完成了它的调整步骤。同样地，如前面所指出的那样，一个“无行为”状态可以被省略，该技术仍然可以满意地工作，然而，本发明在这方面不局限于该范围。

没有“无行为”状态，DAC 的大小可以在跨在“理想”的输出电压信号值上的两个电平间来回切换。如果在控制中具有足够的间隔尺度，误差可以被设置到一个足够低的值，并可以忽略。

图 8 图解了一个可选的依照本发明的一个自适应电压偏移控制电路的实施例。在这个具体的实施例中，代替差动比较器，使用两个单端比较器。在这个具体的实施例中，如图 7 所示的实施例中，没有使用一个“无行为”状态。图 8 中图解的实施例可以被证明实现了以下逻辑：

如果 $((Fbplus > Vplus) \text{ 与 } (Fbminus < Vminus) \text{ 与 } (Logic1))$ ，那么减小反馈差动，否则如果 $((Fbplus < Vplus) \text{ 与 } (Fbminus > Vminus) \text{ 与 } (Logic1))$ ，那么增加反馈差动，否则如果 $((Vplus < Fbplus) \text{ 与 } (Vminus > Fbminus) \text{ 与 } (Logic0))$ ，那么减小反馈差动，否则如果 $((Vplus > Fbplus) \text{ 与 } (Vminus < Fbminus) \text{ 与 } (Logic0))$ ，那么增加反馈差动，否则不确定并且什么都不做。在这个具体的实施例中，当信号电压电平跨在信号电压电平上或当输入信号电压电平跨在输出或反馈信号电压电平上时，对差动电压输出或反馈信号大小进行调整。在这个实施例中，通过一个“有效比较”信号决定这个跨接条件，如图 8 所指出的。如果“有效比较”信号是无效的，选通信号在逻辑上被无效，并且系统等待输出

信号电压电平通过反馈达到输入共模信号电压电平，并且从而创造一个跨接条件。因此，不确定条件一般是短暂的，由于，至少部分地，这个自适应操作。图 6 中的电阻 670 和 680 有效地将内部电压节点拉向 DAC 建立的共模电压电平，独立于差动电压。由于输入信号和输出信号是以共模电压为中心，这个共模信号电压电平导致一个跨接条件。在这个具体的实施例，图 8 中指出的信号逻辑“1”和逻辑“0”是异或(XOR)的，以确保供给的信号线的当前状态不是一个逻辑“z”状态或信号。在这个具体的实施例，一个逻辑“z”状态将使选通信号无效。因此，一个逻辑“1”信号与比较器的输出信号进行异或以决定一个正确的决定以传给 DAC。

如先前描述的那样，这个具体的实施例提供了一个技术，该技术允许一个电容性连接的系统对电压偏移进行监控和提供反馈控制，以减小数据传输的质量下降。这个实施例也可以被用来允许一个低电压半导体工艺去适应一个宽松确定的输入电压信号电平范围，同时保持 DC 隔离。此外，该技术还可以用在建立或设定电压电压偏移电平的准确电压参考是不可得到的时候。使用自适应电路，如在前面的实施例中描述的，工艺中的变化，供电电压或温度可以被补偿。由于工艺争取较低的供电电压以减小功率和尺寸，依照本发明的实施例，如先前描述的，可以被用来允许与外部元件、传感器、系统和/或设备连接。

一个依照本发明的产生电压输出信号的方法的实施例包括以下内容。如前面所描述的，例如图 6 所示的，在一种实施例中，数字输出信号，例如被比较器产生的，例如，被抽样。抽样的信号可以被转换成一个至少部分依赖于抽样的数字输出信号的电压偏移电平，例如，通过一个 DAC，例如象 DAC630 这种的。然后，这些被转换的信号可以被用来产生数字输出信号，信号具有作为 DC 电压值的电压偏移信号，例如使用比较器 610 和 620。当然，为了实现这个具体的方法，这个实施例不局限于具体电路的使用，如那些先前描述和图解的。但是，实施例也可以包括三个输出状态，例如：1、0、和“z”，及差动输出电压信号。此外，为输出电压信号产生的电压电平可以遵守 1394A 协议规范，尽管本发明在这方面不局限于此范围。

尽管这里图解和描述了本发明的特定特征，其中对于本领域的技术人员，现在将出现许多修正、替代、改变、和等效物。因此，应当理

解附近的权利要求是企图覆盖所有落入本发明的构思的修正和改变。

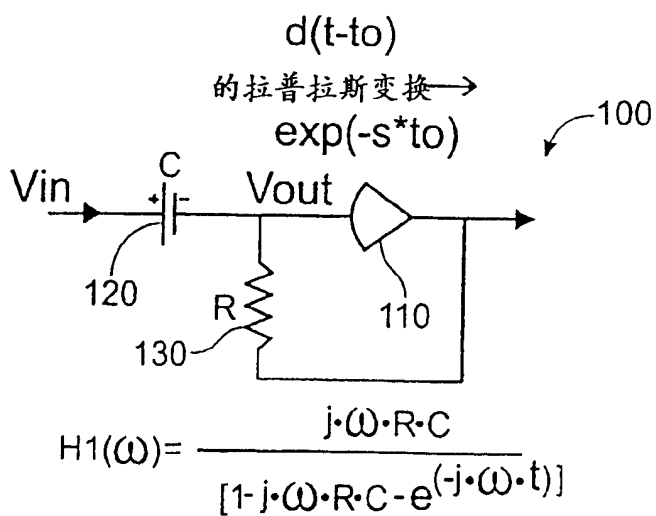


图 1

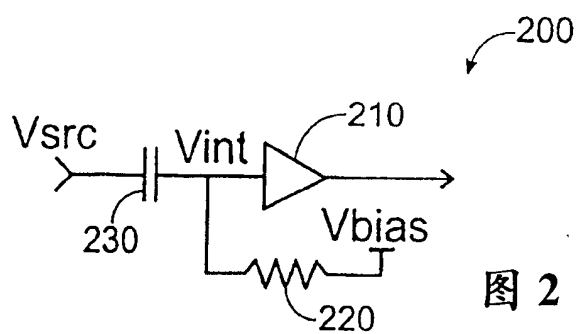


图 2

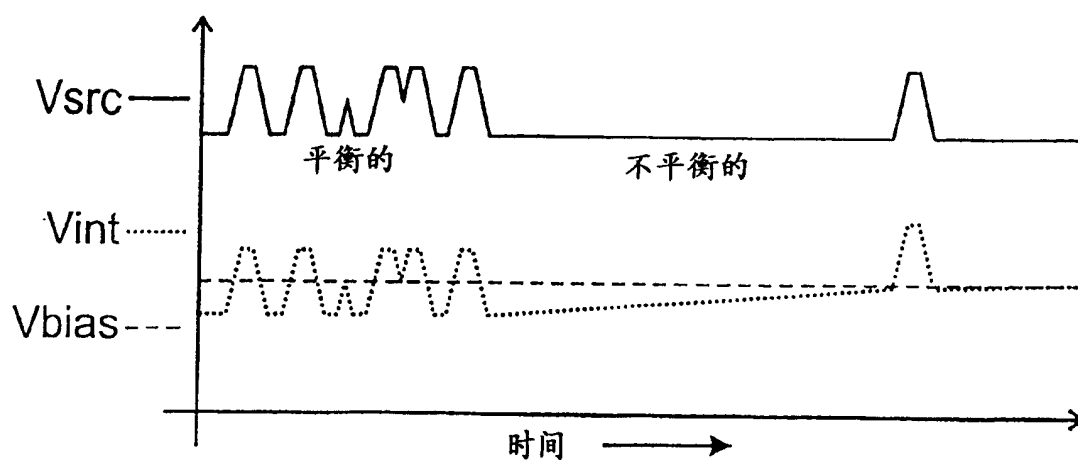
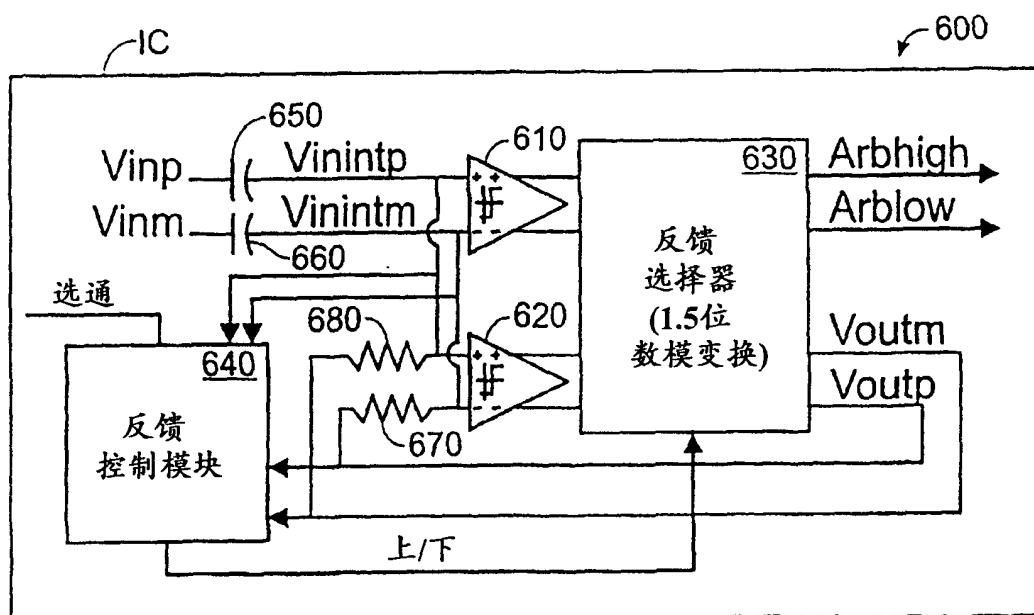
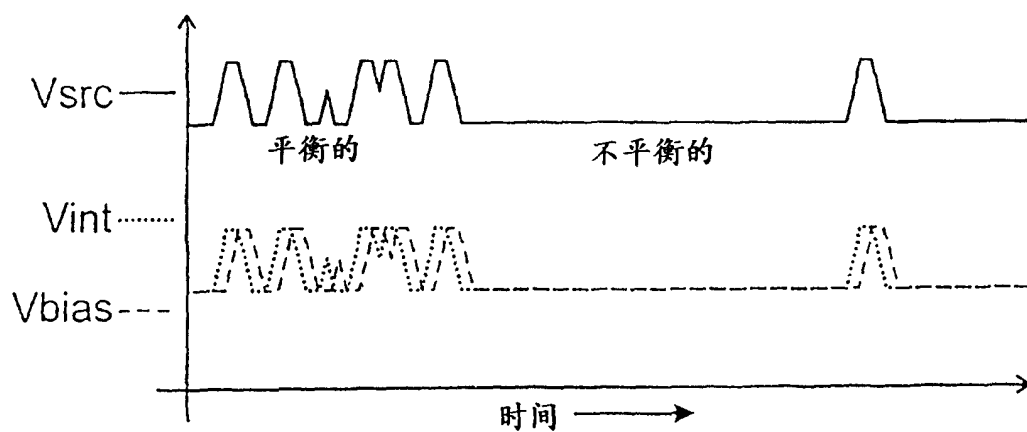
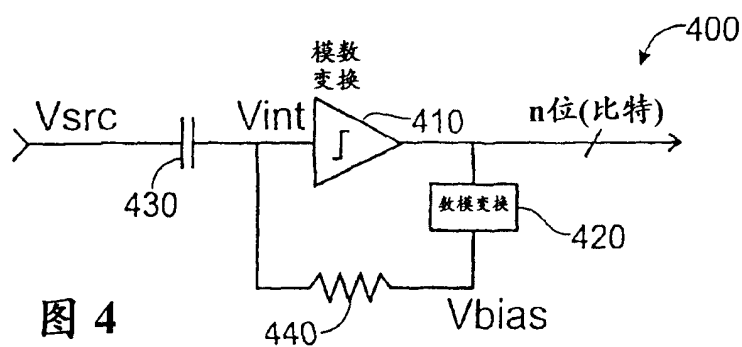


图 3



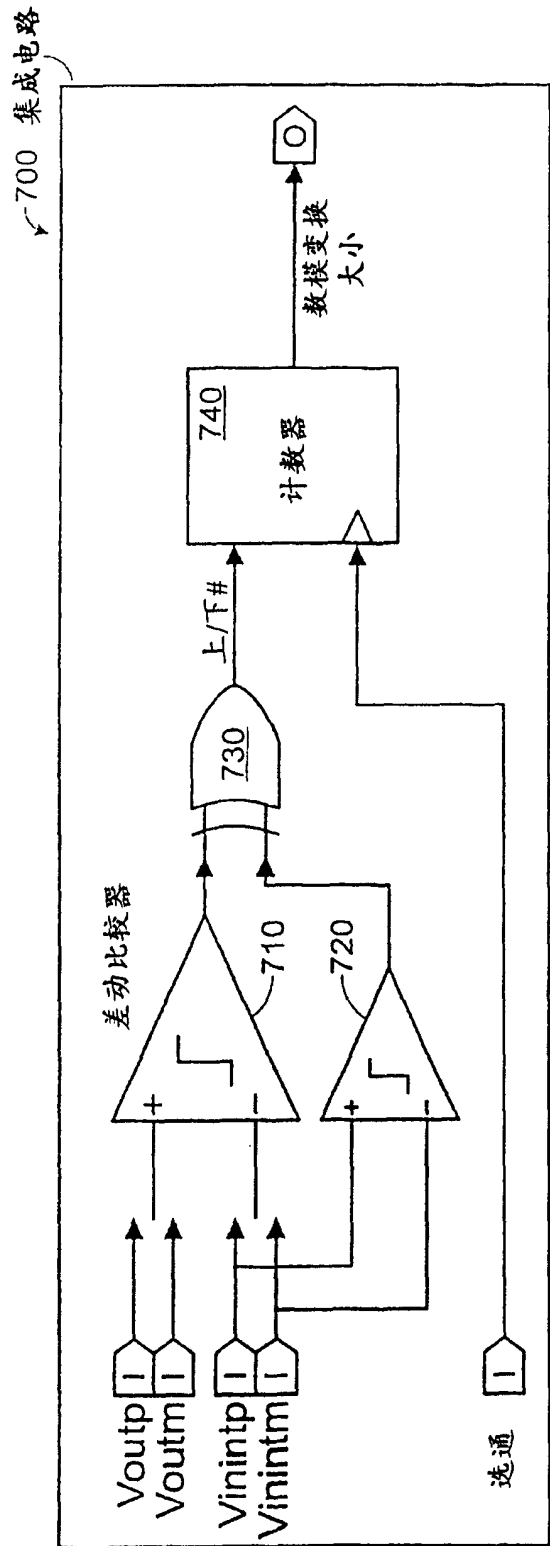


图 7

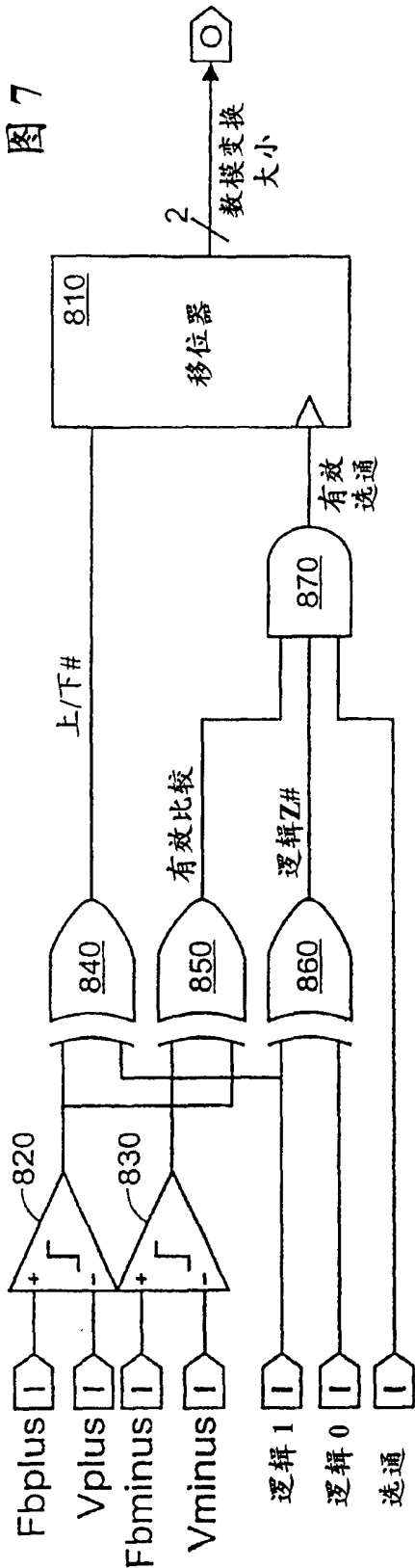


图 8

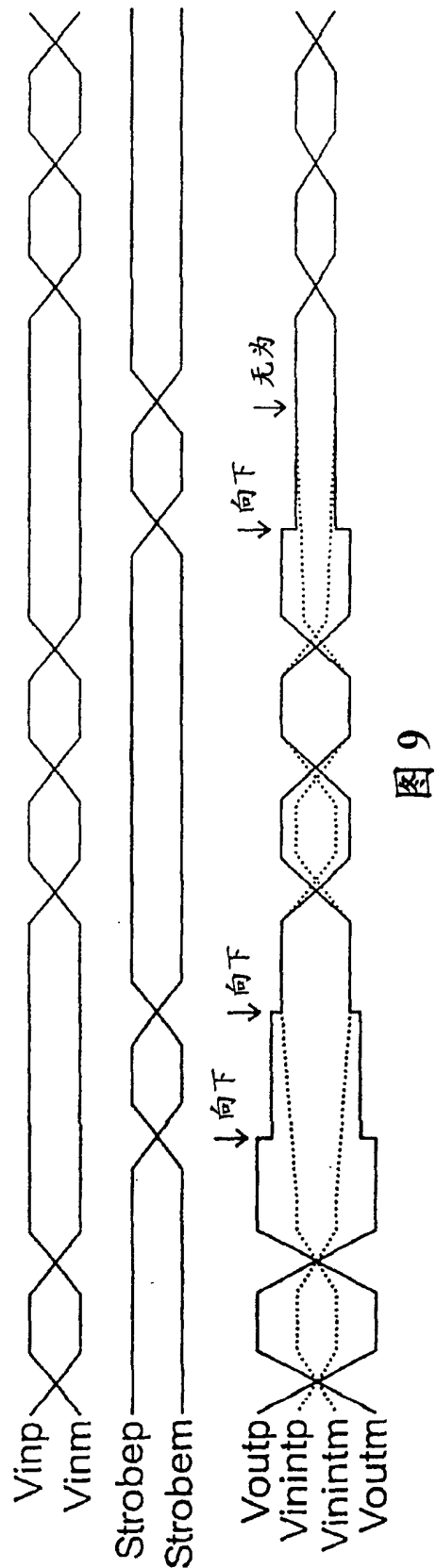


图 9

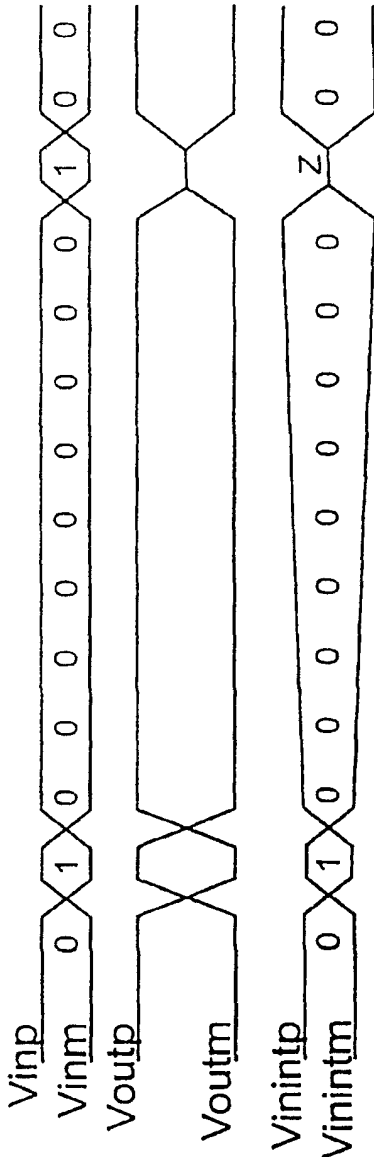


图 10

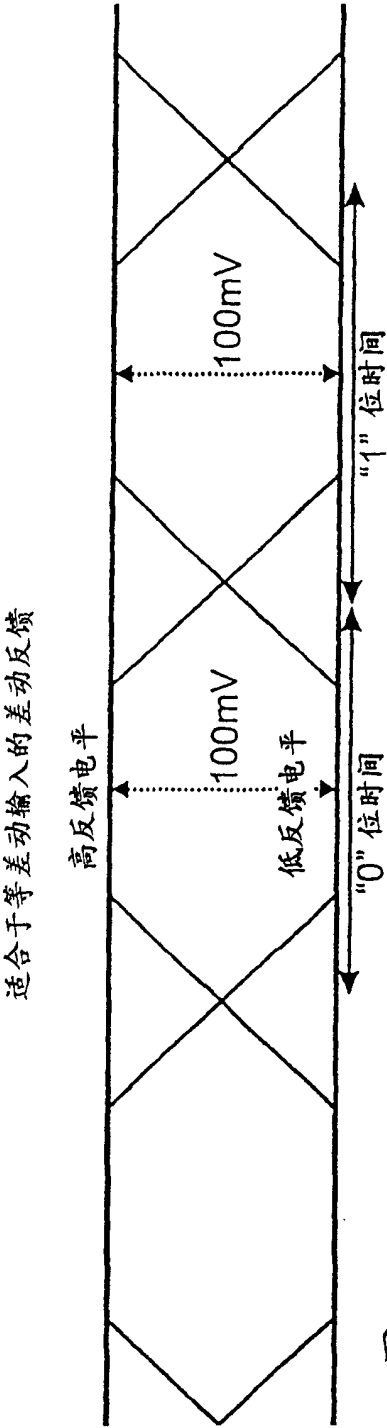


图 11a

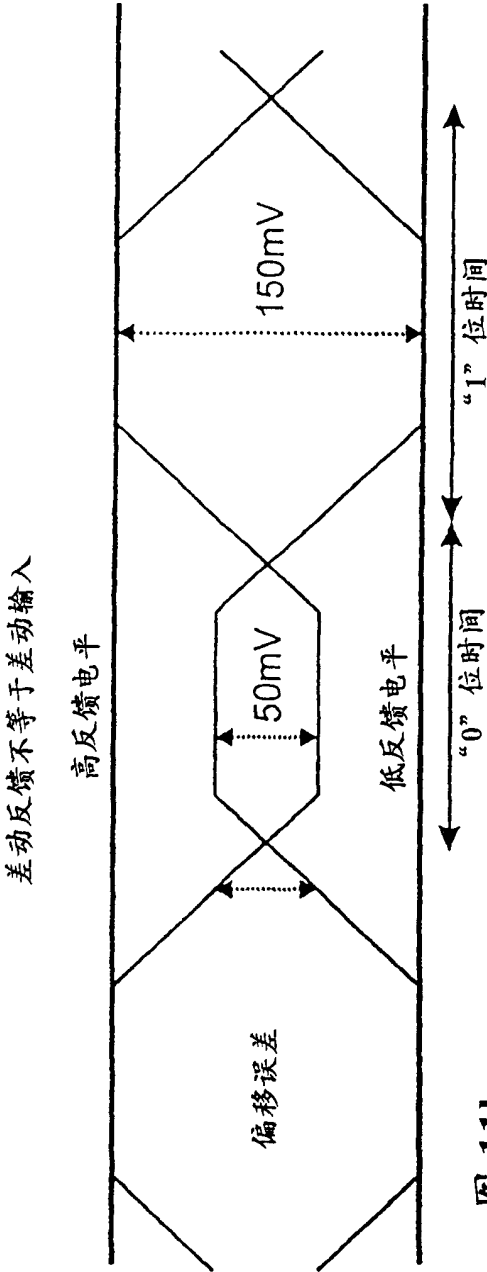


图 11b

	比较器 1: 输入 < 输出 + 偏移	比较器 1: 输入 > 输出 + 偏移
比较器 2: 输入 < 输出 - 偏移	输出信号大小太大 减小 输出	无效状态
比较器 2: 输入 > 输出 - 偏移	大小位于范围内 什么也不做	输出信号大小太小 增大 输出

图 12