



(12) 实用新型专利

(10) 授权公告号 CN 203813804 U

(45) 授权公告日 2014. 09. 03

(21) 申请号 201320815879. 6

(22) 申请日 2013. 12. 11

(73) 专利权人 深圳市三旺通信技术有限公司  
地址 518000 广东省深圳市南山区西丽镇九祥岭工业区 2 栋 3 楼东座

(72) 发明人 熊伟

(74) 专利代理机构 深圳市兴科达知识产权代理有限公司 44260  
代理人 杜启刚

(51) Int. Cl.  
H04L 12/02(2006. 01)

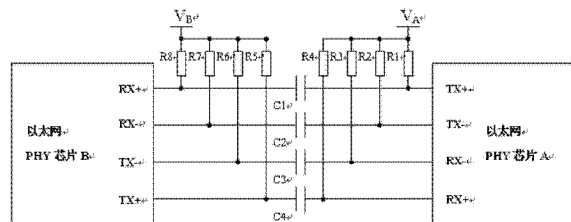
权利要求书1页 说明书2页 附图1页

(54) 实用新型名称

以太网 PHY 芯片之间的耦合电路

(57) 摘要

本实用新型公开了一种以太网 PHY 芯片之间的耦合电路,包括第一 PHY 芯片和第二 PHY 芯片,第一 PHY 芯片和第二 PHY 芯片对应的引脚通过电容耦合,电容的两端分别通过上拉电阻接对应芯片的偏置电压。本实用新型采用电容耦合,可以显著简化电路。



1. 一种以太网 PHY 芯片之间的耦合电路,包括第一 PHY 芯片和第二 PHY 芯片,其特征在于,第一 PHY 芯片和第二 PHY 芯片对应的引脚通过电容耦合,电容的两端分别通过上拉电阻接对应芯片的偏置电压。

2. 根据权利要求 1 所述的以太网 PHY 芯片之间的耦合电路,其特征在于,第二 PHY 芯片的接收数据正引脚通过第一电容接第一 PHY 芯片的发送数据正引脚,第二 PHY 芯片的接收数据负引脚通过第二电容接第一 PHY 芯片的发送数据负引脚,第二 PHY 芯片的发送数据正引脚通过第三电容接第一 PHY 芯片的接收数据正引脚,第二 PHY 芯片的发送数据负引脚通过第四电容接第一 PHY 芯片的接收数据负引脚;第一 PHY 芯片的发送数据正引脚、发送数据负引脚、接收数据负引脚、接收数据正引脚分别通过第一电阻、第二电阻、第三电阻、第四电阻接第一 PHY 芯片的偏置电压;第二 PHY 芯片的发送数据正引脚、发送数据负引脚、接收数据负引脚、接收数据正引脚分别通过第五电阻、第六电阻、第七电阻、第八电阻接第二 PHY 芯片的偏置电压。

3. 根据权利要求 2 所述的以太网 PHY 芯片之间的耦合电路,其特征在于,第二 PHY 芯片的第二接收数据正引脚通过第五电容接第一 PHY 芯片的第二发送数据正引脚,第二 PHY 芯片的第二接收数据负引脚通过第六电容接第一 PHY 芯片的第二发送数据负引脚;第二 PHY 芯片的第二发送数据正引脚通过第七电容接第一 PHY 芯片的第二接收数据正引脚,第二 PHY 芯片的第二发送数据负引脚通过第八电容接第一 PHY 芯片的第二接收数据负引脚;第一 PHY 芯片的第二发送数据正引脚、第二发送数据负引脚、第二接收数据负引脚、第二接收数据正引脚分别通过第九电阻、第十电阻、第十一电阻、第十二电阻接第一 PHY 芯片的偏置电压;第二 PHY 芯片的第二发送数据正引脚、第二发送数据负引脚、第二接收数据负引脚、第二接收数据正引脚分别通过第十三电阻、第十四电阻、第十五电阻、第十六电阻接第二 PHY 芯片的偏置电压。

## 以太网 PHY 芯片之间的耦合电路

### [ 技术领域 ]

[0001] 本实用新型涉及以太网交换机,尤其涉及一种以太网 PHY 芯片之间的耦合电路。

### [ 背景技术 ]

[0002] 如图 1 所示,以数据传输速率为 100M/S 为例,传统以太网 PHY 芯片之间的耦合电路需要 T1-T4 共 4 个以太网网络变压器进行耦合,电路结构复杂。

### [ 发明内容 ]

[0003] 本实用新型要解决的技术问题是提供一种结构简单的以太网 PHY 芯片之间的耦合电路。

[0004] 为了解决上述技术问题,本实用新型采用的技术方案是,一种以太网 PHY 芯片之间的耦合电路,包括第一 PHY 芯片和第二 PHY 芯片,第一 PHY 芯片和第二 PHY 芯片对应的引脚通过电容耦合,电容的两端分别通过上拉电阻接对应芯片的偏置电压。

[0005] 以上所述的以太网 PHY 芯片之间的耦合电路,第二 PHY 芯片的接收数据正引脚通过第一电容接第一 PHY 芯片的发送数据正引脚,第二 PHY 芯片的接收数据负引脚通过第二电容接第一 PHY 芯片的发送数据负引脚,第二 PHY 芯片的发送数据正引脚通过第三电容接第一 PHY 芯片的接收数据正引脚,第二 PHY 芯片的发送数据负引脚通过第四电容接第一 PHY 芯片的接收数据负引脚;第一 PHY 芯片的发送数据正引脚、发送数据负引脚、接收数据负引脚、接收数据正引脚分别通过第一电阻、第二电阻、第三电阻、第四电阻接第一 PHY 芯片的偏置电压;第二 PHY 芯片的发送数据正引脚、发送数据负引脚、接收数据负引脚、接收数据正引脚分别通过第五电阻、第六电阻、第七电阻、第八电阻接第二 PHY 芯片的偏置电压。

[0006] 以上所述的以太网 PHY 芯片之间的耦合电路,第二 PHY 芯片的第二接收数据正引脚通过第五电容接第一 PHY 芯片的第二发送数据正引脚,第二 PHY 芯片的第二接收数据负引脚通过第六电容接第一 PHY 芯片的第二发送数据负引脚;第二 PHY 芯片的第二发送数据正引脚通过第七电容接第一 PHY 芯片的第二接收数据正引脚,第二 PHY 芯片的第二发送数据负引脚通过第八电容接第一 PHY 芯片的第二接收数据负引脚;第一 PHY 芯片的第二发送数据正引脚、第二发送数据负引脚、第二接收数据负引脚、第二接收数据正引脚分别通过第九电阻、第十电阻、第十一电阻、第十二电阻接第一 PHY 芯片的偏置电压;第二 PHY 芯片的第二发送数据正引脚、第二发送数据负引脚、第二接收数据负引脚、第二接收数据正引脚分别通过第十三电阻、第十四电阻、第十五电阻、第十六电阻接第二 PHY 芯片的偏置电压。

[0007] 本实用新型以太网 PHY 芯片之间的耦合电路采用电容耦合,可以显著简化电路。

### [ 附图说明 ]

[0008] 下面结合附图和具体实施方式对本实用新型作进一步详细的说明。

[0009] 图 1 是现有技术以以太网 PHY 芯片之间的耦合电路的原理图。

[0010] 图 2 是本实用新型实施例 1 以太网 PHY 芯片之间的耦合电路的原理图。

[0011] 图 3 是本实用新型实施例 2 以太网 PHY 芯片之间的耦合电路的原理图。

### [ 具体实施方式 ]

[0012] 本实用新型实施例 1 以太网 PHY 芯片之间的耦合电路的结构如图 2 所示,包括 PHY 芯片 A 和 PHY 芯片 B,PHY 芯片 B 的 RX+ 引脚通过电容 C1 接 PHY 芯片 A 的 TX+ 引脚,PHY 芯片 B 的 RX- 引脚通过电容 C2 接 PHY 芯片 A 的 TX- 引脚,PHY 芯片 B 的 TX+ 引脚通过电容 C4 接 PHY 芯片 A 的 RX+ 引脚,PHY 芯片 B 的 TX- 引脚通过电容 C3 接 PHY 芯片 A 的 RX- 引脚。PHY 芯片 A 的 TX+ 引脚、TX- 引脚、RX- 引脚、RX+ 引脚分别通过电阻 R1、电阻 R2、电阻 R3、电阻 R4 接 PHY 芯片 A 的偏置电压 VA。PHY 芯片 B 的 TX+ 引脚、TX- 引脚、RX- 引脚、RX+ 引脚分别通过电阻 R5、电阻 R6、电阻 R7、电阻 R8 接 PHY 芯片 B 的偏置电压 VB。

[0013] 现以以太网 PHY 芯片 A 发送数据,以太网 PHY 芯片 B 接收数据,速率为 100M/S 为例进行说明:以太网 PHY 芯片 A 以差分信号发送数据,芯片 TX+ 引脚和 TX- 引脚分别通过电阻 R1 和 R2 上拉至以太网 PHY 芯片 A 侧上拉电压 VA,VA 的大小取决于以太网 PHY 芯片 A 规定的电平标准,TX+ 引脚和 TX- 引脚发出的差分信号均包含一定的交流分量,这两个交流分量分别通过电容 C1、C2 耦合至以太网 PHY 芯片 B 侧,以太网 PHY 芯片 B 侧会产生两个相同幅度的交流信号,这两个交流信号分别通过电阻 R8、R7 上拉至以太网 PHY 芯片 B 侧上拉电压 VB,VB 的大小取决于以太网 PHY 芯片 B 规定的电平标准。

[0014] 以太网 PHY 芯片 B 发送数据,以太网 PHY 芯片 A 接收数据的工作原理同上。

[0015] 以上电路同样适用于两个以太网 PHY 芯片之间以 10M/S 的速率传输数据。

[0016] 本实用新型实施例 2 以太网 PHY 芯片之间的耦合电路的结构如图 3 所示,以实施例 1 的基础上增加了一组电路,两个以太网 PHY 芯片之间可以以 1000M/S 的速率传输数据,耦合电路包括 PHY 芯片 A 和 PHY 芯片 B。其中,DA+,DB+,DC+,DD+ 为差分对信号的正端引脚,DA-,DB-,DC-,DD- 为对应差分对信号的负端引脚。

[0017] PHY 芯片 B 的 DA+ 引脚通过电容 C1 接 PHY 芯片 A 的 DA+ 引脚,PHY 芯片 B 的 DA- 引脚通过电容 C2 接 PHY 芯片 A 的 DA- 引脚;PHY 芯片 B 的 DB+ 引脚通过电容 C3 接 PHY 芯片 A 的 DB+ 引脚,PHY 芯片 B 的 DB- 引脚通过电容 C4 接 PHY 芯片 A 的 DB- 引脚。PHY 芯片 B 的 DC+ 引脚通过电容 C5 接 PHY 芯片 A 的 DC+ 引脚,PHY 芯片 B 的 DC- 引脚通过电容 C6 接 PHY 芯片 A 的 DC- 引脚;PHY 芯片 B 的 DD+ 引脚通过电容 C7 接 PHY 芯片 A 的 DD+ 引脚,PHY 芯片 B 的 DD- 引脚通过电容 C8 接 PHY 芯片 A 的 DD- 引脚。

[0018] PHY 芯片 A 的 DA+ 引脚、DA- 引脚、DB+ 引脚、DB-、DC+ 引脚、DC- 引脚、DD+ 引脚、DD- 引脚分别通过电阻 R1、电阻 R2、电阻 R3、电阻 R4、电阻 R5、电阻 R6、电阻 R7、电阻 R8 接 PHY 芯片 A 的偏置电压 VA。

[0019] PHY 芯片 B 的 DA+ 引脚、DA- 引脚、DB+ 引脚、DB-、DC+ 引脚、DC- 引脚、DD+ 引脚、DD- 引脚分别通过电阻 R16、电阻 R15、电阻 R14、电阻 R13、电阻 R12、电阻 R11、电阻 R10、电阻 R9 接 PHY 芯片 B 的偏置电压 VB。

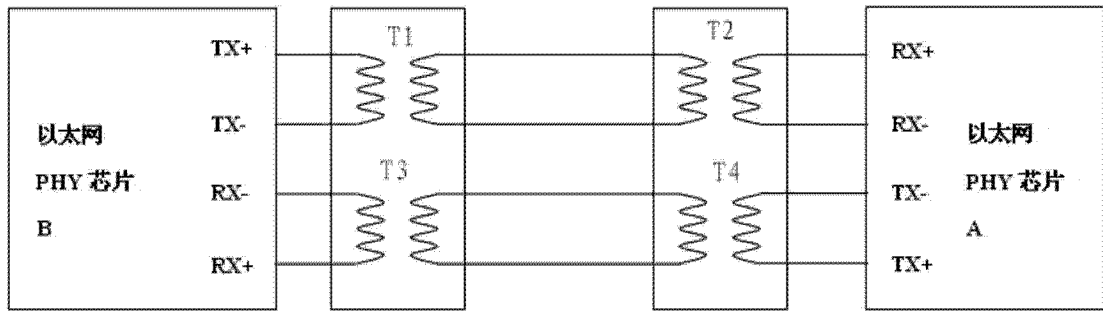


图 1

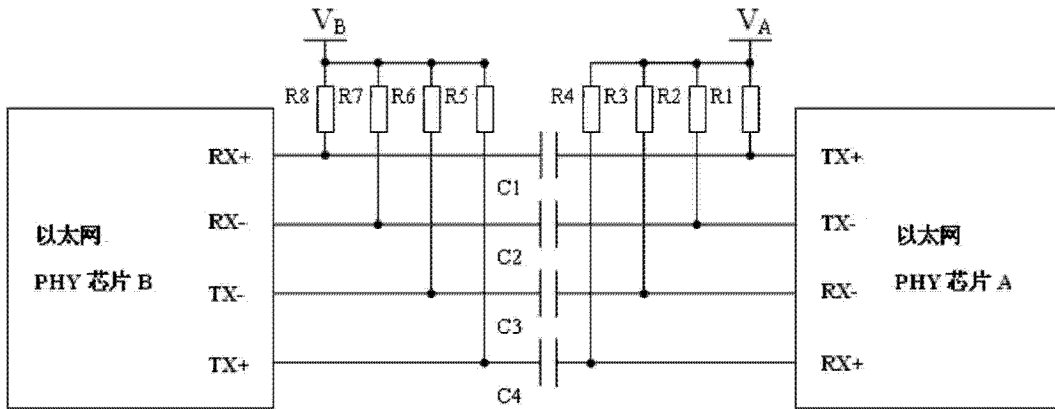


图 2

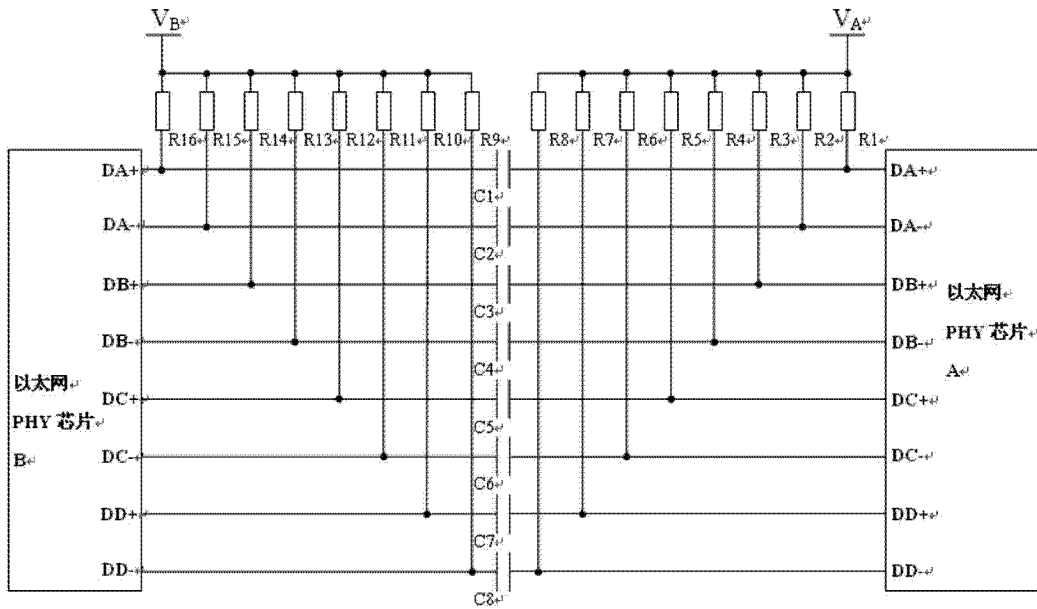


图 3